

EDS 공정에서 Redundancy Analysis 시물레이션

서준호* · 한영신** · 이철기***

Redundancy Analysis Simulation for EDS Process

Jun-Ho Suh, Young-Shin Han and Chil-Gee Lee

요 약

Memory의 공정기간은 2~3개월 정도, 공정은 수백가지에 이를 정도로 많기에 defect은 존재할 수밖에 없다. 많은 defect이 있다면 어쩔 수 없겠지만 적은 defect이 발생한 경우에는 해당 die를 reject 시키는 것보다는 repair해서 사용하는 것이 memory생산 업체 입장에서는 보다 효율적이고 원가 절감 차원에서 필수적이다. 이와 같은 이유로 laser repair라는 공정이 필요하고 laser repair 공정의 정확한 target을 설정하기 위해 redundancy analysis가 필요하게 되었다. 지금까지 redundancy analysis는 장비 개발 업체에서 제공하는 경우가 대부분 이었고 각 장비 제조 업체별로 redundancy analysis algorithm을 개발하여 제공하였기에 동일한 defect 유형에 분석하는 redundancy analysis time이 각 장비 업체 별로 다른 경우가 대부분이었다. 이에 본 연구에서는 기존의 redundancy analysis algorithm의 개념에서 벗어나 defect 유형별로 simulation한 후 redundancy analysis를 진행함으로써 redundancy analysis에 소요되는 시간을 절약함으로써 원가 경쟁력 강화를 하고 correlation 개념을 업무에 적용하는데 목적이 있다

1. 서론

현재 반도체의 세계시장 규모는 천문학적 규모의 매출로 앞으로 모든 제품의 집적 회로화(IC)가 진전됨에 따라 기하급수적으로 증가할 것으로 예상되고 있다[1]. 이와 같은 시장수요의 증가에 따라 미국, 일본, 유럽과 국내 반도체 업체간의 경쟁또한 점점 치열해지고 있으며 연구 개발에 막대한 투자를 가하고 있다. 반도체 집적 회로는 손톱만큼이나 작고 얇은 실리콘칩으로 수천만개 이상의 전자부품들이 가득 들어있다. 반도체 공정은 칩 속의 작은 부품들이 하나하나 따로 만들어서 조립되는 것은 사실상 불가능하므로 직접회로가 만들어지는 실리콘 원판인 웨이퍼 위에 부품과 그 접속부분들을 모두 미세하고 복잡한 패턴으로 만들어서 여러 층의 재료

속에 그려 넣는 방식을 사용하여 전자회로를 구성해 가는 FAB 공정을 거치면서 웨이퍼 가공이 끝난다.

특히 Memory의 공정기간은 2~3개월 정도, 공정은 수백가지에 이를 정도로 많으므로 defect은 존재할 수 밖에 없다. 많은 defect이 있다면 어쩔 수 없겠지만 적은 defect이 발생한 경우에는 해당 die를 reject 시키는 것보다는 repair해서 사용하는 것이 memory생산 업체 입장에서는 보다 효율적이고 원가 절감 차원에서 필수적이다. 이와 같은 이유로 laser repair라는 공정이 필요하고 laser repair 공정의 정확한 target을 설정하기 위해 redundancy analysis가 필요하게 되었다.

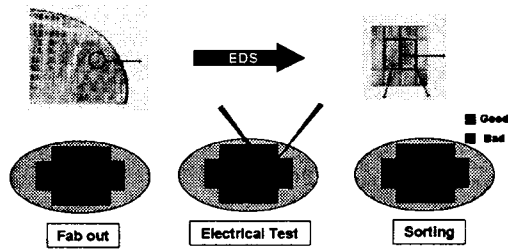
redundancy analysis simulation은 기존의 redundancy analysis algorithm의 개념에서 벗어나 defect 유형별로 simulation한 후 redundancy

* 성균관대학교 정보통신공학부

analysis를 진행함으로써 redundancy analysis에 소요되는 시간을 절약함으로써 원가 경쟁력 강화를 하는데 목적이 있다. 본 논문 구성은 다음과 같다. 2장에서는 EDS공정에 대해 설명하고 3장에서는 Redundancy Analysis에 대해 설명하고 4장은 Simulation을 수행하고 분석하였다. 마지막 5장에서는 연구결과와 향후 연구 방향을 제시하였다.

2. EDS공정

EDS는 Electrical Die Sorting의 약자로서 Fabricate out된 wafer를 전기적 검사를 통해서 각각의 chip 들을 점검하여 Good 또는 bad로 sorting하는 공정이다.



<그림1> EDS 공정

EDS는 크게 PRE-Laser, Laser-repair, POST Laser 3공정으로 나눌 수 있다[3]. 이 밖에 세부적으로 DC test, Back grinding, Inking의 공정이 첨부 될 수 있다. EDS공정이 끝나면 ASS'Y 즉, Package 조립 공정으로 들어 가게 된다. 여기서는 ASS'Y를 제외한 EDS공정에 대해서만 설명하기로 하겠다.

●DC TEST

DC는 Direct Current를 의미한다. 즉, DC를 이용해 Tr의 동작여부내지 FAB Process상에 문제는 없었는지 간단히 점검해 보는 공정이다.

●PRE LASER

DC Test에서 기준치 이상의 결과가 나오면

해당 wafer를 reject시키지 않고 Pre-Laser 공정으로 넘어오게 되는 데 Pre-Laser라는 뜻은 Laser공정 이전(before)이라는 의미이다.

●LASER REPAIR

Pre-laser를 마치고 나면 해당 die가 Good인지 Bad인지 판단할 수 있고 Bad인 경우에도 device가 가진 redundancy cell로 repair가능한 경우에 repairable로 판단하게 된다.

●POST LASER

Laser Repair공정을 지난 die가 제대로 repair되었는지 다시 확인하는 과정이 POST laser공정이다.

●BACK GRINDING

Wafer내 Die의 Good / Bad 여부가 판별이 끝났기 때문에 ASS'Y Package공정을 위해서 Wafer뒷면을 갈아주는 공정이다.

●INKING

현재는 사라진 공정으로서 불과 2여년 전만 하더라도 wafer상에 잉크로 점을 찍어서 bad die를 표시하는 공정이다.

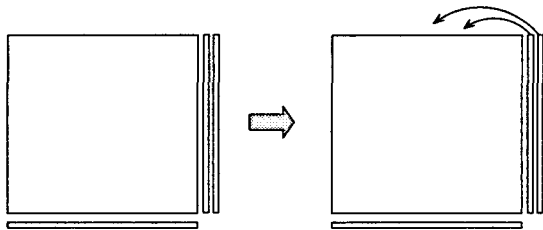
3. Redundancy Analysis

Pre laser공정을 마치면 main cell의 어느 부분에서 defect이 발생 하였는 지를 알 수가 있다. 이 정보를 바탕으로 redundancy analysis는 die가 가진 redundancy cell을 assign하게 되는데 즉, Device에 발생한 defect을 효율적으로 고치기 위해 device가 가진 redundancy cell을 assign하는 process 가 redundancy analysis이다.

<그림2>는 row쪽 redundancy cell이 두개, column쪽 redundancy cell이 한 개가진 device의 경우에서 defect (A,B)를 고치기 위해 redundancy cell (a,b)가 사용되고 있음을 보여 준다. 만약에 A, B defect이 column쪽으로 수평하게 발생하였다면 column redundancy cell 한

개로 repair하는 것이 보다 효율적이기 때문에 두개의 row redundancy cell로 repair하지 않고 column redundancy cell 한 개로 repair하였을 것이다.

참고로 defect이 한 개만 발생하였을 경우 row redundancy cell 한 개가 사용되거나 column redundancy cell 한 개가 사용되어도 마찬가지일 것이다. 이 경우 priority 개념을 적용해서 대개 redundancy cell이 많이 있는 방향(row 또는 column)을 우선 사용하게 된다.



<그림2> redundancy cell을 assign하는 process

4. Redundancy Analysis Simulation

4.1 가정

- RA simulation 구현의 효율화를 위해 row 쪽 redundancy cell만 있고 column 쪽 redundancy cell은 없는 것으로 한다
- Row 쪽 redundancy cell의 개수는 2개로 한다.
- Device size는 row 1K (1024 bit), column 1K (1024 bit). 즉, 1M bits로 한다.
- 최초의 Correlate limit은 0.0로 한다. (Correlate limit보다 크면 DB map과 비교 대상 map간의 similarity가 높다는 것을 의미한다)

4.2 Fail Bit map 정보

- 파일 안에 있는 16진수 숫자 한 개는 32bit의 fail bit 정보를 표시한다. 즉, Hex '9'는 이진수로 1001. 즉, MSB에 8bit, LSB에

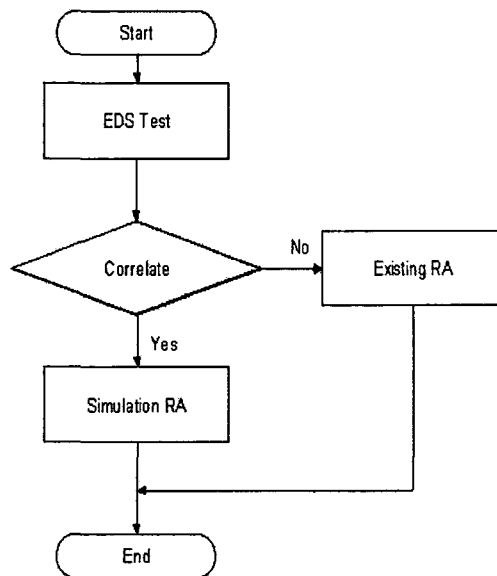
8bit의 defect이 있고 가운데 2x8 bit에는 defect이 없음을 의미한다

- Assumptions에서 device size를 1024 x 1024로 가정하였기 때문에 fail bit map 정보 file은 row쪽으로 32개의 Hex, column 쪽으로 32개의 Hex로 이루어진 정사각형 구조를 가진다.

4.3 Correlate process

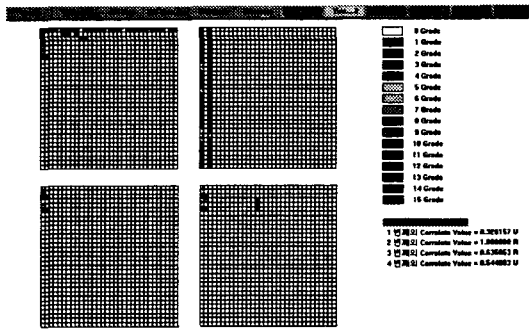
- 2개의 Redundancy cell로 repair할 수 있는 모든 case를 Database에 저장한다
- Load된 fail bit map 정보와 상기의 database에 저장된 fail bit을 비교하여 Mean, Covariance, Variance를 구한 후 Correlation 값을 추출해 낸다
- 상기의 비교 과정 중 redundancy cell의 필요 개수가 3개 이상이면 repairable flag를 false로 setting
- Repair할 수 있으면서 최소의 correlation 값을 simulate 한다.

4.4 RA simulation의 전체 flow



<그림3> Redundancy Analysis Simulation의 전체 flow

RA simulation은 우선 device가 가진 redundancy 개수에 따라 repair할 수 있는 경우의 수를 Database로 generate한다. Device의 defect을 분석한 후 database에 저장된 repair할 수 있는 fail유형과 비교하는 과정을 거친 후 최적의 correlate value를 simulate한다. 여기서 최적의 correlate value란 단순히 value가 낮은 것을 의미하는 것은 아니고 device defect을 repair할 수 있으면서 최소의 value를 의미한다.



<그림4> Display of the Maps simulated

5. 결론

Simulation결과로 얻어진 repair할 수 있으면서 최소의 correlate value를 가지고 EDS의 Redundancy Analysis에 적용하면 nearly zero time에 해당하는 RA process time을 얻을 수 있다. 기존의 RA process는 매번 fail유형을 분석해서 최적의 RA 결과를 산출해야 하지만 RA Simulation은 이미 fail유형을 DB에 저장해 둔 다음 similarity가 높은 최적의 RA 결과를 산출하기 때문이다. 또한 기존의 RA process는 최종적으로 repair할 수 없는 경우도 모든 main cell의 fail 유형의 분석이 끝난 이후에 알 수 있다. 그러나 RA simulation은 이미 fail 유형의 분석이 끝나 있기 때문에 Correlate 결과만 만족하면 바로 fail 유형 분석을 마칠 수 있다. EDS에서 Test time을 비롯한 RA process time은 비용

에 직결된다. 반도체 산업의 특성상 Memory device의 density는 날이 갈수록 높아져 가고 상대적으로 density당 단가는 낮아질 수 밖에 없다. 그리고 density가 높아져 감에 따라 fail 유형도 더욱 다양해 질 수 밖에 없기에 RA simulation이 RA process time reduction에 새로운 대안이 될 수 있다고 하겠다.

감사의 글

본 연구는 한국과학재단 목적기초연구 (R01-2000-00250) 지원으로 수행되었음.

참고문헌

- 1) <http://www.electronicbiz.com>
- 2) Wein, L.M., On the relationship Between Yield and Cycle time Semiconductor Wafer Fabrication, "IEEE transactions on Semiconductor Manufacturing, Vol.5, pp 156-158, 1992.
- 3) 반도체 연수소 : 반도체 기술 공정 (1994)
- 4) Randall S. Collica, "SRAM Bitmap Shape Recognition and Sorting Using Neural Networks", IEEE Transaction on Semiconductor Manufacturing Conference, 1997.
- 5) Michael W. Cresswell, "A Directed-Graph Classifier of Semiconductor Wafer-Tes Patterns", IEEE transactions on Semiconductor Manufacturing,
- 6) Donghoon Jeon and ChilgeeLee, "Implementation of Computer Modeling and Simulation for FAB Manufacturing of Semiconductor" Simulation Methods and Applications Confrence ,Florida, Orlando, Nov.1-3,1998
- 7) Averill M. Law, W.David Kelton : Simulation Modeling and Analysis, Third

- Edition, Chap4. 235 ~ 260 (2000) Edition, (1988)
- 8) Brian W. Kernighan, Dennis M. Ritchie : 9) Christopher J. Van Wyk : Data Structures
The C Programming Language, Second and C Programs, (1989)