

초전도 한류기용 고속 고장전류 검출장치

이우영, 박경엽, 송기동, 이병윤
한국전기연구원

High-Speed Fault Current Detector for Superconducting Fault Current Limiter

W.Y. Lee, K.Y. Park, K.D. Song, B.Y. Lee
Korea Electrotechnology Research Institute

wylee@keri.re.kr, kypark@keri.re.kr, kdsong@keri.re.kr, bylee@keri.re.kr

Abstract - In this paper the high-speed fault current detector for superconducting fault current limiter is described. Detecting and interrupting the fault currents as quickly as possible is required in order not to exceed the thermal capacity of superconducting fault current limiter. A detecting method of an instantaneous fault current magnitude is adopted in the equipment described in this paper and a current signal through an analog/digital(A/D) converter would be compared with the reference in the digital signal processor(DSP). Around 20ms has elapsed for detecting the fault current. It is necessary to establish the appropriate trade-off between the reliability and detection speed.

1. 서 론

전기에너지 수요증가에 따른 전력기기의 용량 증대는 많은 경제적 부담이 따르기 때문에 기존의 전력설비를 효율적으로 사용할 수 있는 한 방법으로 초전도 한류기에 대한 연구가 많은 관심의 대상이 되고 있다.[1][2] 초전도 분야의 기술적 발전은 초전도 한류기의 현실적 적용에 상당한 접근을 이루어가고 있으며 이와 함께 계통적용시에 필요한 협조기술들도 개발이 요구되고 있고 이러한 관련기술로는 고속도 차단기 개발기술과 고장전류 검출기술을 들 수 있다. 특히 고장전류 검출기술의 관련분야로서 디지털 릴레이 기술은 소프트웨어 처리방식에 의해 다양한 기존의 아날로그 방식의 기능들을 유연하게 구현할 수 있고 따라서 다양한 기능들을 종합하기에 적절하기 때문에 많은 관심의 대상이 되고 있다. 그러나 아직까지 고속 고장전류 검출에 대한 분야는 차단기 분야의 동작 메카니즘과 연계되어 있어 제한적 영역에서 연구가 수행되고 있는 상태이다.[3]

본 논문에서는 초전도 한류기에 적용될 고속 차단 기술의 한 분야로서 고속 고장전류 검출장치

의 구성과 이의 prototype에 대한 성능검증을 수행한 결과를 기술하였다.

2. 고속 고장전류 검출장치의 구성

기존의 차단기는 3~5 사이클의 고장전류가 흐른 후 전류차단이 이루어지는 것이 일반적이지만 초전도 한류기를 적용하는 회로에서는 한류기의 열용량을 최소화하고 초전도체의 회복시간을 단축하기 위해서 가능한 빠른 시간 내에 고장전류를 감지하여 차단하는 것이 필요하다. 고장전류의 차단에 소요되는 시간은 고장전류를 검출하는데 소요되는 시간과 차단기의 동작시간으로 구성되어지며 양측 모두 기존의 사용되고 있는 방식보다는 빠른 동작시간이 요구되고 있다. 본 논문에서는 고장전류 검출에 초점을 맞추어 초전도 한류기에 적합할 수 있는 검출장치를 구현하고자 한다. 그림 1은 고장전류 검출장치의 구성도를 나타낸 것으로 입력단에서 받아드려진 전압 및 전류신호가 A/D변환기를 통하여 디지털 신호화 되어지고 DSP에서 고장전류의 검출이 이루어져 싸이리스터로 구성된 스위치를 통하여 open 명령이 출력되게 된다.

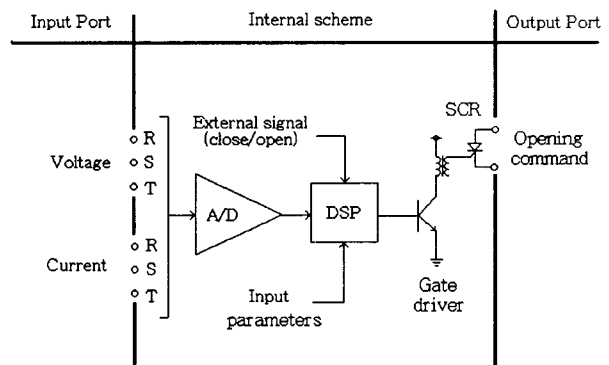


그림 1. 고장전류 검출장치의 구성도

DSP에서 이루어지는 고장전류 검출과정에는

순시치 고장검출방식을 사용하여 고장발생 후 빠른 시간 내에 고장여부를 감지할 수 있도록 하였다. 초전도 한류기에 의해 고장전류가 한류되는 대표적 전류파형은 그림 2와 같이 나타난다.

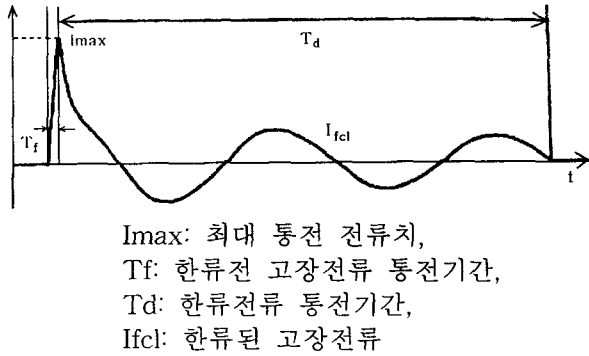


그림 2. 초전도 한류기에 의한 고장전류 예

그림 2에서 I_{max} 는 초전도 한류기가 초전도성을 상실하고 일정 저항값을 가지는 상전도체로 변하는 전류치를 나타내는 것으로 고장전류 검출장치에서는 이 보다 낮은 전류 값에서 고장전류를 감지할 수 있도록 되어야 한다. 그리고 한류기를 통해 고장전류가 흐르는 시간 T_d 는 가능한 짧아지도록 하는 것이 초전도 한류기의 열용량을 줄일 수 있기 때문에 순시치 고장검출방식을 사용하는 것이 적합하다. 한류기가 적용되는 상황에 따라서는 모터 기동전류, 콘덴서 투입전류 및 변압기 여자돌입전류 등 정상상태에서 발생하는 과도현상들과의 구별을 위한 방안들도 강구되어야 한다. 본 연구에서는 일차적으로 고장전류 순시치를 기준으로 차단기 동작신호를 출력하는 알고리즘으로 제한하여 수행하였다.

그림 3은 그림 1에서 나타난 구성에 따라 구현된 prototype의 고장전류 검출장치를 나타낸 사진이다.

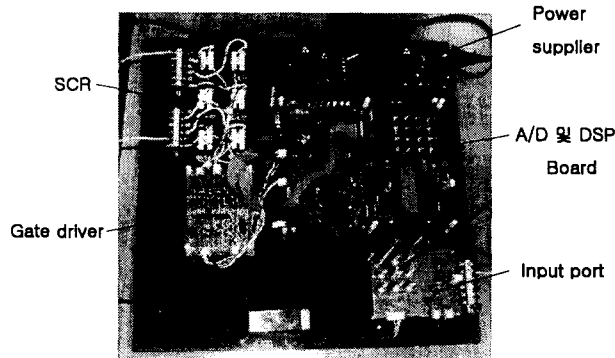


그림 3. prototype 고장전류 검출장치

고장전류의 판단을 위한 기준치는 A/D 및 DSP 보드에 설치된 key pad를 통하여 설정할 수 있으며 설정된 값은 화면으로 통해 나타나게 되어있어 적용환경에 용이하게 대처할 수 있도록 구성하였다.

3. 고속 고장전류 검출장치의 성능

제작된 prototype의 고장전류 검출장치의 성능을 검증하기 위하여 그림 4와 같은 시험회로를 구성하여 모의 고장전류를 흐르게 하고 고장전류 검출기를 통하여 차단기를 동작하게 하였다.

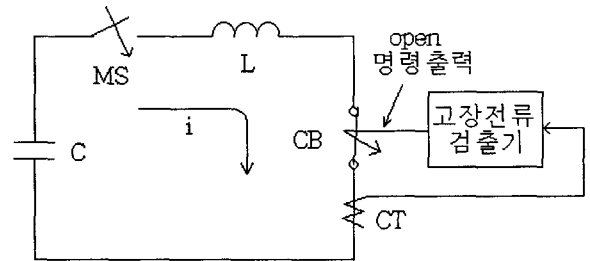
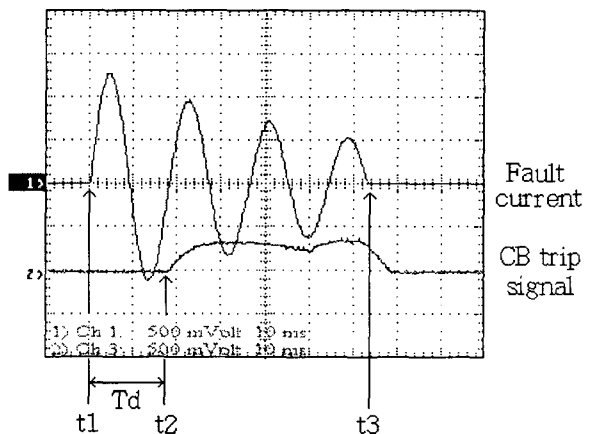


그림 4. 고장전류 모의회로 및 검출

시험에 사용된 회로의 각 소자들 정수는 전원으로 사용된 콘덴서(C)는 $30,000\mu F$, 전류 조정용 리액터(L)는 $0.24mH$ 로서 고장전류의 주파수가 $60Hz$ 가 되도록 하였으며 콘덴서에 충전한 전압의 크기를 약 $1kV$ 로 하여 회로에 모의되는 고장전류(i)의 크기가 약 $10kA$ 가 되도록 설정하였다. 차단기(CB)가 투입된 상태에서 투입스위치(MS)가 투입되면 회로에 설정된 모의 고장전류가 흐르게되고 이 전류는 current transformer(CT)를 통하여 검출되어 고장검출기에서 고장여부를 확인하게된다. 그림 5는 수행된 고장전류 모의 시험의 결과를 나타낸 것으로 채널 1이 고장전류를 채널 2가 차단기의 트립전류 신호를 나타내었다.



t_1 : 사고발생시점,
 t_2 : 고장전류 검출장치의 opening 지령 출력시점
 t_3 : 고장전류 차단시점,
 T_d : 사고발생 후 검출까지의 지연시간(약 $18ms$)

그림 5. 구성된 장치의 사고전류의 검출결과

그림 5의 t_1 은 투입 스위치(MS)가 동작한 시점으로 모의 고장전류가 흐르기 시작하는 시점이 되고 t_2 는 전류신호가 입력된 고장 검출장치로부터 차단기 open명령이 출력된 시점을 나타내게된

다. 이 때부터 차단기의 트립코일에 전류가 흐르기 시작하여 차단기 조작기를 구동시켜 t3 시점에서 고장전류가 차단되게 된다. 이 경우는 고장전류 판단기준치를 0.5V에 설정한 결과로 고장검출로부터 차단기 open 명령을 출력하는 데까지 소요된 시간은 약 16ms로 되어진다.

4. 결 론

본 논문에서는 초전도 한류기용의 prototype 고속 고장전류 검출장치의 구성과 성능에 대하여 기술하였다. 검출장치의 고장전류 검출시간은 16ms 정도로 나타났고 추후 신호처리 알고리즘의 간소화로 보다 단축된 검출시간의 구현이 가능하리라 예상된다. 그리고 검출기의 구성은 입력 고장전류를 디지털화하고 DSP로 신호처리 하는 방식을 적용함으로써 정상상태에서 발생될 수 있는 과도현상들에 대한 고장전류의 구분에 보다 유연성 있게 대처할 수 있는 방식으로 기대된다.

참 고 문 헌

- [1]S.Fischer, H.Schmitt, R.R.Volkmar and Y.Brissette, "System requirments and test of superconducting fault current limiters", CIGRE, 13-207, Paris 2000
- [2]W.Paul, M.Chen, etc., "Superconducting fault current limiter applications, technical and economical benefits, simulations and test results", CIGRE 13-201, Paris 2000
- [3]M.Isozaki, K.Konno, T.Fujisawa, etc., "Interrupting performance verification of 1-cycle high-speed vacuum circuit breaker", SP-98-42