

단자속 양자 AND gate의 시뮬레이션과 Layout

정구락, 박종혁, 임해용, *강준희, 한택상
한국광기술원, *인천대학교 물리학과

Simulation and Layout of Single Flux Quantum AND gate

Ku-Rak Jung, Jong-Hyeok Park, Hae-Ryong Lim, *Joonhee Kang and Taek-Sang Hahn
Korea Photonics Technology Institute,
*Department of Physics, University of Incheon

krjung@kopti.re.kr

Abstract - We have simulated and Laid out a Single Flux Quantum(SFQ) AND gate for Arithmetic Logic Unit by using XIC, WRspice and Lmeter. This circuit is a combination of two D Flip-Flop. D Flip-Flop and dc SQUID are the similar shape from the fact that it has the a loop inductor and two Josephson junction. We also obtained operating margins and accomplished layout of the AND gate. We got the margin of $\pm 42\%$ over.

1. 서 론

정보통신의 발달로 보다 빠르고 고용량의 데이터 전송이 요구되고 있으며, 이러한 요구에 대한 반도체 소자는 점점 그 한계성을 드러내고 있다. 그 대안으로 1970년대 후반부터 연구되어 지고 있는 단자속 양자 소자가 주목받고 있으며, 단자속 양자 소자는 반도체 소자보다 고속성과 저 소모전력을 갖는 특징을 지니고 있다[1]. 단자속 양자소자가 반도체 소자를 대신할 경우 그 파급효과는 매우 클 것이라 예상되며, 미국 [2][3], 일본[4] 그리고 유럽[5]에서는 이에 대한 연구가 활발히 수행되어 지고 있다.

본 연구에서는 단자속 양자소자의 기초회로 중의 하나인 AND gate에 대한 시뮬레이션을 XIC과 WRspice를 사용하여 수행하고, 각 parameter에 대해서 pass/fail 방법으로 마진 분석을 하였다. 마진 분석을 통하여 최적화된 단자속 양자 AND gate의 parameter 값들과 layout 상태에서 inductor 값을 추출하여 주는 소프트웨어인 Lmeter를 사용하여 얻은 값이 서로 일치하도록 하여 Layout의 신뢰성을 확보하였다.

2. 본 론

2.1 회로의 시뮬레이션과 마진 분석

단자속 양자 AND gate에 대한 회로 구성을 Fig. 1과 같이 구성하였다[1]. 본 연구에 사용

된 단자속 양자 펄스는 dc/sfq 회로[4]를 사용하여 생성하였으며, 각각의 서로 다른 단자속 양자 펄스가 IN1, IN2 그리고 clock에서 AND gate에 입력되도록 하기 위하여 총 3개의 dc/sfq 회로를 사용하였다. 사용된 단자속 양자 펄스는 주파수가 10GHz가 되도록 설정하였으며, 단자속 양자 펄스의 감쇠를 줄이기 위하여 단자속 양자 AND gate의 입력과 출력 쪽에 Josephson Transmission Line (JTL)을 삽입하였다. 단자속 양자 AND gate는 두 개의 D Flip-Flop으로 구성되어 있으며, 서로 대칭적인 형태를 띠고 있다.

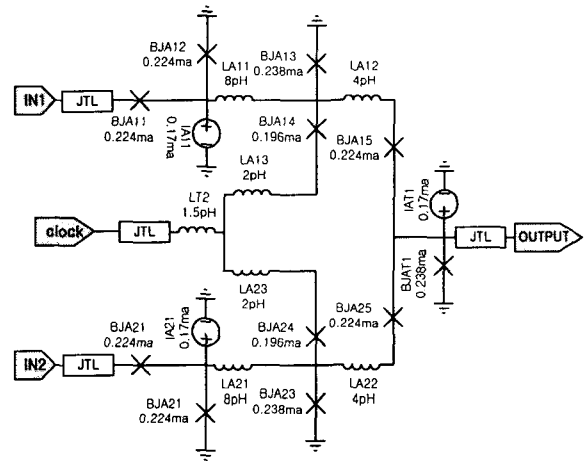


Fig. 1. Circuit Diagram of sfq AND gate

IA11, IA21, IAT1은 각각 BJA12, BJA21, BJAT1에 bias 전류를 공급해주는 것을 나타내며, 이 bias 전류는 junction 임계전류(I_c) 값의 약 70% 정도를 흘려주어 단자속 양자 펄스가 junction에 도달하면 바로 junction이 스위칭이 될 수 있도록 도와주는 역할을 한다. IN1에서 들어온 단자속 양자 펄스는 JTL를 거쳐 BJA12에 도달하게 되고, 곧바로 BJA12가 스위칭을 하게 되어 BJA12-LA11-BJA13의 루프를 통하여 하나의 단자속 양자가 저장되게 된다. 이때 루프 inductor 값이 작으면 단자속 양자는

BJA12-LA11-BJA13의 루프에 저장되지 않고 바로 이 루프를 빠져 나가버리게 된다. BJA12-LA11-BJA13의 루프에 저장된 단자속 양자는 단자속 양자 clock 펄스가 BJA13에 도달하게 될 때, BJA12-LA11-BJA13의 루프를 빠져나가게 된다 이때 빠져 나온 단자속 양자소자는 BJA15를 스위칭 하게 되어 사라져 버리게 된다. 그러나, BJA22-LA21-BJA23의 루프에도 단자속 양자가 저장되어 있었다면, BJA15와 BJA25가 스위칭 하기 전에 BJA15와 BJA25를 통해서 들어온 전류가 서로 중첩되어서 BJAT1을 스위칭 하게 되어 단자속 양자 펄스가 output을 통하여 나가게 된다.

Table 1은 AND gate에 대한 진리표를 나타내고 있다. 여기서 AND gate로의 입력 데이터 A와 B의 값이 모두 "1" 일 때만 출력값 P가 "1" 이 되고, 두 입력 데이터 값 중에서 어느 하나만 "0" 이 되어도 그 출력 결과 P는 "0" 이 된다. Fig. 2는 단자속 양자 AND gate의 시뮬레이션 결과를 보여주고 있으며, N1, N2, clock 그리고 output의 단자속 양자 펄스를 나타내고 있다. IN1과 IN2에서 "1" 의 단자속 양자 펄스가 clock 주기 안에 단자속 양자 AND gate에 입력이 되면, output에 "1" 의 단자속 양자 펄스가 생겨나게 되고, IN1과 IN2에서 어느 하나라도 "0" 의 단자속 펄스가 입력이 되면 output에 "0" 의 단자속 양자가 생기게 되는 것을 나타내고 있다. 이 그래프를 통하여 단자속 양자 회로가 AND gate로서 작동을 잘하고 있음을 알 수 있다.

Fig. 3은 각 parameter들에 대한 마진 분석 결과를 나타내고 있다. 마진 분석은 pass/fail 방법을 이용하였으며, 이는 circuit parameter에 하나씩 값을 대입하여 시뮬레이션을 수행한 결과가 Fig.2처럼 정상적으로 나오면 pass가 되고 그렇지 않으면 fail로 되는 것을 이용하는 방법이다. 단자속 양자 소자의 시뮬레이션과 마진은 WRspice라는 상용 소프트웨어를 사용하였다. WRspice에는 마진 분석을 할 수 있도록 프로그램이 내장이 되어 있다. 하지만, 이것은 두 개의 parameter 값만 변화시킬 수 있도록 되어 있어, 각각의 parameter들을 두 개씩 묶어 마진 분석을 하려면 많은 시간이 소요되게 된다. 본 연구에서는 WRspice가 가지고 있는 내부 언어를 사용하여, 마진 분석 프로그램을 만들어 사용하였으며, 마진 분석하는데 소요되는 시간을 단축할 수 있었다. 본 연구에서 사용한 단자속 양자 AND gate의

Table 1. True table of AND gate

입 력		출 력
A	B	P
1	1	1
1	0	0
0	1	0
0	0	0

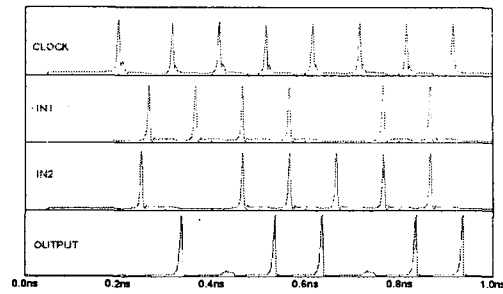


Fig. 2. Simulation result of sfq AND gate

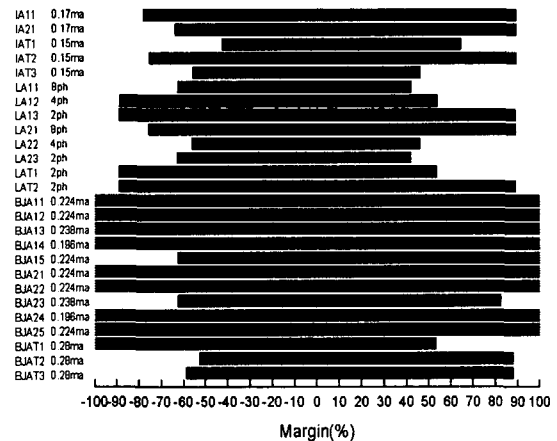


Fig. 3. Margin analysis of sfq AND gate

마진 범위 중에 가장 작은 마진 값을 나타내는 parameter는 BJA13과 BJA23의로서 -63.0% ~ +42.0%의 마진 범위 값을 얻을 수 있었다.

2.2 회로의 Layout

Fig. 4는 단자속 양자 AND gate의 layout을 보여주고 있다. 본 연구에서 layout은 10-layer process(Fig.5)를 따랐으며, 임계 전류 밀도(Jc) 값이 1000A/cm²인 Nb 박막을 기초로 Josephson junction의 크기를 define 하였다. 1000A/cm²의 전류 밀도를 갖는 Nb박막은 40 um²의 Junction 면적이 1ma의 임계 전류 값을 갖는다.

본 연구에서는 Lmeter를 사용하여 layout 상태에서의 inductor 값을 추출하였다. layout된 초전도 line의 선 폭과 길이를 조정하면서 Lmeter로 추출한 inductor 값이 마진 분석을 통하여 얻은 최적화된 inductor 값과 같아지도록 하여 제작된 layout의 신뢰성을 향상시켰다. Fig. 5는 단자속 양자 소자가 제작되었을 때의 소자 단면도를 나타내고 있으며, 본 연구에서 설계한 단자속 양자 AND gate를 제작하기 위해서는 10개의 mask가 필요하다. 총 13개의 layer에 대한 증착 작업과 9번의 에칭 작업 그리고 1번의 lift-off 작업이 수행되어야 비로소 하나의 단자속 양자 소자를 제작할 수 있다.

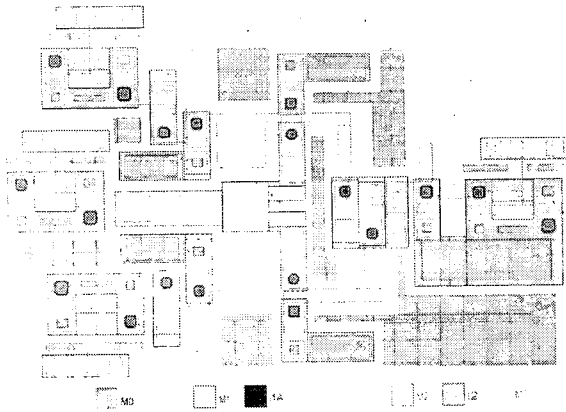


Fig. 4. Layout of sfq AND gate

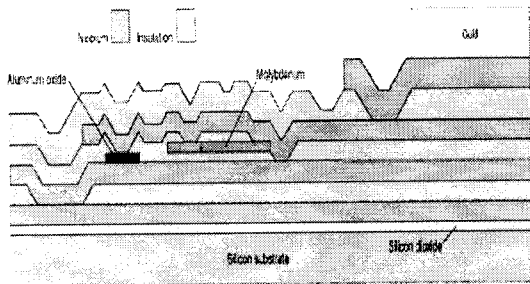


Fig. 5. Fabrication process of sfq device

3. 결론

본 연구에서는 초전도 ALU(Arithmetic Logic Unit)의 기본 논리 gate인 단자속 양자 AND gate의 시뮬레이션과 layout을 수행하였다. 단자속 양자 AND gate를 설계하기 위하여 상

감사의 글

본 연구는 21세기프런티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

용 소프트웨어인 XIC, WRspice를 이용하였으며, layout의 inductor 값을 추출하는데는 Lmeter를 사용하였다. 본 연구에서 설계한 단자속 양자 AND gate의 작동은 Fig.2에서 보여 주고 있으며, 이 그래프는 단자속 양자 AND gate가 Table 1의 AND gate 진리표를 충실히 따르고 있음을 보여 주고 있다. 설계된 단자속 AND gate의 최소 마진범위는 $-63.0\% \sim +42.0\%$ 로 만족할 만한 마진 범위를 얻을 수 있었다. Layout은 임계전류밀도(J_c)의 값이 1000 A/cm^2 인 Nb 박막을 기초로 Josephson junction을 define 하였으며, 10-layer process에 따라 단자속 양자 AND gate의 layout을 하였다.

[참고 문헌]

- [1] K. K. Likarev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson-Junction Technology for Sub-Terahertz Clock-Frequency Digital Systems", IEEE Trans. Appl. Supercond., vol. 1, 3-28, 1991
- [2] P. Bunyk and P. Litskevitch, "Case Study in RSFQ design: Fast Pipelined Parallel Adder", IEEE Trans. Appl. Supercond., vol. 9, 3714-3720, 1999
- [3] Alex F. Kirichenko, Saad Sarwana, Oleg A. Mukhanov, Igor V. Vernik, "RSFQ Time Digitizing System", IEEE Trans. Appl. Supercond., vol. 11, 978-981, 2001
- [4] Shuichi Nagasawa, Hideaki Numata, Yoshihito Hashimoto and Shuichi Tahara, "High-frequency Clock Operation of Josephson 256-word x 16-bit RAMs" IEEE Trans. Appl. Supercond., vol. 9, 3708-3713, 1999
- [5] Pascal Febvre, Jean-Claude Berthet, David Ney, Agnes Roussy, Jun Wu Tao, Gilbert Angenieux, "On-Chip High-Frequency Diagnostic of RSFQ Logic Cells", IEEE Trans. Appl. Supercond., vol. 11, 284-287, 2001