

0.15 μ m이하 Gate 전극용 건식 식각 공정에 관한 연구 (Study on the Dry Etching Process of the Gate Electrode for Sub-0.15 μ m Device)

한양대학교 황재희, 안진호, 이순우, 함동은, 석종욱*, 백두현*
*삼성전자 주식회사

1. 서론

Device shrink에 따라 gate 전극 구조는 3가지 측면에서 큰 변화로 인해 전극 식각 공정에 미세 기준을 요구하고 있다. 첫째 Gate oxide의 극 박막화이다. 200Å에서 시작하여 현재는 50Å 수준까지 극 박막화 되었으며 이는 Gate 전극 식각시 150:1이상의 고 선택비 공정을 요구하고 있다. 둘째 PR mask이용시 profile 및 하부 gate oxide 막질과의 선택비 control능력의 한계로 인해 hard mask로 바뀌게 되었다. 처음 도입된 hard mask는 CVD 방식을 이용한 SiO₂ 막질이었으나 0.25 μ m이하의 device에서는 mis-align margin 한계 극복을 위해 source/drain 용 pad형성을 위해 SAC(Self Aligned Contact)공정을 도입하게 되었고 이에 따라 gate 전극용 hard mask는 diffusion 방식으로 고온에서 형성되는 nitride막질(Si₃N₄)을 사용하게 되었다. 그러나 고온에서 deposition되는 hard mask로 인해 전극 식각전 WSi막질이 결정화됨에 따라 기존 조건 사용시 결정 형상에 따른 morphology가 하부 polysilicon막질에 전사되어 cone형태의 residue를 남기게 된다. 셋째 Design rule감소와 더불어 vertical stack에서 전체적인 thickness scale down이다. 이로 인해 Dense vs bulk area간 micro-loading이 가속화되어 main etch시 micro-loading을 감소시키지 못해 Sub-Si에 치명적인 결함인 pitting이 발생하였다. 또한 Chemistry측면에서 mass production시 MTBC(Mean Time Before Cleaning)증가 및 particle 감소를 위해 Cl₂/N₂, Cl₂/O₂ base에서 clean gas를 포함한 Cl₂/SF₆ gas의 조합으로 변경하게 되었다. 이러한 변화는 Gate전극 식각 공정에서 micro-loading 및 morphology의 최소화 및 고 선택비를 요구하게 되었고 이에 따른 final profile은 notching이나 irregular sidewall attack이 없는 vertical 형상이된다. 따라서 본 연구에서는 Gate전극 식각에서 요구되는 최적의 조건을 확보하기 위해 양산용 gas조합인 Cl₂/SF₆ base에서 pressure, total gas flow, additive gas effect 및 over etch조건에 따른 profile개선 및 process margin증가의 가능성을 실험하였다.

2. 실험 방법

시료는 Design rule 0.19 μ m의 Gox(65Å)/Poly-Si(1000Å)/WSi(1500Å)/Si₃N₄(1800Å)/HTO(700Å)/PE-SiON(600Å)구조의 8inch Wafer를 사용하였다. Hard mask 식각은 Lam사의 Exelan설비를 사용하였으며 gate전극 식각을 위해 AMAT사의 DPS⁺ poly etcher를 이용하였고 최적의 조건을 design rule 0.12 μ m 구조에서 확인하였다. Gate전극용 식각 공정은 크게 main etch(Cl₂/SF₆)와 over etch(HBr/O₂) 2step으로 구성하였으며 main etch step에서는 최적의 pressure, total gas Flow 영역대 및 Cl₂/SF₆ ratio를 찾아내기 위해 실험 계획법(Design Of Experiment)을 이용하였다. 둘째로 Additive gas에 따른 효과를 파악하기 위해 N₂와 O₂ gas를 첨가하여 그 효과를 관찰하였다. Over etch step에서는 pressure에 따른 vertical profile의 변화를 고찰하였다.

3. 실험 결과

Surface morphology는 AFM으로 분석하였으며 micro-loading은 FESEM으로 dense한 cell영역과 bulky한 peri영역을 비교하여 수치화하였다. WSi, poly Si, oxide막질의 etch rate는 별도로 제작한 test wafer를 사용하여 구하였다. Sidewall passivation은 TOF-SIMS 및 TEM을 통해 분석하였으며 마지막 profile은 FESEM 및 Hitachi사의 H9200 SEM으로 각각 vertical 및 top profile과 하부막질 damage 및 residue여부를 검사 하였다. Low pressure, high total gas flow 즉 짧은 residence time 및 optimum Cl₂/SF₆ ratio에서 최적의 조건을 확보하였다. N₂ add시 positive profile형성 가능성 및 sidewall passivation 기능 강화를 확인했으며 O₂ add시 N₂와 상반되는 현상을 나타냈다. Over etch pressure는 낮을수록 하부 poly-Si이 깨끗한 모양을 나타내나 선택비가 감소하여 서로 trade off되는 현상을 나타냈다.