

**강유전 물질  $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ 를 사용한 MF(I)S구조의 특성 연구**  
 (A Study on the Characteristics of  
 Metal-Ferroelectric-(Insulator)-Semiconductor Structures Using Ferroelectric  
 $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$  Thin Films)

포항공과대학교 신소재공학과  
 송유진, 서주형, 박찬경

### 1. 서론

게이트 유전막으로 강유전 박막을 사용하는 MFSFET형 소자는 1T-1C 형 소자에 비교하여 메모리 셀 크기를 감소시킬 수 있고 큰 자발 분극을 요구하지 않으며 일반적인 비휘발성 메모리와 비교하여 낮은 전압에서 작동할 수 있고 읽기/쓰기 속도가 상대적으로 빠르고 소비 전력이 적다는 장점이 있다. 따라서 MFSFET은 고집적화, 비휘발성, 대용량, 고속의 정보 처리, 저전력 소모 등의 특성을 가지는 이상적인 메모리로 기대된다.

강유전 박막과 Si 기판의 계면의 결합에 의해 많은 영향을 받는 MFSFET 메모리가 DRAM과 flash memory를 대체하기 위해서는 강유전 물질들에 대한 연구뿐만 아니라, 이 물질이 적용되었을 때 게이트 구조에서 강유전 박막의 결정성도 매우 중요하다. 그러나 강유전 박막과 Si의 화학적인 반응에 의해 좋은 계면을 얻는 것은 어렵다. 따라서 이러한 문제를 해결하기 위해 완충 층(적용이 기대되는 물질로  $\text{Y}_2\text{O}_3$ ,  $\text{ZrO}_2$ ,  $\text{SiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{MgO}$  등이 있다.)의 도입에 앞서 강유전 물질과 Si 기판 사이의 계면의 미세구조와 계면 반응에 대한 분석이 반드시 선행되어야 한다.

### 2. 실험 방법

BLT 박막의 증착은 r.f magnetron sputtering 법을 이용하였다. p-type Si(100)기판에 Bi와 La의 손실을 감안하여 제작한  $\text{Bi}_{3.86}\text{La}_{0.86}\text{Ti}_3\text{O}_{12}$  타겟을 온도를 다르게 하여 증착 하였고, annealing 과정은 전극 증착 후 급속 열처리(RTA: Rapid Thermal Annealing)를 실시하였다. 시편의 전기적 특성(C-V, I-V 특성)을 분석하고 XRD(X-Ray Diffractometry)를 이용하여 BLT 박막 및 ion beam sputtering 법으로 증착 시킨 완충 층 박막(YSZ :yttria stabilized zirconia)의 배향성을 분석하였고, Si 기판과 BLT 박막 사이 계면에서의 결정성 및 성분 분포에 대한 분석을 투과 전자 현미경(TEM: Transmission Electron Microscope)과 EDS(Energy Dispersive Spectroscopy)를 이용하였다.

### 3. 실험결과

강유전 박막과 Si 기판의 계면 분석을 통하여 MFS 구조의 전기적 특성에 영향을 미치는 계면 반응을 분석할 수 있었다. 또한 계면에서의 상호 확산과 화학적 반응으로 인한 메모리 특성 저하를 방지하기 위한 적절한 완충 층(buffer layer)으로 YSZ(yttria stabilized zirconia)을 도입하여 MFIS 구조를 제조하였고 TEM을 통한 계면 구조 분석을 실시하였다. 그리고 제작된 MFISFET의 전기적 특성과 분극 특성을 관찰하여 완충 층의 도입에 따른 메모리 특성 변화를 MFS구조와 비교하였다.