

# 컴퓨터 모델링과 시뮬레이션을 통한 반도체 FAB Line 분석

채상원\* · 한영신\*\* · 이철기\*\*\*

성균관대학교 정보통신공학부

경기도 수원시 장안구 율천동 300 성균관대학교

## Analysis semiconductor FAB line on computer modeling & simulation

Chae Sang Won, Han Young Shin, Lee Chil Gee

SungKyunKwan Univ. Information & Communication Engineering

### 요 약

The growth of semiconductor industry attracted to researchers like design, facility technique and making small size chip areas. But nowadays, cause of technology extension and oversupply and price down, yield improvement is the most important point on growth. This paper describes the computer modeling technique as the solutions to analyze the problem, to formalize the semiconductor manufacturing process and to build advanced manufacturing environments. The computer models are built referring an existing 8" wafer production line in Korea.

### I. 서 론

반도체 산업의 시장은 매년 증가하고 있으며 생산환경도 12" 웨이퍼 공정과 Cluster Type 설비 등으로 변화하고 있다. 이에 따라 매년 많은 수의 기존 FAB Line이 변화되고, 새로 건설될 전망이다. 그 동안 반도체 산업의 성장은 주로 설계기술, 설비기술, Chip Size의 소형화 등의 기술적인 개발에 의존하였다. 그러나 반도체 기술의 확산, 시장 경쟁력의 격화 등으로 생산성 향상에 의한 원가절감이 성장의 근본요인이 되고 있다. 즉 반도체 FAB Line의 시스템적인 관리통제의 기술이 반도체 산업의 성패를 좌우하는 시대로 접어든 것이다.

이런 반도체 산업은 대체 특성, 분기 현상 등의 특수한 상황이 많고 복잡한 데이터 처리가 일어나 수학적 모델로 접근하기에는 한계가 있다. 따라서 적절한 설계과정을 거친 시뮬레이션적 접근이 합리적이다. FAB에서 주로 분석하고자 하는 것은 생산라인의 입체적 용량의 분석, 병목 현상 발생 장비 예측, 결과 예측 등이다. 특히 FAB Line뿐 아니라 모든 제조업의 가장 큰 문제는 바로 병목현상이다. 이것을 막기 위해서는 효과적인 공정계획 작성, 적정 크기 및 수의 Stocker의 배치가 이뤄져야 한다. 특히 최근의 반도체 가격 폭락과 Buyers Market의 형성으로 제공 감축과 공기 단축을 통한 원가절감이 큰 이슈로 등장하고 있다. 본 논문에는 현재 제조업에서의 가장 큰 화제인 FAB Line을 실제 FAB Line을 대상으로 모델링, 시뮬레

이션을 수행하여 보다 정확하고 많은 사람들이 신뢰할 수 있는 결과를 보이겠다. 그리고 얻어진 결과를 분석하여 현재 FAB Line의 문제점을 파악하고 해결책을 제시하였다.

## II. Input Data

본 논문에서 사용되는 모든 입력 Data 들은 FAB Line에서 사용하고 있는 것으로서, 관련 시스템에 보관되어 있는 Data를 받아서 사용하였다. Input Data는 크게 다음의 4가지로 나뉘며, 실제의 Data를 가공한 것을 사용하였다.

### 2.1. Step별 Data (이하 Step Data)

Step별 공정 기준이 되는 자료로써, 각 Device별로 공정이 진행되는 순서, 사용장비, Destination Stocker 등이 기록되어 있다. 본 논문에서는 시뮬레이션에서 사용될 Device는 세 종류로 설정하였다.

### 2.2. Equipment Data (이하 장비 Data)

FAB내의 장비에 관련된 데이터들이다.

### 2.3. EOH (End of Handle) Data (이하 초기재공 Data)

초기 재공 Data는 위의 각 Step Data의 "EOH" Field를 기초로 하여 만들어진 Data로, 최초로 시뮬레이션을 실행시키면 각 공정 Step별로 분포되어 있는 재공을 의미한다.

### 2.4. FAB-in Lot 입력을 위한 Shift Data (이하 Shift Data)

새로운 Lot이 FAB-in될 때 사용되는 입력 Data로써, 각 Device당 FAB-in되는 Lot의 개수를 나타낸다. 전체 Data는 50일간의 실제 FAB Line Data를 기초로 사용되었다.

## 2.5 Input Data 적용

공정 시간 및 MTTR/MTBF는 실제 FAB Line에서 사용되고 있는 Data를 기준으로 적용하였다.

## III. Lot 흐름 분석 및 모델 구현 방법

### 3.1 시뮬레이션 가정

- FAB의 초기 재공 Lot들은 시뮬레이션 시작시에 모두 Stocker에서 대기하다가 다음 Step으로 진행한다.
- FAB-in되는 Device는 3종류이다.
- FAB-in과 FAB-out은 해당 장비에서 발생한다.
- FAB-in되는 Lot들은 시뮬레이션 기간의 매 Shift마다 투입된다
- Reticle 교환 시간은 장비와 공정에 관계없이 3분으로 동일하게 설정한다.
- Multi Batch의 구성은 한 종류의 Device로 Batch 구성이 안되었을 경우에만 사용하며, 오직 Receipt에 의해서만 결정된다.
- Destination Stocker가 Down일 경우, 그 Stocker로 이동한 Lot들은 Alter Stocker에서 Destination Stocker가 고쳐질 때까지 기다린다.
- Stocker 내부의 실비들은 지연 시간만 반영한다.
- 모든 장비의 내부적인 요소는 구현하지 않는다.
- 장비 내부에서의 이동시간 등은 공정 시간에 포함된다.
- Input Data에서 EQ. Capacity는 내부 Buffer의 크기를 의미하고, EQ. Port Capacity는 장비 I/O Port의 용량을 의미한다.
- Lifter는 상하이동만 구현한다.
- Photo 장비에서는 Reject가 없고, Rework만을 수행한다.
- Photo 장비 이외는 Rework이 없고, Reject만을 수행한다.
- Intra AGV가 있는 Bay의 AGV 레일은 두 개로, 서로 평행하게 놓여 있다.
- Intra AGV Charging Point 수는 AGV 수와 일치하며, 각각 서로 다른 레일 위에 위치한다.
- Intra AGV의 Charging Level은 30% 이다.
- AGV의 반송영역은 1층의 Bay는 1 Lot이고, 2층의 Bay에는 2 Lot으로 한다.
- FAB Line은 1일 3 Shifter로 운영한다.

### 3.2 초기 재공 입력

본 논문에서는 시뮬레이션 Warm-up Period를 설정하지 않고, 초기 재공을 입력하였다. 초기 재공은 각 Step별 초기 재공 Data를 사용해서 현재 Step의 Destination Stocker에 대기하는 것으로 가

정하였고, Stocker에 저장되어 있는 Lot들은 모두 임의의 Stocker 대기 시간을 갖게 되며, 시뮬레이션이 시작되면 각 장비에서 현재 Step을 진행할 수 있는 Lot들을 선택하여 공정을 진행하게 된다.

### 3.3 장비 선택 규칙 (Lot의 Destination Stocker 도착 시)

현재 진행할 Step의 Lot이 Destination Stocker에 도착했을 때, 다음과 같은 기준에 의해서 각 Step에 할당된 장비를 선택하게 된다.

1. 사용 가능한 장비
2. 현재 진행할 Step과 장비가 직전에 수행한 Step이 동일한 장비 (Reticle 교환 작업이 있는 장비만 해당)
3. Idle 상태의 장비
4. 현재 장비 용량의 여유가 많은 장비

### 3.4 Lot 선택 규칙 (장비에서 공정 완료 시)

장비에서 공정이 완료되면, 그 장비가 다음에 공정을 실행할 Lot들을 Stocker에서 찾아오는 기준은 다음과 같다. Lot 선택 규칙에서 정해놓은 기준 중, 1번 조건에 해당되는 장비가 여러 대일 경우에는 그 중 2번 조건에 해당하는 장비를 찾는 순서로 적용되었다.

1. 현재 Step과 동일한 Step의 Lot (Reticle 교환 작업이 있는 장비만 해당)
2. Rework 처리할 Lot
3. Hotrun이 존재하는 Step의 Lot
4. 현재 Step의 재공이 15 Lot이상인 Step의 Lot
5. 다음 Step의 재공이 0인 Lot
6. 가장 오래 대기한 Lot

### 3.5 자동 반송 시스템 Logic

#### 3.5.1 Destination Stocker 선택 규칙

Lot들이 반송될 Stocker는 각 Step의 Destination Stocker에 결정되어 있다. 만약, Destination Stocker의 설비가 Down일 경우에는 지정된 Alter Stocker로 반송된다. Destination Stocker에 여유 공간이 없을 경우에도 지정된 Alter Stocker로 반송된다.

Alter Stocker 역시 각 Step마다 지정되어 있으며, Step에 따라서는 Destination Stocker의 Down, Full 상태에 따라서 그 수와 위치가 다르게 지정되어 있다. 만약, 모든 Destination Stocker와 Alter Stocker가 사용 가능한 상태가 아니라면 현재의 위치에서 대기하면서 다른 Stocker들의 상태를 확인하게 된다.

#### 3.5.2. Inter 레일 선택 규칙

Inter 시스템은 표 1. 과 같은 구성으로 이뤄져 있다.

표 1. Inter 시스템의 구성

항목	Inter System	
	1층	2층
Load Capacity	1 Lot	1 Lot
Vehicle 수	In/Out 20대씩	In/Out 14대씩

Inter 시스템의 Inner와 Outer 레일을 한번씩 차례대로 사용하도록 단순화하였다. 이로 인해 그림 1. 과 같이 바로 옆의 Stocker로 이동시에도 A Path와 같이 Line을 한바퀴 도는 문제점이 있으나, 이는 무시하기로 하였다.

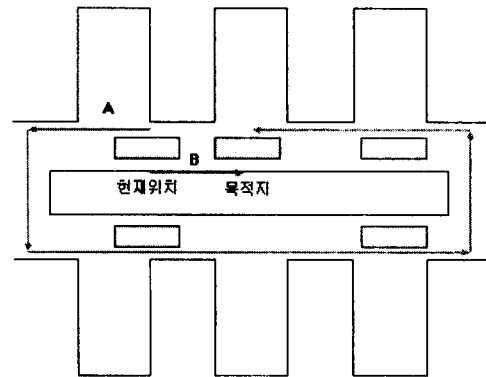


그림 1. Inter 레일 선택시의 문제점

#### 3.5.3. Intra 시스템 AGV

Intra 시스템의 AGV 경우는 장비에 따라 다른 Vision Time, Load/Unload Time을 가지며, 실제 Line의 데이터를 입력 데이터로 사용하여 적용하였다.

우선 Intra 시스템의 AGV를 선택하는 우선 순위

는 다음과 같다.

1. Charging Level 이상인 AGV
2. 작업 발생 위치와 가까운 곳에 있는 AGV
3. Lot을 실을 여유가 있는 AGV

또한 Intra AGV는 스스로 Path Planning을 작성하게 되는데, 이에 대한 우선 순위는 다음과 같다.

1. Charging Level 이하의 AGV
2. Lot을 운반하는 AGV
3. Lot을 회수하는 AGV
4. Idle 상태의 AGV

AGV들이 서로 만났을 경우, 그 우선 순위가 낮은 것이 우선 순위가 높은 것을 피해 움직이도록 하였다.

### 3.5.4 Lifter

Lot들이 층간 이동을 할 경우에는 Lifter를 사용한다. 본 논문에서 구현한 FAB Line에서 Lifter는 5대로 설정하였다. 다음은 Lifter 사용 선택에 있어서의 우선 순위이다.

1. Lifter와 연결된 Lifter Stocker의 Capacity가 가장 적은 것
2. 현재 위치에서 가까운 Lifter

위의 조건에서 가장 적은 Lot을 가지고 있는 Lifter Stocker가 두 개 이상일 경우에는 현재 위치에서 가장 가까운 쪽의 Lifter를 선택하도록 하였다.

## 3.6 공정 Logic

### 3.6.1 Rework 작업

공정 후 계측 시, Spec-out이나 작업자의 실수로 인해 재공정이 필요한 경우에는 Rework 작업이 실시된다. Rework Lot은 일반 공정 진행 Lot보다 높은 우선 순위를 가진다. Rework이 발생하면 장비는 Sample 처리를 하여 검사를 하게 된다.

Rework Lot은 Rework 장비로 이동 후 Rework 작업을 수행한 후에 다시 원래의 위치로 돌아와서 Step을 진행한다. Rework 발생은 Step Data의 Rework Ratio에 의해서 행해진다.

### 3.6.2 Dummy Lot 교환

장비에서 사용되는 Dummy Lot의 작업은 장비 Data에 나타나 있는 Dummy 교환 주기마다 수행한다. Dummy Lot을 교환하는 시간은 장비와 관계 없이 30분으로 동일하게 설정하였다.

### 3.6.3 계측 공정

계측 공정은 기본적으로 각 Bay에 연결되어 있는 Cell에서 이루어지며, Lot 단위의 공정을 하도록 설정하였다. 계측 공정의 Batch의 크기는 Step Data와는 관계없이 바로 전 단계의 Main 공정의 Batch의 크기와 동일하도록 시도하였으나, Multi Batch 구성시 다음 Step으로의 진행이 어렵기 때문에 1 Lot 공정으로 단순화하였다.

## IV. 결과 분석

### 4.1 장비 관련 결과

장비 가동율은 Batch의 경우는 첫 번째 Lot의 장비 Port 입력 시간에서 마지막 Lot의 장비 Port 출력까지의 시간비율을 해당 장비의 가동시간으로 정하였다.

표 2. 장비 가동율 (단위:%)

일	장비	Photo-A	TF-A	DE-A	Diff A	WE A
1		45.8	3.1	97.3	63.4	97.9
2		27.7	18.4	70.6	60.3	31.9
3		67.5	23.1	88.4	62.3	27.3
...						
평균		56.1	21.3	87.7	68.2	26.4

각 장비당 1일 처리 웨이퍼 수를 수집하여 장비의 웨이퍼 처리량의 추이를 관찰하였다.

표 3. 장비별 1일 처리 웨이퍼 (단위 : 웨이퍼)

일 \ 장비	Photo-A	TF-A	DE-A	Diff-A	WE-A
1	850	150	1150	625	2200
2	620	500	775	500	1500
3	1525	950	1000	625	1300
...					
평균	1384	878	972	730	1328

위의 결과로는 전체적 장비의 가동율이 상당히 낮았다. 여러 가지 요인들로 인해 실제 Line과는 상당한 차이가 있으나 Diffusion 장비의 가동율은 상당히 높게 나왔다. 즉, 본 논문의 대상 FAB에서의 병목현상은 주로 Diffusion 장비에서 발생한다고 볼 수 있다. 왜냐하면 Diffusion 공정은 많은 수의 Lot을 Batch로 묶어서 공정을 하고, 상대적으로 긴 공정 시간을 가지기 때문이다.

#### 4.2 Step 관련 결과

표 4. Step별 1일 처리 웨이퍼 (단위 : 웨이퍼)

일 \ Step	StepA001	StepA002	StepA003	StepA004
1	1525	1800	2000	100
2	750	1500	1500	650
3	1150	1450	1350	1200
...				
평균	1254	1730	1650	1424

표 5. Step별 WIP

일 \ Step	StepA001	StepA002	StepA003	StepA004
1	4	4	3	0
2	0	2	3	3
3	2	6	5	7
...				
평균	5.1	4.2	9.3	15.3

위의 결과를 이용하여 Step별 WIP 분석을 통해 병목 현상이 발생하는 Step을 찾았다. 이 경우는 연속된 Step들을 비교하여 그 중에 가장 많은 Lot이 쌓여 있는 Step에 병목 현상이 발생하게 되는데, 장비와 비교하여 그 Step에 할당된 장비의 대수를 조절해 주는 실험계획을 수립하여 이 문제를 해결해야 한다. Step에 관련된 결과로도 역시 Diffusion 공정 쪽에서 병목현상이 자주 발생하였

다.

#### 4.3 Bay 및 Stocker 관련 결과

표 6. Bay별 WIP (단위 : Lot)

일 \ Bay	1	2	3	4
1	896	344	223	490
2	860	278	207	521
3	811	327	156	486
...				
평균	853	339	243	525

표 7. Bay별 Throughput

일 \ Bay	21	22	23	24
1	15175	22375	5150	17450
2	15650	17300	4675	18659
3	15025	15675	2700	13577
...				
평균	15473	17588	3456	16674

Bay와 관련된 결과는 Step 관련 결과 분석과 거의 일치하였다. 먼저 WIP을 분석하여 가장 많은 WIP을 가지는 Bay가 병목 현상이 발생할 확률이 크지만, 이 경우는 자동 반송 시스템의 문제, Step구성상의 문제 등의 몇 가지 요인이 더 있을 수 있으므로, Step 간의 비교를 통하여 Bay의 병목 현상을 찾아야 한다.

여기서는 주로 Diffusion Bay, Photo Bay에서 병목 현상이 발생하였는데, 전자는 4.1, 4.2에서 설명하였으며, 후자는 Intra AGV 시스템을 사용한 것이 하나의 원인이었다.

표 8. Stocker 가동율 (단위 :%)

일 \ STK	STK-1	STK-2	STK-3	STK-4
1	34.6	17.6	12.1	10.6
2	27.2	14.9	14.9	9.7
3	31.8	15.7	9.8	11.5
...				
평균	32.8	18.3	14.7	14.4

위의 표를 보면 Stocker 가동율이 낮은 것을 볼 수 있는데, 이를 해결하기 위해서는 Stocker 크기를 줄이거나 개수를 줄여야 한다. 하지만, Stocker

가 위치한 Bay가 Diffusion이나 Photo Bay인 경우는 상대적으로 높은 가동율을 보였다.

#### 4.4 자동 반송 시스템 결과

표 9. Inter Vehicle의 가동율 (단위 : %)

라인 \ 레일	1층 In	1층 Out	2층 In	2층 Out
1	49.2	54.1	48.1	49.7
2	46.1	47.5	40.2	44.3
3	40.0	38.4	57.4	56.6
...				
평균	41.9	41.6	41.7	42.4

Inter Vehicle의 가동율은 3.5.2의 Inter Vehicle 선택 규칙에 영향을 받았으므로 In/Out 레일의 가동율이 비슷하게 나왔다.

표 10. Intra Vehicle의 가동율 (단위 :%)

라인 \ Bay	1Bay-A	1Bay-B	32Bay-A	32Bay-B
1	32.7	34.3	50.5	51.1
2	28.5	25.6	53.3	52.8
3	31.9	29.1	53.9	54.1
...				
평균	33.2	30.4	55.2	53.3

Intra AGV의 가동율 역시 Bay, 공정의 영향을 많이 받고 있음을 알 수 있다.

표 11. Lifter 가동율 (단위 : %)

라인 \ Lifter	1	2	3	4	5
1	20.0	18.4	15.7	18.2	19.4
2	19.5	22.3	13.3	19.1	20.4
3	20.8	23.7	17.2	16.1	17.7
...					
평균	21.2	22.7	13.8	17.6	18.4

Lifter 가동율 역시 5대가 상당한 빈도로 사용되지만, Bay와 Step에 따라 조금씩 영향을 받음을 알 수 있다. 그러나 각 Lifter의 가동율이 상당히 낮으므로 Layout, Step의 조정, Lifter 수의 조정 등이 필요하다.

## VI. 결 론

본 논문에서는 실제의 FAB Line Data를 바탕으로 모델링과 시뮬레이션을 해 보았다. 모든 시스템이 그렇지만, 특히 FAB Line은 무수히 많은 변수가 존재한다. 그 중 상당 부분을 단순화하고, 생략하였으나 현재 Line의 문제점을 찾아 낼 수 있었고, 그 문제점의 해결 방안을 제시하였다.

서론에서도 언급했듯이 문제는 재공의 감소와 병목 현상의 제거이다. 반도체 공정은 상당히 복잡하기 때문에 공정 계획을 변경한다는 것은 대단히 어려운 작업이고, 공정 계획이 변경되어도 기본적인 공정은 반드시 포함되어야 하므로 그리 크게 변하지는 않는다. 그렇다면 문제를 해결할 수 있는 유일한 해결책은 설비에 있다. Layout, 장비, Stocker, 자동 반송 시스템 등의 변경으로 현재의 FAB Line에서 발생하는 문제점을 해결해야 한다.

본 논문에서는 Stocker의 가동률과 재공에 대해서만 고려하였다. 만약 동선, Stocker 가격, 장비나 Stocker Down시의 대처 방법 등의 특수한 규칙 등을 적용한다면, 다른 배치 방법이 효율적일 수도 있다. 또한 본 논문에서 사용한 배치 방법은 가장 단순한 형태를 취하고 있으므로 이를 실제 Line에 적용하면 그 결과가 바뀔 수 있을 것이다.

추후에는 Stocker뿐 아니라 공정, 장비, 자동 반송 시스템 등의 요소에도 다양한 실험을 통해서 보다 정확한 대안책을 제시할 수 있어야 하겠다.

## Acknowledgements

본 연구는 한국과학재단 목적기초연구 (R01-2000-00250) 지원으로 수행되었음.

## 참 고 문 헌

- [1] Linda F. Atherton, Robert W. Atherton, "Wafer Fabrication : Factory Performance and Analysis", Kluwer Academic Press, Boston, MA, 1995

- [2] Stephen A. Campbell, "The Science and Engineering of Microelectronic Fabrication", Oxford University Press, NY, 1996
- [3] Ben G. Streetman, "Solid State Electronic Devices", Prentice Hall, 1995
- [4] Averill M. Law, W. David Kelton, "Simulation Modeling & Analysis", McGraw-Hill, 1991
- [5] B. P. Zeigler, "Object-Oriented Simulation with Hierarchical, Modular Models", Academic Press, 1990
- [6] Chihwei Liu, "A Modular Production Planning System for Semiconductor Manufacturing", Ph. D. Dissertation, Univ of California, Berkeley, 1992
- [7] R. C. Leachman, "Modeling Techniques for Automated Production Planning in the Semiconductor Industry", Wiley, 1993
- [8] Kelton, Sadowski, "Simulation with Arena", McGraw-Hill, 1998
- [9] Robert F. Pierrer, "Semiconductor Device Fundamentals", Addison Wesley