

MIS 소자의 절연막 두께 변화에 따른 캐리어 트랩 특성

정양희

여수대학교 전기공학과

Carrier Trap Characteristics varying with insulator thickness of MIS device

Yang-Hee Joung

Nat'l Yosu University

E-mail : jyanghee@yosu.ac.kr

ABSTRACT

The MONOS capacitor are fabricated to investigate the carrier trapping due to Fowler-Nordheim tunneling injection. The carrier trapping in scaled multi-dielectric(ONO) depends on the nitride and top oxide thickness under Fowler-Nordheim tunneling injection. Carriers captured at nitride film could not escape from nitride to gate, but be captured at top oxide and nitride interface traps because of barrier height of top oxide. Therefore, it is expected that the MONOS memory devices using multi dielectric films enhance memory effect and have a long memory retention characteristic.

키워드

ONO, FN injection, Trapping, LPCVD, MIS

I. 서 론

실리콘 제조 기술의 급속한 발전과 함께 소자 크기의 축소로 인해 얇은 게이트 절연막이 요구되어 왔다. 현재 사용되어지고 있는 일반 산화막은 그 두께 감소의 한계에 있으며 고용량 캐패시턴스 확보를 위한 절연막 두께의 감소로 인해 누설전류의 증대 및 편홀 밀도의 증가와 같은 문제들이 대두되고 있다[1-3]. 이와 같은 문제의 대응방안으로 현재는 질화막과 산화막을 적층으로 사용하는 다층절연막을 사용한 소자들이 메모리 소자의 주류를 이루고 있다. 또한 이와같은 다층절연막은 축전용량이 크고 캐리어의 보유 능력이 크기 때문에 반도체 메모리 소자등에 사용되어 현재 64Mbit DRAM등의 실리콘 제조기술에 적용되어지고 있다[4-6]. 본 논문에서는 이와같은 다층절연막을 이용한 MIS 캐패시터를 제작하고 FN 터널 주입 방법으로 캐리어를 주입하여 C-V 특성을 조사하고 고찰함으로써 질화막과 상층산화막의 두께 변화에 따른 캐리어 트랩 특성을 조사하였다.

II. 시료제작 및 실험방법

1. 시료제작

본 실험에서는 비저항이 12~25 Ω cm 이고 결정면이 p형인 실리콘 웨이퍼를 사용하여 775 $^{\circ}$ C에서 10분동안 산화하여 약 13 \AA 두께의 하층산화막을 성장 시켰다. 여기에 압력과 온도를 45Pa, 715 $^{\circ}$ C로 하고 DCS와 NH₃를 15:150cc의 조건에서 LPCVD로 질화막을 성장 시켰다. 질화막 위에 상층산화막을 dry oxidation 방법으로 성장시키고 폴리실리콘을 증착시켜 게이트를 형성하였다.

2. 실험방법

MIS 캐패시터의 C-V측정을 위한 장치의 개략도를 그림 1에 나타내었다. Lock-in amplifier는 EG & PAR사의 모델 124A로써 내부 참조신호 모드에서 2Hz에서 210kHz까지의 주파수 신호를 발생 시킬 수 있다. 본 실험에서는 고주파 C-V를 측정하기 위해 100kHz의 신호를 이용하였다. 이 ac 신호는 선형 램프 발생기에서 발생하는 전압에 실려 MIS 캐패시터의 기판 혹은 게이트에 입력된다. 이때 MIS 캐패시터의 기판 혹은 게이트를 통해 흘러 나오는 전류는 current pre-amplifier에서 ac 전압으로 변환되어 lock-in

amplifier로 입력된다. 고주파 C-V 곡선을 그리기 위해 watanabe사의 WX 4402 기록계를 이용하였다.

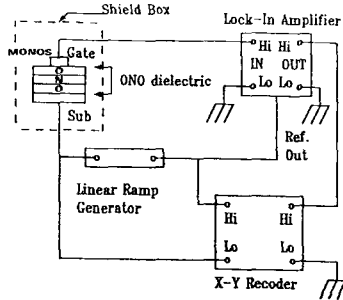


그림 1. 고주파 C-V 측정을 위한 장치 개략도
Fig. 1. Block diagram for measuring the high frequency C-V curve

대부분의 FN 주입 실험은 constant current source를 사용하여 전류 밀도 $\pm 2.5 \times 10^{-5}$ A/cm²을 일정하게 유지하면서 행하였다. FN 주입 전,후의 flatband 전압의 변화를 측정하기 위해 FN 주입전에 고주파 C-V를 측정하고 FN 터널 주입후에 다시 C-V를 측정하는 방법으로 실험을 반복하였다. 실험 결과 C-V 곡선을 얻기 위해 전하 주입을 중단할 때 생기는 영향은 거의 무시할 수 있는 것으로 나타났다. 또 inversion 영역에서의 실험은 inversion층의 캐리어 생성을 돕기 위해 백열등을 조사하면서 실험하였다.

III. 결과 및 고찰

FN 터널 주입방법을 사용하여 MIS 캐패시터에 실리콘 또는 게이트 전극으로부터 전하를 주입하면 막 내에서는 전하의 트랩핑과 생성이 일어나게 된다. 이러한 변화는 FN 터널 주입에 따른 고주파 C-V곡선을 측정함으로써 알 수 있다.

1. 절화막 두께 변화에 따른 캐리어 트랩 특성

하층산화막 13Å, 상층산화막 10Å을 고정시키고 절화막을 63~107Å으로 변화시켰을 경우 측정된 고주파 C-V 곡선은 그림 2, 3, 4, 5와 같다.

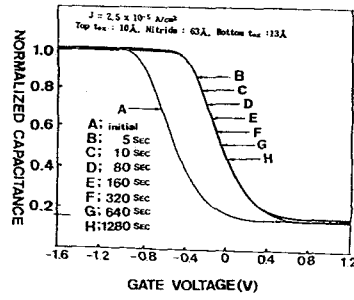


그림 2. 양의 게이트 전압에 대한 고주파 C-V
Fig. 2. High frequency C-V curve of MIS capacitor at positive gate polarity

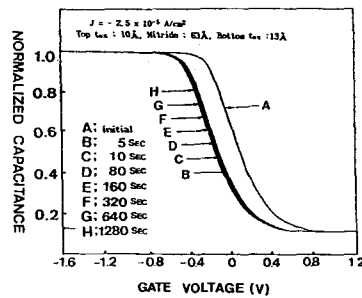


그림 3. 음의 게이트 전압에 대한 고주파 C-V
Fig. 3. High frequency C-V curve of MIS capacitor at negative gate polarity

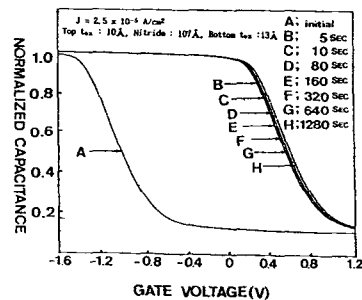


그림 4. 양의 게이트 전압에 대한 고주파 C-V
Fig. 4. High frequency C-V curve of MIS capacitor at positive gate polarity

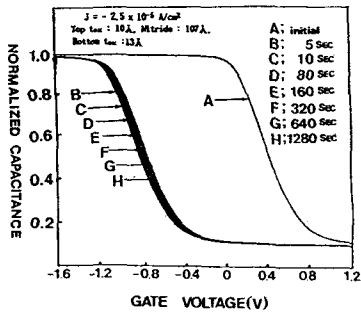


그림 5. 음의 게이트 전압에 대한 고주파 C-V
Fig. 5. High frequency C-V curve of MIS capacitor at negative gate polarity

그림 2에서는 양의 게이트 전압을 인가했을 때 FN 터널 주입에 따라 flatband가 양으로 이동하고 있어 전자가 트랩핑되고 있음을 나타내고 그림 3은 음의 게이트 전압하에서 flatband가 음의 방향으로 이동하고 있으므로 홀이 트랩핑되고 있음을 나타낸다. 그림 4에서는 양의 게이트 전압하에서 flatband가 양으로 이동하고 있어 전자가 트랩되는 것을 표시하며 그림 5는 음의 게이트 전압하에서 flatband가 음으로 이동하고 있어 홀이 트랩되는 것을 나타낸다. 또한 게이트 바이어스의 극성과 관계없이 질화막의 두께가 증가되면서 flatband 전압의 변화량이 크게 나타남을 확인할 수 있었다. 이에 대한 fluence($1E14/cm^2$)와 flatband 전압 변화의 관계를 조사한 것이 그림 6, 7이다. 그림 6, 7에서 보는 바와 같이 질화막의 두께 변화에 따른 flatband의 변화가 커지고 있음을 볼 수 있는데 이는 두께 증가에 따른 단위 체적당의 질화막내에 트랩되는 전자가 많아지는 것을 나타내며 이에의한 메모리 효과가 커짐을 알 수 있다[7]. 이로써 캐패시턴스의 확보에 크게 문제가 없는 소자의 경우 절연막의 두께 조절에 있어 메모리 효과 상승을 위해 다층절연막중 질화막의 두께 조절의 필요성을 알 수 있다.

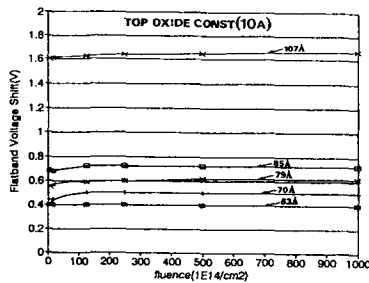


그림 6. 양의 게이트 전압에서의 flatband 전압 변화량
Fig. 6. Flatband voltage shift under positive gate bias for stress current $1 \times 10^{-6}A$

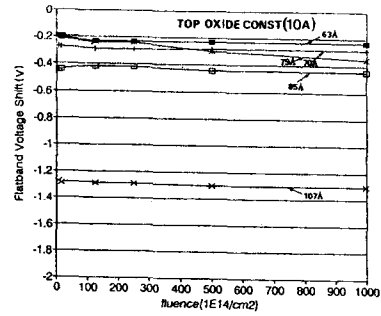


그림 7. 음의 게이트 전압에서의 flatband 전압 변화량
Fig. 7. Flatband voltage shift under negative gate bias for stress current $1 \times 10^{-6}A$

2. 상충산화막의 두께에 따른 캐리어 트랩 특성
상충산화막은 다층절연막을 갖는 MIS 구조에서 메모리 영항에 민감한 작용을 하고 있다. 따라서 하층산화막을 13Å, 질화막을 63Å으로 일정하게 고정하고 상충산화막의 두께 변화에 따른 캐리어 트랩 특성을 조사하기 위하여 fluence($1E14/cm^2$)와 그에 따른 최대 flatband 전압 변화를 그림 8, 9에 나타내었다.

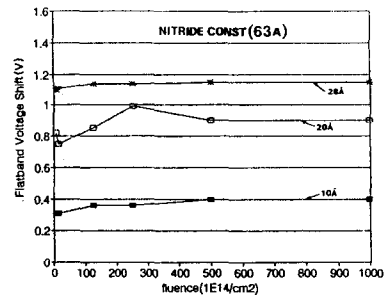


그림 8. 양의 게이트 전압에서의 flatband 전압 변화량
Fig. 8. Flatband voltage shift under positive gate bias for stress current $1 \times 10^{-6}A$

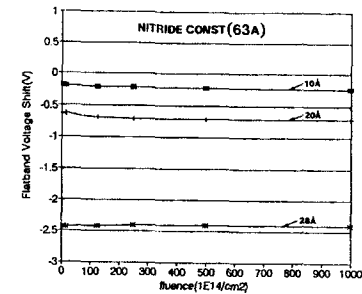


그림 9. 음의 게이트 전압에서의 flatband 전압 변화량
Fig. 9. Flatband voltage shift under negative gate bias for stress current $1 \times 10^{-6}A$

그림 8, 9에 나타난 바와같이 상충산화막이 두꺼워질수록 최대 flatband 전압 변화가 커져서 질화막의 두께 증가와 마찬가지로 메모리 효과가 커질 것으로 기대 할 수 있다. 이와같이 상충산화막의 두께가 증가함에 따라 메모리 효과가 커지는 것은 질화층과 상충산화막 계면에 트랩이 형성되어지고 그것에 캐리어가 트랩되는 것과 상충산화막의 barrier height로 인해 질화막에 트랩된 캐리어가 게이트로 빠져나가지 못하게 하는 역할을 하는데서 그 원인이 있는 것으로 해석된다. 따라서 상충산화막은 다층절연막에서 메모리 효과를 향상시키는 중요한 구실을 하는 것으로 판단된다.

"Traps created at the interface between the nitride and the oxide on the nitride by thermal oxidation" Appl. Phys. Lett, 42(7), 1983

IV. 결 론

이상의 결과로부터 상충산화막과 질화막의 두께 변화에 대한 FN 터널링 주입에서의 캐리어 트랩핑 특성은 상충산화막과 질화막의 두께가 커짐에 따라 최대 ΔV_{FB} 가 증가하고 적층절연막의 MIS 캐패시터에 FN 주입시 질화막에 트랩된 캐리어는 상충산화막에 의해 blocking되고 상충산화막과 질화막의 계면트랩에 트랩됨으로써 기존의 메모리 소자보다 향상된 메모리 효과와 긴 메모리 보유능력의 특성을 가지게 된다.

참고문헌

- [1] B.Ricco and E.sangiorgi, "Electron trapping/detrapping within SiO₂ films in the high field tunneling regime" J. Appl. Phys, 54(9), 1983
- [2] M. S. Liang, J. Y. Choi and C.Hu, "Inversion layer capacitance and mobility of very thin gate-oxide MOSFET's" IEEE Trans. E.D, ED-33, 1986
- [3] Z. A. Weinberg and R. A. Pollak, "Hole conduction and valance-band structure of Si₃N₄ films on Si" Appl. Phys. lett. 27(4), 1975
- [4] E.Suzuki and Y.Hayashi "A model of degradation mechanism in metal-nitride-oxide-semiconductor structure" Appl. Phys. lett, 35, 1979
- [5] M.Aminzadeh, S.Nozaki and R.V.Giridhar, "Conduction and charge trapping in MNOS structure under positive gate bias" IEEE Trans. Electron device, 35(4), 1988
- [6] K.I.Lundstrom and C.M.Svensson "Properties of MNOS structures" IEEE Trans. Electron devices, ED-19(6), 1972
- [7] E.Suzuki, Y.Hayashi, K.Ishii and T.Tsuchiya