

# PLT(28) 박막의 제작과 전기적 특성에 관한 연구

강성준\* · 정양희\*\*

\*여수대학교 반도체·응용물리학과

\*\*여수대학교 전기공학과

## Preparation and Electrical properties of the PLT(28) Thin Film

Seong-jun Kang\* · Yang-hee Joung\*\*

\*Dept. of Semiconductor and Applied Physics, Yosu National University

\*\*Dept. of Electrical Engineering, Yosu National University

E-mail : sjkang@yosu.ac.kr

### 요 약

Sol-gel 법으로 PLT(28) 박막을 제작하여, 박막의 구조적 및 전기적 특성을 조사하였다. XRD 와 AFM 관찰 결과, 650°C에서 annealing 된 박막은 완전한 perovskite 구조를 가지며 표면거칠기도 22Å 으로 양호한 값을 나타내었다. Pt/TiO<sub>x</sub>/SiO<sub>2</sub>/Si 기판위에 PLT(28) 박막을 증착시켜 planar 형태의 캐패시터를 제작하여 전기적 특성을 조사하였다. 그 결과, PLT(28) 박막은 상유전상을 가지며, 10kHz에서 비유전률과 유전손실은 761 과 0.024 이었다. 또, 5V에서 전하축적밀도와 누설전류밀도는 각각 134fC/μm<sup>2</sup> 과 1.01 μA/cm<sup>2</sup> 이었다. 이로부터, PLT(28) 박막이 차세대 DRAM 용 캐패시터 절연막으로 사용될 수 있는 유망한 재료라고 생각된다.

### ABSTRACT

We prepared the PLT(28) thin film by using sol-gel method and investigated the structure and electrical properties of the film. With the XRD and AFM analyses, it is found that PLT(28) thin film annealed at 650°C has a complete perovskite structure and its surface roughness is about 22Å. We prepared PLT(28) thin film on the Pt/TiO<sub>x</sub>/SiO<sub>2</sub>/Si substrate, in which the specimen has a planar capacitor structure, and analyzed the electrical properties of PLT(28) thin film. In result, PLT(28) thin film has a paraelectric phase and its dielectric constant and loss tangent at 10kHz are 761 and 0.024, respectively. Also, the storage charge density and leakage current density of PLT(28) thin film at 5V are 134fC/μm<sup>2</sup> and 1.01 μA/cm<sup>2</sup>, respectively. As a result of this, we concluded that the PLT(28) thin film is a promising material to be used as a capacitor dielectrics for next generation DRAM.

### 키워드

DRAM, 강유전체, PLT(Pb<sub>1-x</sub>La<sub>x</sub>TiO<sub>3</sub>), 이력곡선, 유전상수, 누설전류, 전하축적밀도

### 1. 서 론

최근 정보화 시대의 도래로 반도체 산업의 비중이 계속 커져가고 있으며 그 중에서도 반도체 메모리, 특히 DRAM 이 가장 큰 비중을 차지하고 있다. 현재, 이미 128Mb DRAM 이 양산체제를 이루고 있으며, Gb DRAM 에 대한 기술도 개발중에 있다.[1] DRAM 이 급격히 고집적화 됨에 따라 메모리 셀 당 사용가능한 면적이 줄어들고 이에 따라 정보저장을 위한 캐패시터

의 면적도 감소하게 되었다. 그렇지만, 캐패시터의 면적이 감소하더라도 단위 셀 당 저장 캐패시턴스는 적정값을 유지하여야 된다. 기존에 사용되고 있는 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 같은 물질들이 256 M 이상의 DRAM에 사용된다면, stack 이나 trench 캐패시터 셀 같은 복잡한 구조들이 단위 셀 당 저장 캐패시턴스의 적정값을 유지하기 위해 사용되어야 한다.[2] 그러나 비유전률이 높은 새로운 물질 즉, 강유전체 박막을 캐패시터 절연막으로 사용한다면, 좀 더 간단한 캐패시터 구조로도

256 Mb DRAM 이상이 실현될 수 있다.[3]

이들 강유전체 박막중 PLT ( $Pb_{1-x}La_xTiO_3$ ) 박막이 가장 유력한 물질 중 하나로 평가되고 있는데 그 이유는 높은 비유전률 외에도 La 의 농도를 조절해 줌으로써 DRAM 의 동작온도에서 분극반전과 같은 time-dependent slow process 가 특징인 강유전상이 아닌 charging/discharging time 이 빠르고 유전손실이 작은 상유전상으로의 상변이가 가능하기 때문이다.[4] 즉, La 농도가 28mol% 일 경우, 이 강유전체의 curie 온도가  $-25^{\circ}C$  정도가 되어 그 이상의 온도에서는 상유전상을 가짐으로서 DRAM 의 캐패시터 절연막에 적용하기에 알맞게 된다.[5]

강유전체 박막의 제작방법으로는 sputtering 법, CVD 법 등 여러 가지가 있으나, 최근에는 설비가 매우 간단하고 박막을 제조하는 시간이 짧게 걸리며 조성을 제어하는 것이 용이한 sol-gel 방법이 많이 연구되고 있다.

따라서, 본 연구에서도 sol-gel 법으로 PLT(28) 박막을 제작하고, 그 물성과 전기적 성질을 조사하여 ULSI DRAM 의 캐패시터 절연막 으로서의 응용가능성을 연구하였다.

## II. 실험 방법

본 연구에서는 sol-gel 법으로 PLT(28) 박막을 제작하였다. 출발물질로는  $Pb(CH_3COO)_2 \cdot 3H_2O$ ,  $La(OOCCH_3)_3 \cdot 1.5H_2O$ ,  $Ti(O-iC_3H_7)_4$ 를 사용하였다. 용매와 안정화제로 acetic acid 를 사용하였고, 점도 조절과 기판에 대한 습윤성(wettability)을 향상시키기 위해 n-propanol을 첨가하였다. 본 연구에서는 Pb, La, Ti 의 stock solution을 각각 제작하였으며, Pb 용액의 경우, Pb 부족 때문에 파이로클로로(pyrochlore) 상이 생기는 것을 막기 위해 10 mol%의 Pb를 과량으로 첨가하였다. 개별적으로 제작된 각 stock solution을 조성에 맞게 혼합하여 0.4M의 coating solution을 제작하였다. 제작된 coating solution은 회전 도포시  $0.2 \mu m$  filter를 이용하여 걸러서 사용하였다. 박막은 clean bench 내에서 회전도포기를 사용하여 500 rpm에서 5초, 3000 rpm에서 40초간 회전시켜 Pt/TiOx/SiO<sub>2</sub>/Si 기판위에 형성시켰다. 코팅이 끝나면  $110^{\circ}C$ 와  $450^{\circ}C$ 에서 각각 15분, 5분간 건조시키고 다시 코팅하는 방법을 사용하였다. 그 후,  $650^{\circ}C$ 에서 30분간 열처리하여 박막의 제작을 완료하였다. 이와 같이 제작된 PLT 박막위에 직경 0.2mm의 상부전극을 증착시켜 평판 구조의 캐패시터를 제작하였다.

PLT 박막의 결정화 특성은 X-Ray Diffracto-

meter (PHILIPS PW 3020,  $CuK\alpha$ )를 이용하여 분석하였고, 표면상태는 AFM (Atomic Force Microscopy : Park Science, AP 2000L)을 이용하여 관찰하였다. PLT 박막의 두께는 ellipsometer (PLASMOS, SD 2300)와 SEM (Hitachi S-4200)을 이용하여 구하였고, AES (VG Microlab, 310F)를 이용하여 박막의 깊이 에 따른 조성의 변화 및 계면을 관찰하였다. 유전특성과 누설전류밀도는 각각 LCR meter (Stanford Research, SR 720)와 Parameter analyzer (HP 4145B)를 이용하여 측정하였으며, RT66A Standardized ferroelectric test system (Radiant technologies)을 이용하여 PLT 박막의 이력곡선을 측정하였다.

## III. 결과 및 논의

그림 1은 PLT(28) 박막을  $650^{\circ}C$ 에서 30분간 열처리 한 후의 XRD 패턴을 나타낸 것이다.

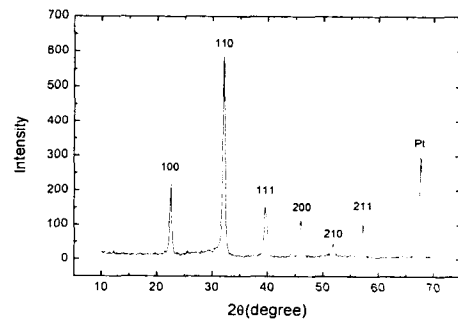


그림 1. PLT(28) 박막의 XRD 패턴  
Fig. 1. XRD pattern of PLT(28) thin film

그림 1에서 보듯이 (100), (110), (111), (200), (211)면들의 피크들이 나타나는 것으로 보아, 본 연구에서 제작한 PLT(28) 박막은 다결정 상태이며 특별한 선택적 배향성을 나타내지는 않는 것으로 보인다.

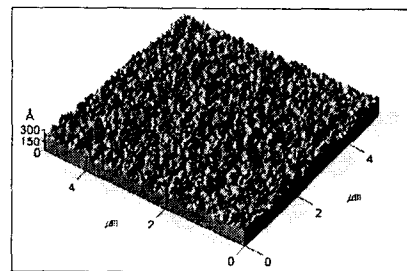


그림 2. PLT(28) 박막의 3차원 AFM 사진  
Fig. 2. The 3D AFM image of PLT(28) thin film

표면상태 특히 표면 거칠기는 강유전체 박막을 실체 소자에 응용할 경우, 상부전극 물질과 강유전체 박

막과의 계면특성에 영향을 미쳐 박막의 누설전류 및 절연과피 특성에 영향을 미치는 중요한 요소이다. 그림 2는 PLT(28) 박막의 AFM 사진을 나타낸 것이다. AFM 으로 측정한 PLT(28) 박막의 표면거칠기는 22.0 Å 이었다.

그림 3은 La 농도가 28 mol% 인 PLT 박막의 AES depth profile 을 나타낸 것이다.

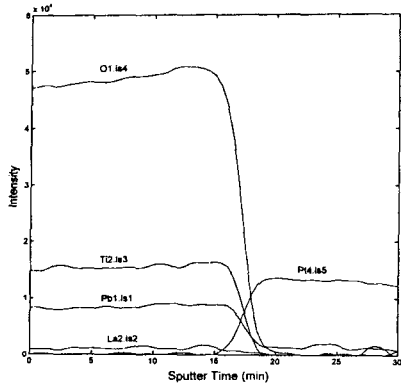


그림 3. PLT(28) 박막의 AES depth profile  
Fig. 3. AES depth profile of PLT(28) thin film

그림 3에서 보듯이, PLT 박막 내부에서 Pb, La, Ti, O 등의 각 원소들의 조성이 비교적 균일하게 분포하고 있음을 알 수 있다. 또, PLT/Pt 계면에서 다른 제 2 상들의 존재가 관찰되지 않는 것으로 보아 Si의 심각한 확산은 일어나지 않은 것으로 보인다. 그러므로 PLT/Pt 계면에서 Si의 산화물 같은 저유전률층의 생성은 거의 없는것으로 판단되며 이 때문에, 본 연구에서 제작한 PLT 박막이 우수한 전기적 특성을 나타낼 것으로 판단된다.

그림 4는 PLT(28) 박막의 주파수에 따른 유전특성을 나타낸 것이다.

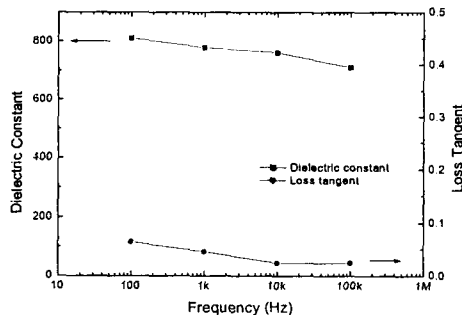


그림 4. PLT(28) 박막의 유전특성  
Fig. 4. Dielectric properties of PLT(28) thin film  
유전체에 교류전기장을 인가하면, 전기장의 방향에

따라 유전분극이 바뀌게 된다. 그림 4 에 나타난 주파수의 증가에 따른 유전상수의 감소는 유전분극이 전기장의 변화를 따라가지 못하기 때문에 발생하는 것이다. 10 kHz에서 PLT(28) 박막의 유전상수와 유전손실은 각각 761과 0.024이었다.

DRAM 의 캐패시터 절연막에의 응용을 위해 고려할 중요한 특성중의 하나가 누설전류 특성이다. 누설전류가 증가하면, 더 빠른 refreshing 이 요구되며 전력소모도 커지게 되므로 바람직하지 않다.

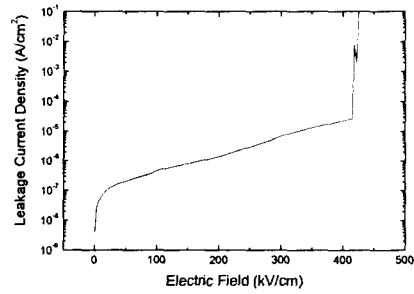


그림 5. PLT(28) 박막의 누설전류밀도  
Fig. 5. Leakage characteristics of PLT(28) thin film as a function of electric field

그림 5는 PLT(28) 박막의 누설전류밀도를 나타낸 것이다. 그림에서 보듯이 5V에서 누설전류밀도는 1.01  $\mu$ A/cm<sup>2</sup>이었다.

그림 6은 La 농도가 28mol% 인 PLT 박막의  $\pm$ 5V에서 측정된 이력곡선을 나타낸 것이다.

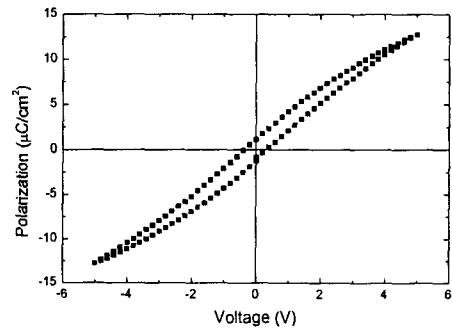


그림 6. PLT(28) 박막의 hysteresis loop  
Fig. 6. Ferroelectric hysteresis loop of PLT(28) thin film

그림에서 보듯이, 잔류분극과 항전계는 각각 1.10  $\mu$ C/cm<sup>2</sup> 과 13.7kV/cm 으로 거의 slim한 상유전체의 특징을 나타내었다. 또, 5V에서의 전하축적밀도(charge storage density) 도 134fC/ $\mu$ m<sup>2</sup>으로 비교적 우수한 특성을 나타내었다.

## IV. 결 론

본 연구에서는 La 의 농도가 28mol%인 PLT 박막을 sol-gel 법으로 제작하여, PLT 박막의 구조적 특성 및 전기적 특성을 조사하였다. XRD 측정 결과, 650°C에서 30분간 열처리한 PLT(28) 박막은 특별한 선택적 배향성을 나타내지는 않았지만 완벽한 페로브스카이트 구조로 결정화 되었음을 확인할 수 있었다. AFM과 AES 측정 결과, PLT(28) 박막의 표면거칠기는 22 Å으로 조사되었고 PLT/Pt 계면에서 다른 제 2상들의 존재가 관찰되지 않는 것으로 보아 Si의 심각한 확산은 일어나지 않은 것으로 보인다. PLT(28) 박막을 650°C에서 30분간 후열처리한 다음, 박막에 상부전극을 증착시켜 평판 구조의 캐패시터를 제작하여 전기적 특성을 조사하였다. PLT(28) 박막의 10kHz에서 비유전률과 유전손실은 각각 761과 0.024로 나타났고, 누설전류밀도는 150kV/cm의 전기장에서  $0.79 \mu\text{A}/\text{cm}^2$ 로 조사되었다. PLT(28) 박막의 이력곡선을 측정한 결과, 잔류분극과 항전계는 각각  $1.10 \mu\text{C}/\text{cm}^2$ 과 13.7kV/cm으로 거의 slim한 상유전상을 가짐을 확인할 수 있었다. 또, 5V에서 전하축적밀도는  $134\text{fC}/\mu\text{m}^2$ 으로 상당히 우수한 값을 나타내었다. 따라서 PLT(28) 박막은 차세대 DRAM용 캐패시터 절연막으로 매우 유망한 재료라고 생각된다.

## 참고문헌

- [1] K. Koyama, T. Sakuma, S. Yamamichi, H. Watanabe, H. Aoki, S. Ohya, Y. Miyasaka, and T. Kikkawa, "A Stacked Capacitor with  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$  for 256M DRAM", International Electron Devices and Materials Symposium Technical Digest, pp. 823~826 (1991)
- [2] T. Makita, T. Horikawa, H. Juroki, M. Kataoka, J. Tanimura, N. Mikami, K. Sato, and M. Nunoshita, "Electrical Properties and Film Structures of  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$  Thin Films by RF Sputtering", Mat. Res. Soc. Symp. Proc., 284, pp. 529 (1993)
- [3] A. F. Tasch, and L. H. Parker, "Ferroelectric Materials for 64Mb and 256Mb DRAMs", IEEE Circuits and Devices Magazines, pp. 17~26 (1990)
- [4] S. K. Dey and J. J. Lee, "Cubic Paraelectric

- (Nonferroelectric) Perovskite PLT Thin Films with High Permittivity for ULSI DRAM's and Decoupling Capacitor", IEEE Transaction on Electron Devices, 39, pp. 1607~1612 (1992)
- [5] Yuhuan Xu, "Ferroelectric Materials and Their Application", University of California, pp. 163~168 (1991)