

나노 구조 MOSFET의 문턱전압 변화를 최소화하기 위한 스케일링 이론

김영동* · 김재홍 · 정학기

*군산대학교 전자정보공학부

Scaling theory to minimize the roll-off of threshold voltage for
nano scale MOSFET

Young-dong Kim* · Jae-hong Kim · Hak-kee Jung

*School of Electronic and Information Eng. Kunsan National University

E-mail : hatoro@kunsan.ac.kr

요 약

본 논문에서는 halo doping profile을 갖는 나노구조 LDD MOSFET의 문턱전압에 대한 시뮬레이션 결과를 나타내었다. 소자 크기는 generalized scaling을 사용하여 100nm에서 40nm까지 스케일링하였다. Van Dort Quantum Correction Model(QM)을 사용하여 정전계 스케일링과 정전압 스케일링에 대한 문턱 전압과 각각의 게이트 oxide 두께에 대한 direct tunneling 전류를 조사하였다. 게이트 길이가 감소할 때 정전계 스케일링에서는 문턱전압이 감소하고, 정전압 스케일링에서는 문턱전압이 증가하는 것을 알 수 있었고, 게이트 oxide 두께가 감소할 때 direct tunneling 전류는 증가함을 알 수 있었다. 감소하는 채널 길이를 갖는 MOSFET 문턱전압에 대한 roll-off 특성을 최소화하기 위해 generalized scaling에서 α 값은 1에 가깝게 되는 것을 볼 수 있었다.

ABSTRACT

In this paper, we have presented the simulation results about threshold voltage of nano scale lightly doped drain (LDD) MOSFET with halo doping profile. Device size is scaled down from 100nm to 40nm using generalized scaling. We have investigated the threshold voltage for constant field scaling and constant voltage scaling using the Van Dort Quantum Correction Model(QM) and direct tunneling current for each gate oxide thickness. We know that threshold voltage is decreasing in the constant field scaling and increasing in the constant voltage scaling when gate length is reducing, and direct tunneling current is increasing when gate oxide thickness is reducing. To minimize the roll-off characteristics for threshold voltage of MOSFET with decreasing channel length, we know α value must be nearly 1 in the generalized scaling.

키워드

LDD, threshold voltage, generalized scaling, Van Dort Quantum Correction Model, direct tunneling

1. 서 론

반도체 집적 회로에서의 모든 발달은 소자의 크기를 얼마나 소형화하는데 달려있다. 소자의 스케일링 이론은 소자의 물리적인 크기를 줄임으로서 집적도, 응답 속도와 전력 소비의 향상을 가져올 수 있다. 스케일

링 이론은 소자를 줄이면서 소자 내 전기의 모양과 크기를 일정하게 유지하도록 하는 것이다. 하지만 소자의 크기가 축소되면서 나타나는 문제점은 열 전자 효과와 단 채널 효과이다. 이 문제들을 해결하기 위해서 MOSFET의 여러 가지 스케일링 이론들이 제안되고 토론되어졌다. 정전계 스케일링은 공급된 전압이 줄어

드는 것과 기판 도핑 농도가 증가하는 것에 비례하는 동안 수평 영역에 따라서 수직부분의 스케일링이 떨어지는 상태에서 단 채널 효과가 나타날 수 있다. 정전계 스케일링의 원리는 소자 크기가(수직, 수평) 인자 $s(s>1)$ 와 소자의 전압 스케일링이 같아서 전계가 변하지 않고 남아있다. 비록 정전계 스케일링이 MOSFET 구조의 설계에 기본적인 원칙이 제공하고 있지만 사실상 공급 전압은 시스템에 관련된 제한들 때문에 소자의 크기에 따라 병행하여 스케일링될 수 없다. 그러므로 소자의 디자인에 있어서 증가하는 전계의 영향에 적절하게 유지시킬 수 있는 좀더 일반화된 스케일링 이론이 필요하게 되었다.

소자의 크기가 감소함에 따라 여러 가지 현상들이 일어나게 되는데 마이크로 이하 즉 서브마이크론 채널을 갖는 MOSFET에서 얇은 게이트 산화층과 높은 채널도핑은 단 채널 효과를 억압시키기 위해 사용되어졌고, Si/SiO₂ 경계면에서 큰 횡단 전계를 받게 된다. 이것은 반전층에서 Quantum mechanical(QM) 효과에 의한 방법과 QM 효과가 없는 고전적인 계산 방법과 비교했을 경우 반전층 전하량은 감소시키고, 문턱전압은 증가시키며, 산화막 커패시턴스를 감소시켰기 때문이다. 산화층이 매우 얇다면, 4nm 또는 그 이하, 전자들은 산화층의 컨덕션 밴드로 터널링하는 대신에 산화층의 금지대역으로 direct tunneling이 일어날 것이다. 즉, 매우 얇은 산화층은 direct tunneling 전류를 증가시킬 수 있다. 그러므로 본 논문에서는 QM 효과를 포함한 드레인 전류 모델을 사용하여 적합한 스케일링 인자 α 를 조사할 것이다. 또한 산화층에서의 direct tunneling과 전기적인 특성을 조사할 것이다.

II. 소자의 디자인 및 시뮬레이션

그림 1은 일반적인 LDD 구조에 할로우 도핑이 되어 있는 nMOSFET를 보여주고 있다. 본 논문에서는 채널의 길이가 서브 마이크로, 즉 나노스케일로 줄어들어 따라 발생하는 SCE중 펀치스루 현상을 줄이기 위하여 일반적인 LDD 구조의 소스/드레인 부근에만 halo 도핑을 시켰다.

각 영역의 doping profile은 Gaussian 함수로 정의되었다. 소스와 드레인 영역의 doping profile은 확산 영역당 0.6배의 측면 인자를 적용하였다. LDD와 halo doping profile 영역은 측면 인자의 절반이 적용되었다. 이때 도핑 농도를 살펴보면 게이트 길이 100nm인 MOSFET의 기판농도는 $1.75 \times 10^{17} \text{cm}^{-3}$, LDD 영역은 $6.25 \times 10^{19} \text{cm}^{-3}$ 이고 소스/드레인 도핑농도는 $9.25 \times 10^{19} \text{cm}^{-3}$ 이다. 그리고 halo doping profile은 $3.75 \times 10^{18} \text{cm}^{-3}$ 이다.

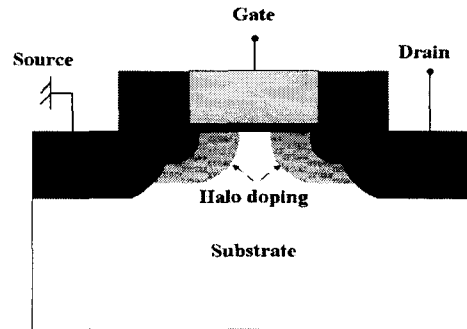


그림 1. halo doping profile된 LDD 구조

표 1. 일반화된 MOSFET 스케일링

물리적인 변수	곱셈 인자($s>1$)
채널 길이, 절연물 두께	$1/s$
선과 채널 폭	$1/s$
전계	α
전압	α/s
전류	α/s
도핑농도	αs
면적	$1/s^2$
커패시턴스	$1/s$
게이트 지연	$1/s$
전력 소모	α^2/s^2
전력 밀도	α^2
반전층 전하 밀도	α

표 1은 각 파라미터들에 대해 일반화된 MOSFET의 스케일링 인자들을 나타내고 있다. 본 논문에서는 게이트 길이 100nm의 소자에 대하여 표 1에서 보여주는 것과 같이 스케일링했고, 문턱전압은 linux 기반 반도체 시뮬레이션 프로그램인 ISE-TCAD로 시뮬레이션 했다. 또한 최적의 α 값을 얻기 위하여 각 게이트 길이에 대한 문턱전압을 조사하였다. 소자의 크기는 100nm에서 40nm까지 일반화된 스케일링 이론을 사용하여 스케일링하였으며, 문턱전압은 V_{gs} 측과 $I_{ds}(V_{ds})$ 커브에서 접선에서 가장 적은 경사점을 교차점으로 구성된 선형 추출법을 사용하여 계산했다.

표 1은 $\alpha=1$ 의 값을 갖으면 정전계 스케일링이라고 하며, 만약 $\alpha=s$ 의 값을 갖으면 정전압 스케일링이라고 한다. 전압은 게이트 길이와 같은 비율로 스케일될 수 없기 때문에 MOSFET의 게이트 길이에 대하여 일정한 전압이 공급되었다.

III. 결과 및 토론

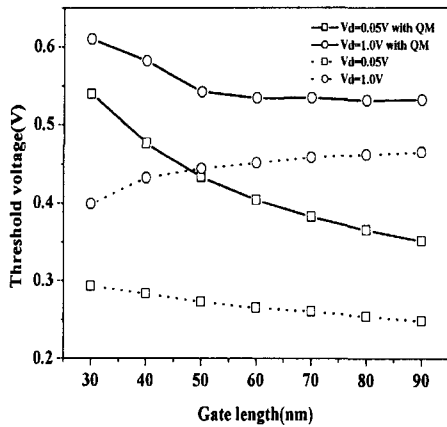


그림 2. 정전압 스케일링을 적용했을 경우 QM효과에 의한 문턱 전압 변화

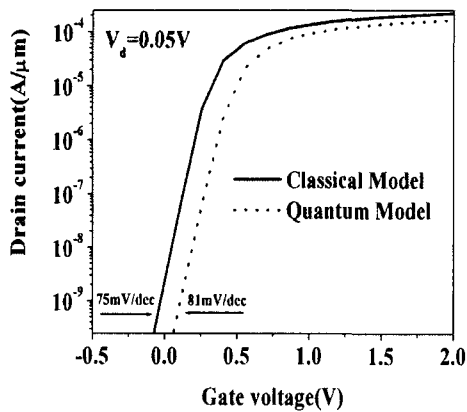


그림 3. $V_d=0.05V$ 의 50nm MOSFET의 드레인 전류 대 게이트 전압 특성 곡선

그림 2는 QM 모델 적용 여부에 관한 문턱전압의 변화를 나타낸 것이다. 그림에서 볼 수 있듯이 QM 모델 적용할 경우의 문턱 전압은 QM 모델을 적용하지 않은 경우에 비해 높게 나타난다. 특히 게이트 길이가 감소할 수록 드레인 전압에 관계없이 문턱 전압의 변화는 심화된다.

그림 3은 50nm의 게이트 길이를 갖는 MOSFET에서 QM 유무에 따른 I_d - V_g 특성 곡선을 나타낸 것이다. 그림에서 보듯이 QM 효과에 의해 문턱 전압은 오른쪽으로 이동하게 된다. 이때 QM 효과를 적용시키지 않았을 경우의 subthreshold slope는 75mV/Dec., QM

효과를 적용시킨 모델에서의 subthreshold slope는 81 mV/Dec.를 얻을 수 있었다. 즉, QM 효과를 적용시킬 경우 subthreshold 값은 증가한다. 이때 일반 모델에서의 문턱 전압은 대략 0.273V이고 QM 모델에서의 문턱 전압은 대략 0.433V이다.

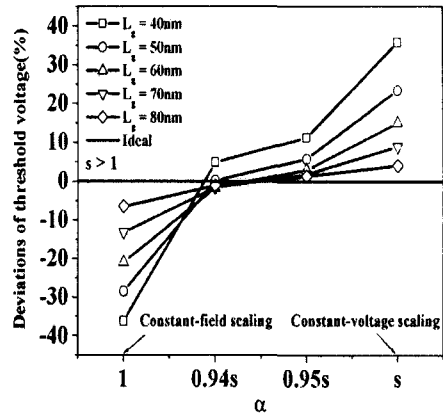


그림 4. 게이트 길이 변화에 따른 문턱 전압의 변화. (표준 게이트 길이는 90nm)

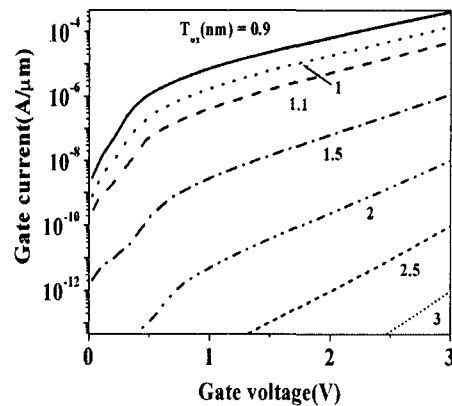


그림 5. 게이트 길이 50nm인 MOSFET의 터널링 전류

그림 4는 일반화된 스케일링에 의한 경우에서 각각의 게이트 길이에 따른 인자 α 에 대한 문턱전압의 변화를 나타낸 것이다. 게이트 길이가 60nm보다 클 때, 문턱 전압을 최소화하는 최적의 α 값은 0.94s와 0.95s 사이에 존재한다. 그러나, 만약 게이트 길이가 50nm으로 작아진다면, 최적의 α 값은 0.94s보다 작아지게 될 것이다. 즉, 게이트 길이가 50nm보다 작아지면, α 값은 크게 변할 것이다. 만약 산화막 층이 너무 얇다면, 반전된 실리콘 표면으로부터의 전자들은 SiO_2 층의 급지

된 에너지 갭을 통해 직접적으로 tunneling할 수 있게 된다. 이런 전자들로 인해 direct tunneling 전류는 증가하게 된다. 이런 특성들은 그림 5에 나타내었다. 그림에서 나타낸 것과 같이 게이트 전압에 대한 전류는 거의 대부분이 direct tunneling 전류이다. 이런 이유로 인해 α 값이 변화게 된다. 일반화된 스케일링에서 최적의 α 값은 50nm보다 낮은 게이트 길이를 갖는 나노 소자의 전기적인 특성을 유지하기 위해 변해야 된다는 것을 알 수 있었다.

IV. 결 론

본 논문에서는 halo doping profile 된 나노 구조 MOSFET의 문턱 전압을 조사하였다. 게이트 길이가 작아질 때, 정전계 스케일링에서는 문턱 전압이 감소하고, 정전압 스케일링에서는 증가하는 것을 볼 수 있었다. 일반화된 스케일링을 적용할 경우 게이트 길이 50nm이하에서 최적의 α 값은 1에 가깝게 되는 것을 볼 수 있었다. 이러한 이유는 너무 얇은 게이트 산화막 두께로 인해 direct tunneling 전류가 증가하기 때문이다. 이런 결과로 알 수 있듯이, 나노 구조 MOSFET에서는 정전계 스케일링과 정전압 스케일링 모두 적합하지 않음을 알 수 있었다. 따라서, 나노 구조에서 소자의 특성을 유지하기 위해 보다 나은 소자 구조를 개발하고 보다 나은 스케일링 이론의 확립이 필요하겠다.

참고문헌

- [1] Sheng-Lyang Jang, Chwan-Gwo Chyau, and Chong-Jye Sheu, "Complete Deep-Submicron Metal-Oxide-Semiconductor Field-Effect-Transistor Drain Current Model Including Quantum Mechanical Effects", Jpn. J. Appl. Phys. 38, pp. 687-688, 1999.
- [2] Yuan Taur, and Tak H. Ning, "Fundamentals of Modern VLSI Devices" Cambridge University, Cambridge, 1998.
- [3] David J. Frank, Robert H. Dennard, Edward Nowark, Paul M. Solomon, Yuan Taur, and Hon-Sum Philip Wong, "Device Scaling Limits of Si MOSFETs and Their Application Dependencies", Proc. IEEE. 89, pp. 259-288, 2001.
- [4] Dale L. Critchlow, "MOSFET Scaling-The Driver of VLSI Technology", proc. IEEE.87, pp. 659-667, 1999.

- [5] S. A. Hareland, S. Jallepalli, G. Chindalore, W. -K. Shin, A. F. Tasch, and C. M.,Maziar, "A Simple Model for Quantum Mechanical Effects in Hole Inversion Layers in Silicon PMOS Devices", IEEE Trans. Electron Dev. 44, pp. 1172-1173, 1997.
- [6] Jhung-soo Jhung, Kwang-gyun Jang, Sung-taik Shim, and Hak-kee Jung, "Investigation of Threshold Voltage in MOSFET with nano-channel length", Proc. ISIC 2001, pp. 230-223, 2001.