나노 구조 Double Gate MOSFET 설계시 side gate의 최적화

김재홍* · 고석웅 · 정학기

*군산대학교

Optimization of Side Gate in the Design for Nano Structure Double Gate MOSFET

Jae-hong Kim* · Suk-woong Ko · Hak-kee Jung

*Kunsan National University

E-mail : ndragon@kunsan.ac.kr

요 약

본 논문에서는 main gate와 side gate를 갖는 double gate MOSFET의 side gate 길이와 side gate 전압에 대한 최적의 값을 조사하였다. main gate 50㎚에서 각각의 side gate 길이에 대한 최적의 side gate 전압은 대략 3V이다. 또한, main gate 길이에 대한 최적의 side gate 길이는 대략 70㎚이다. 이때, side gate 길이에 대한 전달 컨덕턴스 및 subthreshold slope에 대한 값들을 나타내었다. 이때 소자의 특성 분석을 위해 ISE-TCAD를 사용하여 시뮬레이션 하였다.

ABSTRACT

In this study, we have investigated optimum value for side gate length and side gate voltage of double gate (DG) MOSFET with main gate and side gate. We know that optimum side gate voltage for each side length is about 3V. Also, we know that optimum side gate length for each main gate length is about 70nm. We have presented the transconductance and subthreshold slope for each side gate length. We have simulated using ISE-TCAD tool for characteristics analysis of device.

키워드

main gate, side gate, double gate, transconductance, subthreshold slope

Ⅰ. 서 론

1930년에 FET (field effect transistor)의 기본 개념이 형성된 이후 그것은 집적회로들의 일부분이 되어졌고 현재 전자 산업에 있어서 가장 중요한 소자가 되었다.[1] 소자의 속도와 특성을 개선시키기 위해 MOS (metal oxide semiconductor) 소자의 크기는 매우 작아지게 되었고, 최근 MOS 소자들이 50㎚이하로 작아짐에 따라 소자 설계에 있어서 고려해야 할 여러 가지 문제들이 나타나게 되었다. 매우 얇은 확장된 소스/드레인 접합은 단 채널 효과(short channel effect)를 억압시키기 위해 필요하게 되었고 이런 낮은 저항을 갖는 얇은 소스/드레인 접합의 형성은 매우 중요한 기술 중 하나이다. 그러나, 일반적인 Ion implantation이나 solid phase 확산에 의해 얇은 접합들을 형성하는 것은 매우 어렵다. 더욱이 낮은 채널 도핑 레벨은 큰 이동도와 임의의 dopant 영향으로부터 작은 문턱 전압 변화를 위해 필요하다. SCE는 50㎚이하의 영역에서 매우 얇은 확장된 소스/드레인과 같은 반전층을 사용에 의해 억압시킬 수 있다고 발표되어졌다. 그러나 이런 소자 구조들은 너무 큰 소자의 크기 때문에 실제 LSI에서는 사용되어지지 않는다.[2]-[3] 이런 문제들을 해결하기 위해 여러 가지 방법들이 제시되고 있는데 본 논문에서는 하나의 main gate와 두 개의 side gate를 갖는 DG MOSFET에 대해 조사하였다. 이때 긴 side gate 길이는 증가된 저항 때문에 특성 저하의 결과를 낳게 된다. 반대로, 너무 짧은 side gate 길이는 SCE 억압에 있어서 작은 장점을 가지게 된다. 따라서, 적당한 side gate 길이가 필요하다. 이러한 이유 때문에 적당한 side gate 길이를 얻기 위해 side gate 길이

는 90㎚에서 40㎚까지 스케일링하였고, main gate 길이는 100㎚에서 40㎚까지 스케일링하였다. 이때 side gate 전압은 1V에서 5V까지 인가하였다. 본 논문에서는 소자의 특성을 분석하기 위해 각 게이트 길이에 대한 문턱 전압의 변화를 조사하였다.

II. 본 론

본 논문에서 사용된 소자의 구조는 하나의 main gate와 두 개의 side gate를 갖는 DG MOSFET 구조이다. 이러한 구조는 우리가 시뮬레이션 하기 위해 사용한 ISE-TCAD tool에 있는 DIOS tool을 사용하여 구성하였다.

소자의 공정순서는 다음과 같다. 먼저 벌크 실리콘(100) 위에 산화막을 형성시키고 산화막 위에 side gate를 형성하기 위해 폴리 실리콘을 적층하였다. 폴리 실리콘 적층 후 레지스터를 사용하여 gate 부분을 제외한 나머지 부분들을 애칭 하였고, 애칭 후 소스와 드레인 영역에 As^+ 이온(5×10^{15}/㎠, 30keV)을 주입하였다. 소스/드레인 형성 후 Spcaer를 형성하기 위해 Nitride를 적층하였다. side gate 산화막 층을 형성하기 위해 폴리 실리콘을 애칭 하여 side gate oxide 층을 만들고 그 후, 채널 형성을 위해 BF_2^+ 이온(1×10^{13}/㎠, 70keV)을 주입하였다. 이온 주입 후 main gate 산화막 층을 적층 하였고, 적층 후 main gate를 형성하였다.

시뮬레이션 순서를 보면, 공정 tool 인 Dios tool을 사용하여 소자를 구성하였고, 소자 구성 후 Mdraw를 사용하여 소자의 grid와 mesh를 생성하였다. 이렇게 생성된 파일을 사용하여 시뮬레이션 tool인 Dessis tool로 소자를 시뮬레이션 하였다. 마지막으로 문턱 전압과 전달 컨덕턴스 및 subthreshold 값들을 추출하기 위해 Inspect tool을 사용하여 각각의 게이트 길이에 대한 값들을 추출하였다.

이때 각 게이트 길이에 대한 소자의 특성은 문턱 전압의 변화를 가지고 비교하였다. 지금까지 문턱 전압을 구하는 방법으로는 여러 가지 방법들이 제시되고 연구되어졌다.[4]-[6] 본 논문에서는 이런 방법들 중에서 드레인 전류 축을 로그크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 SDL 방법(second derivative of the logarithm of drain current method)을 사용하여 문턱 전압을 구하였다.

그림 1은 50nm의 main gate를 갖는 DG MOSFET에서 side gate 전압에 대한 문턱 전압의 roll-off 특성을 나타낸 것이다. 그림은 side gate 길이의 변화에 따른 문턱전압의 변화를 나타낸 것이다. 이때 드레인 전압은 0.05V이고 side gate 전압은 1V에서 5V까지 인가하였다. 90㎚의 side gate를 갖는 DG MOSFET에서 side gate 전압이 5V일 때 문턱 전압은 0.553V이고 side gate 전압이 2V일 때 문턱 전압은 약 0.539V이다. 이때 문턱 전압의 변화는 약 14㎷로 매우 작다. 그러나 side gate 전압이 2V보다 작다면 문턱 전압의 변화는 매우 커진다. 다시 말해서 side gate 전압이 2V보다 크다면, side gate 전압에 대한 문턱 전압은 side gate 길이의 변화에 관계없이 거의 변하지 않는다. 즉, 강반전층이 형성되면 부가적인 side gate 전압은 필요하지 않는다.

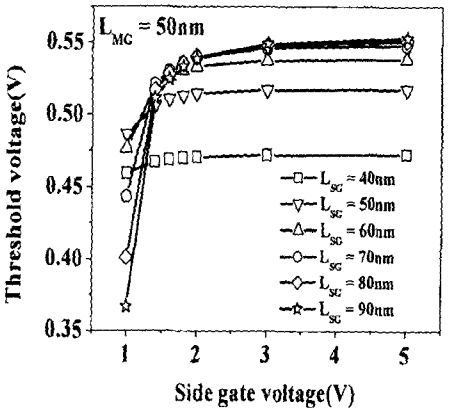

그림 1. side gate 전압에 따른 문턱전압의 변화

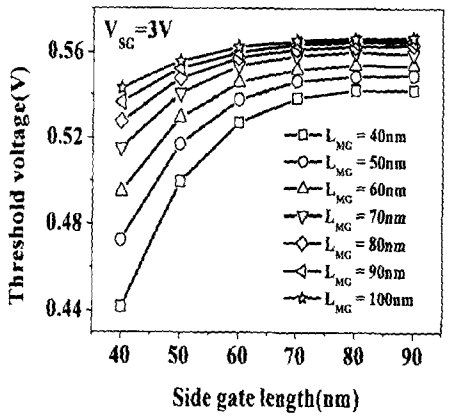

그림 2. side gate 길이에 따른 문턱전압의 변화

그림 2는 side gate 전압이 3V일 때 side gate 길이에 따른 문턱전압의 변화를 나타낸 것이다. 이때 main gate 길이는 40㎚에서 100㎚까지 스케일링하였다. 그림에서 side gate 길이가 90㎚일 때 50㎚의 main gate

를 갖는 DG MOSFET의 문턱 전압은 약 0.549V이고 side gate 길이가 70㎚일 때 문턱 전압은 약 0.546V로 문턱 전압의 변화가 매우 작다는 것을 알 수 있었다. 즉, side gate 길이가 70㎚보다 크다면 문턱 전압은 거의 변하지 않는다는 것을 알 수 있었다.

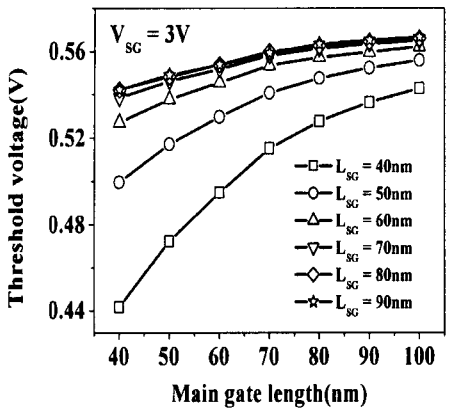

그림 3. main gate 길이에 따른 문턱전압의 변화

표 1. side gate 길이 70㎚를 갖는 DG MOSFET에 대한 추출된 파라미터 값들

L_{MG}	S.S(㎷/Dec.)	g_m(㎂/V)
40	89	127
50	86	111
60	84.2	99.1
70	82.5	88.9
80	81.6	91.9
90	81	75.3
100	80.7	69.8

그림 3은 시뮬레이션 되어진 소자의 main gate 길이에 대한 문턱 전압의 roll-off 특성을 나타낸 것이다. 그림에서 보듯이 main gate 길이가 감소할수록 문턱 전압은 낮아지는 것을 볼 수 있다. main gate 길이가 100㎚에서 40㎚까지 스케일링되어질 때 70㎚의 side gate를 갖는 DG MOSFET의 문턱 전압의 변화는 약 27㎷정도를 얻을 수 있다. 이런 결과로 인해 우리는 side gate 길이가 70㎚이상이고 side gate 전압이 2V 이상일 때 DG MOSFET는 최소의 roll-off 특성을 유지한다는 것을 알 수 있다. 또한, main gate 길이가 감소할수록 문턱 전압은 작아짐을 알 수 있었다. 그림 1, 2 및 3에서 볼 수 있듯이 우리는 최적의 side gate 길이는 70㎚, 최적의 side gate 전압은 2V임을 알 수 있었다.

표 1은 70㎚의 side gate 길이를 갖는 DG MOSFET에서 추출된 파리미터 값들을 나타낸 것이다. 이때 side gate 전압은 3.0V이다. 표에서 볼 수 있듯이 main gate 길이가 작아질수록 subthreshold slope와 전달 컨덕턴스 값들은 증가하는 것을 알 수 있었다.

III. 결 론

본 논문에서는 main gate와 side gate를 갖는 double gate MOSFET의 특성에 대해 조사하였다. side gate 길이가 70㎚ 이상, side gate 전압이 2V 이상일 경우 문턱전압의 변화가 작은 것을 볼 수 있었다. 즉, 최적의 side gate 길이는 70nm, side gate 전압은 2V이다. 또한 main gate 길이가 작아질수록 subthreshold slope와 전달 컨덕턴스 값은 증가함을 알 수 있었다. 또한, 본 논문에서 사용된 tool인 ISE-TCAD tool이 시뮬레이터로서 적합함을 알 수 있었다.

참고문헌

[1] David J. Frank, Robert H. Denard, Edward Nowark, Paul M. Solomon, Yuan Taur and Honsum Philp Wong, "Device Scaling Limits of Si MOSFETs and Their Application Dependencies", Proceeding of the IEEE, Vol. 89, No. 3, pp. 259-287.

[2] D. G. Borse, S. J. Vaidya and Arun N. Chandokar, "Study of SILC and Interface Trap Generation Due to High Field Stressing and Its Operating Temperature Dependence in 2.2nm Gate Dielectrics, IEEE Trans. Electron Dev, Vol. 49, No. 4, pp. 699-701, 2002.

[3] Sangyeun Han, Sungil Chang, Jongho Lee, and Hyungcheol Shin, "50㎚ MOSFET With Electrically Induced Source/Drain(S/D) Extensions", IEEE Trans. Electron Dev., Vol. 48, No. 9, pp. 2058-2064, 2001.

[4] Morikazu Tsuno, Masato Suga, Masayasu Tanaka, Kentaro Shibahara, "Physically Based Threshold Voltage Determination for MOSFET's of All Gate Lengths", IEEE Trans. Electron Dev., Vol. 46, No. 7, pp. 1429-1434, 1999.

[5] Jhung-soo Jhung, Kwang-gyun Jang, Sung-taik

Shim and Hak-kee Jung, "Investigation of Threshold Voltage in MOSFET with Nano-Channel Length", proceeding of ISIC-2001, pp. 230-233, 2001.

[6] Kazuo Terada, Katsuhiko Nishiyama, Kei-Ichi Hatanaka, "Comparison of MOSFET threshold voltage extraction methods", Solid-State Electronics, Vol. 45, No. 1, pp. 35-40, 2001.