

Sub-50nm Double Gate MOSFET의 특성 분석

김근호* · 고석웅 · 이종인 · 정학기

*군산대학교

Characteristics analysis of Sub-50nm Double Gate MOSFET

Geun-ho Kim* · Suk-woong Ko · Jong-in Lee · Hak-kee Jung

*Kunsan National University

E-mail : ndragon@kunsan.ac.kr

요 약

본 논문에서는 50nm 이하의 double gate MOSFET의 특성을 조사하였다. 1.5V의 main gate 전압과 3V의 side gate 전압이 인가될 때 I-V 특성으로부터 $IDS_{at}=510\mu A/\mu m$ 을 얻을 수 있었다. 이때, 전달 컨덕턴스는 $111\mu A/V$, subthreshold slope는 $86mV/dec$, DIBL값은 $51.3mV$ 이다. 그밖에 TCAD tool이 소자 시뮬레이터로서 적합함을 나타내었다.

ABSTRACT

In this paper, we have investigated characteristics of sub-50nm double gate MOSFET. From I-V characteristics, we obtained $=510\mu A/\mu m$ at $V_{MG}=V_{DS}=1.5V$ and $V_{SG}=3.0V$. Then, the transconductance is $111\mu A/V$, subthreshold slope is $86mV/dec$ and DIBL (Drain Induced Barrier Lowering) is $51.3mV$. Also, we have presented that TCAD simulator is suitable for device simulation.

키워드

main gate, side gate, double gate, transconductance, subthreshold slope

1. 서 론

지난 20년 동안 CMOS기술의 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노영역의 기분이 되는 물리적인 한계까지 근접하게 되었다.[1] MOSFET의 게이트길이가 50nm이하로 작아지게 됨에 따라, 소자의 설계에 있어서 고려해야할 중요한 문제들이 있다. MOSFET의 크기가 작아지게 됨에 따라 매우 얇은 소스와 드레인 접합이 단 채널 효과를 억압하기 위하여 필요하게 되었고 이들 작은 저항을 가지는 매우 얇은 소스와 드레인접합의 형성은 중요한 기술중의 하나가 되었다.[2] 그러나, 일반적인 이온주입이나 고체상태 확산으로 얇은 접합을 형성한다는 것은 매우 어려운 일이었다.[3] 게다가 낮은 채널 도핑은 임의의 불순물 도핑효과에 의해 큰 이동도와 작은 문턱 전압 변동을 요구하게 된다. 50nm 영역에서는 매우 알

은 확장된 소스/드레인 접합에서 반전층을 사용하여 단 채널 효과를 억압할 수 있는데 이들 반전층을 사용한 소자는 크기가 매우 크기 때문에 실제 LSI에서는 적용할 수가 없었다. 이런 문제점들을 해결하기 위해 본 논문에서는 main gate와 side gate를 가지는 double gate (DG) MOSFET를 구성하여 main gate 길이가 50nm인 DG MOSFET의 전달컨덕턴스, subthreshold slope 및 I_d-V_g 특성 곡선 그리고 DIBL을 조사하였다. 소자의 특성을 분석하기 위해 본 논문에서는 ISE-TCAD tool을 사용하였고 DIOS tool을 사용하여 소자를 구성하고 MDRAW tool을 사용하여 mesh를 생성하였다. 그리고, 시뮬레이션 tool인 DESSIS tool을 사용하여 시뮬레이션을 하였다. 마지막으로 INSTECT tool을 사용하여 소자 파라미터값을 추출하였다.

II. 시뮬레이션

표 1에 나타나 있는 공정순서에 의해 본 논문에 있는 소자는 만들어졌다. p-type (100) 실리콘이 기판물질로 사용되었고 일반적으로 낮게 도핑 되었다. 이것은 기판에서 MOSFET에 대한 소스와 드레인 영역의 공핍층은 더 커지고, 이들 접합의 기생 접합 커패시턴스는 작아지게 될 것이라는 것을 의미한다.[4]

게이트의 산화막은 기판 위에서 4nm로 성장되었다. 산화막 성장 후에 main gate의 폴리 실리콘은 저압 화학 기상 증착법(low pressure chemical vapor deposition, LPCVD)에 의해 증착되었다. 증착된 폴리 실리콘은 side gate의 형태로 형성되었고, 광 리소그래피(photolithography) mask에 의해 MOSFET에서 gate 길이는 패턴이 되었다. 그후, 폴리 실리콘 gate는 식각 되었다. 이 과정을 통해서 게이트와 소스, 드레인은 자기정렬을 하게 된다.

소스와 드레인 영역은 $As^+(5 \times 10^{15} cm^{-2}, 30keV)$ 으로 도핑이 되었다. 불순물은 급속 열처리(RTA)에, 즉 $1050^\circ C$ 에서 5초 동안 열처리에 의해 활성화되었다. 질화물 층을 증착 시킨 후에 수직 sidewall을 형성하기 위해 이온성 반응 에칭(RIE)에 의해 비등방성 식각을 하고 main gate와 side gate사이에 산화막층을 형성시키기 위해 화학 기상 증착법에 의해 균등하게 산화막층을 증착시켰다. main gate window를 위해 side gate를 식각한 후, main poly gate를 식각 하였다. 채널영역은 $BF_2^+(1 \times 10^{13} cm^{-2}, 70keV)$ 에 의해 도핑되었고 main gate 산화막 층은 3nm으로 만들어졌고 폴리 실리콘을 증착하였다.

표 1. 공정 순서

- LOCOS isolation
- Side-gate Oxidation
- Polysilicon deposition
- Side-gate Etch
- Source/Drain implantation
- Nitride depton
- Resist mask & Nitride Etch
- Oxidation sidewall formation
- Side-gate etch for main gate window
- Channel implantation : BF_2^+ , 70keV
- Main gate Oxidation : 3nm
- polysilicon deposition
- Main gate definition

그림 1은 본 논문에서 사용된 소자의 구조를 나타낸 것이다. main gate와 side gate의 산화막층은 각각 3nm와 4nm이다. 긴 side gate를 갖는 소자에서는 저항의 증가로 인하여 소자의 동작 특성이 감소하는 결과

를 초래하고, 반대로 너무 짧은 side gate를 갖는 소자는 단 채널 효과를 억압시키는데 거의 이득이 없다. 아주 짧은 gate길이를 가지는 MOSFET에서 단 채널 효과는 소자의 cut-off특성을 저하시키기 때문에 심각한 문제를 야기 시킬 수 있다. main gate아래에 문턱 전압 조절을 위한 국부적인 이온주입은 기생 접합 커패시턴스를 저하시키고 side gate의 아래에는 더 낮은 문턱 전압으로 인하여 반전층이 쉽게 유도되었다.

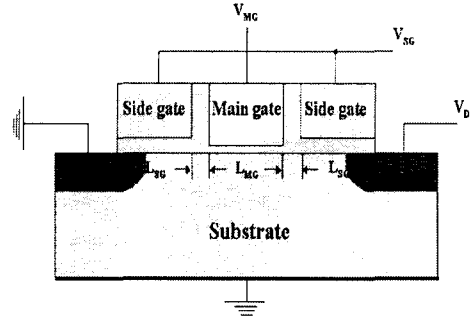


그림 1. DG MOSFET의 구조

III. 결과 및 고찰

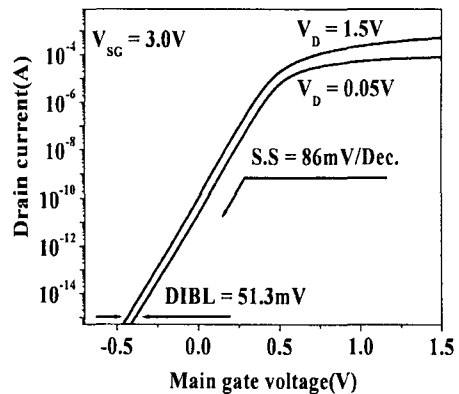


그림 2. 3V의 side gate 전압이 인가된 main gate 50nm MOSFET의 subthreshold 특성

그림 2는 70nm의 side gate 길이를 갖는 main gate 50nm MOSFET의 subthreshold slope를 나타낸 것이다. subthreshold 동작은 MOSFET 소자의 스위칭을 나타내기 때문에 디지털 로직이나 메모리 회로들과 같은 저 전압, 저 전력 응용에 있어 특히 중요하다. 작은 채널길이를 갖는 MOSFET에서 적당히 스케일링되지 않고 소스/드레인 접합이 너무 깊고, 채널 도핑이 너무

낮다면 소스와 드레인 사이엔 드레인 유기 장벽감소(DIBL)로 알려진 의도하지 않은 정전기적인 상호작용이 있을 수 있는데 이는 소스와 드레인 사이에 펀치스루 누설이나 항복(breakdown)을 가져오고 게이트가 제어를 상실하게 된다. 본 논문에서는 DIBL 값이 51.3mV로 매우 작음을 볼 수 있었다.

표 2. 50nm main gate를 갖는 DG MOSFET에서 추출된 파라미터 값들

L_{sc}	S.S(mV/Dec.)	$g_m(\mu A/V)$
40nm	83.6	142
50nm	84.7	128
60nm	85.5	118
70nm	86	111
80nm	86.4	103
90nm	86.5	101

표 2에서 side gate의 길이가 증가할수록 S.S 값은 증가하고 전달컨덕턴스인 g_m 값은 감소하는 것을 볼 수 있다. side gate의 길이가 70nm에서 S.S 값은 86mV/Dec, g_m 값은 111 $\mu A/V$ 를 얻을 수 있었다. 전달 컨덕턴스는 소자의 기하학적 함수일 뿐 아니라, 캐리어 이동도와 문턱 전압의 함수이다. 전달 컨덕턴스는 소자의 폭이 증가함에 따라 증가하며, 채널 길이와 산화막 두께가 감소할수록 증가한다. MOSFET 회로 설계에 있어 트랜지스터의 크기, 특히 채널폭은 중요 설계 파라미터이다.

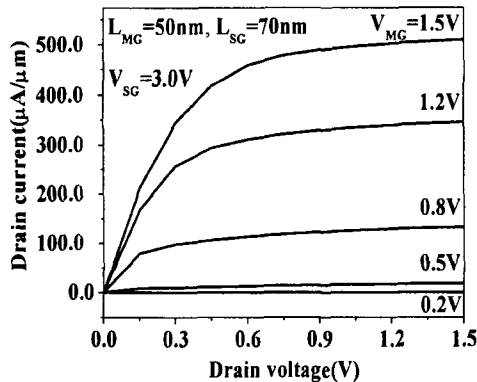


그림 3. 70nm의 side gate 길이를 갖는 DG MOSFET의 전류-전압 특성곡선

그림 3은 70nm의 side gate 길이를 갖는 DG MOSFET의 전류-전압 특성곡선을 나타내고 있다. 그림에서 드레인과 main gate에는 1.5V의 전압을 인가하였고, side gate에는 3V의 전압을 인가하였다. 이때 드레인 포화전류는 510 $\mu A/V$ 였다.

그림 4는 main gate와 드레인에 1.5V, side gate에 3V의 전압을 인가했을 경우 main gate와 side gate 사이에서 핀치오프(pinch-off) 현상을 나타낸 것이다. 핀치오프에서 드레인 전류는 공핍영역이 소스와 드레인 단자를 격리시키기 때문에 드레인에서 전압을 더 증가시키면 공핍층 폭은 증가하지만 드레인 전류는 더 이상 증가하지 않는다.

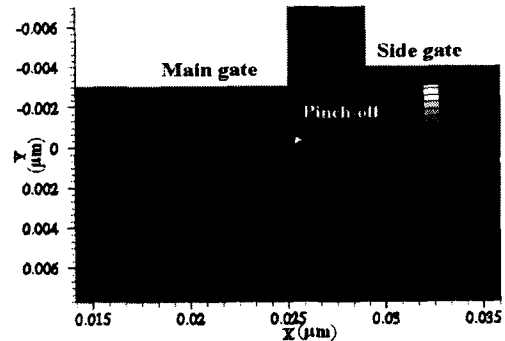


그림 4. main gate와 side gate 사이에서의 핀치오프

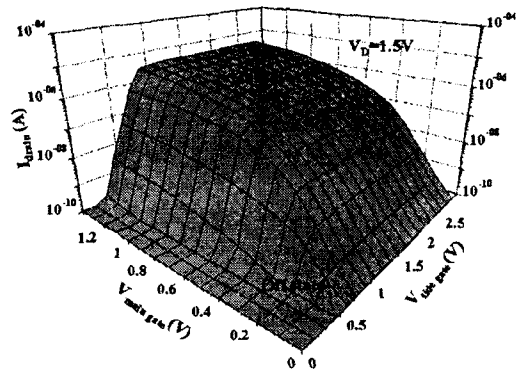


그림 5. 2-입력 NAND 게이트 적용에 대한 출력특성

그림 5는 main gate와 side gate의 2입력 함수로서의 출력특성을 보여주고 있다. main gate와 side gate는 좋은 cut-off특성을 나타내고 있고, 양 gate의 bias에 따라 분명한 on-off상태를 나타내고 있다. 이것은 다중 입력 논리 게이트의 적용 가능성을 보여주고 있다.

IV. 결 론

본 논문에서는 main gate와 side gate를 갖는 50nm MOSFET의 특성에 관하여 고찰하였다. 이때 side gate는 단 채널 효과를 억압시키기 위하여 사용되었다. 본 논문에서는 side gate 길이 70nm, side gate 전압이 3V에서 단 채널 효과를 가장 잘 억압하는 것을 볼 수 있었다. side gate 길이가 70nm일 때 S.S 값은 86mV/Dec., 포화 전류는 $510\mu\text{A}/\text{V}$, 전달 컨덕턴스는 $111\mu\text{A}/\text{V}$ 를 얻을 수 있었고 이때 DIBL 값은 51.3mV로 매우 작음을 알 수 있었다. 또한, 강 반전층이 형성된 후에 side gate에 대한 추가적인 bias 조건은 불필요함을 알 수 있었다. 본 논문에서 사용된 구조는 다중 입력 NAND 게이트에 적용했을 경우 많은 이점을 가지고 있다. 끝으로 본 논문에서 실험된 결과는 IC제조에 있어서 DG MOSFET의 기초자료로 활용될 수 있으리라 생각된다.

참고문헌

- [1] Seong-Dong Kim, Cheol-Min Park, and Jason C. S. Woo, "Advanced Model and Analysis of Series Resistance for CMOS Scaling Into Nanometer Regim - Part I: IEEE Trans. Electron Dev., Vol. 49, No. 3, pp.457-466, 2002.
- [2] Byung Yong Choi, Suk Kang Sung, Byung Gook Park, and Jung Duk Lee, "70nm NMOSFET Fabrication with 12nm n⁺-p Junction Using As⁺₂ LOW Energy Implantation", Jpn. J. Appl. Phys., Vol. 40, No. 4B, pp. 2607-2610, 2001.
- [3] Sangyeun Han , Sungil Chang, Jongho Lee, and Hyungcheol Shin, "50nm MOSFET With Electrically Induced Source/Drain (S/D) Extensions", IEEE Trans. Electron Dev., Vol. 48, No. 9, pp. 2058-2064, 2001.
- [4] Stephen A. Campbell, The Science and Engineering of Microelectronic Fabrication, Oxford University, New York, 1996.