

# Flyback 방식을 이용한 on-wafer용 HBM ESD 테스터 구현

박창근\* · 염기수\*\*

\*한국과학기술원 전자전산학과, \*\*한밭대학교 정보통신 컴퓨터공학부

## HBM ESD Tester for On-wafer Test using Flyback Method

Chang-Kun Park\*, Keesoo Yeom\*\*

\*EECS, Korea Advanced Institute of Science and Technology

\*\*Div. of Communication Information and Computer Eng., Hanbat National University

E-mail : pck77@mail.kaist.ac.kr, ksyoom@hanbat.ac.kr

### 요약

반도체 소자의 정전기 내성을 알아보기 위해 필요한 HBM ESD 테스터를 제작하였다. HBM ESD 테스트는 MMIC의 정전기 내성을 측정하는데 가장 많이 사용하는 방식이다. 고전압의 ESD 신호를 얻기 위하여 DC-DC converter의 일종인 flyback 방식을 도입하였다. Flyback 방식으로 제작된 HBM ESD 테스터는 고전압 부분과 저전압 부분을 서로 격리시킬 수 있는 장점이 있다. 스위치로 사용된 relay의 air gap을 이용하여 정전기의 rise time이 국제 규격에 맞도록 설계하였다. 결과적으로, flyback 방식과 relay의 air gap을 이용하여 기생 성분이 최소화된 ESD 테스터를 제작하였다.

### ABSTRACT

We made ESD tester to measure ESD threshold voltage of semiconductor devices. The HBM ESD test is the most popular method to measure the ESD threshold voltage of MMIC. We use flyback method which is one of the DC-DC converter to get high ESD voltage. With flyback method, we can isolate the low voltage part from the high voltage part of HBM ESD tester. We use an air gap of the relay which is used for switch to satisfy the rise time of ESD standard(MIL-STD-883D). As a result, with the flyback method and the air gap of relay, we can make ESD tester whose parasitic components are minimized.

### 키워드

Electrostatic discharge(ESD), Human Body Model(HBM)

## 1. 서론

반도체 회로에 있어서 고속/고집적 기술이 요구됨에 따라 정전기 방전(ESD; Electro-Static Discharge)에 대한 보호회로의 중요성이 강조되고 있다. ESD는 정전기의 방전현상을 통칭하며 이 파괴현상의 발생 원리가 이해되면서 ESD로부터의 내부회로 보호는 IC 설계의 중요한 해결과제로 인식되고 있다 [1]. ESD 보호회로는 정상 동작 시 내부회로의 동작에 영향을 주지 않아야 하며 ESD 현상이 발생했을 때 큰 전류가 내부회로에 들어가지 못하도록 보호해 주어야 한다.

하지만 화합물 반도체를 이용한 RF 회로에서는 다음과 같은 이유 때문에 ESD 보호회로를 채택하는데 어려움이 있다. RF 회로에서는 ESD 보호회로에 의한 기생 정전용량과 기생 저항 성분 때문에 내부회로의 정상 동작에 좋지 않은 영향을 미친다. 특히 내부회로의 잡음특성을 심각하게 왜곡시킬 수 있기 때문에 보호회로를 사용하지 않는 제품들이 많은 실정이다 [2]. 그러나 대부분의 화합물 반도체의 경우 실리콘에 비하여 녹는점이 낮고, 열전도율 또한 낮아서 정전기에 더욱 민감한 특성을 보이기 때문에 ESD 보호회로를 사용하지 않는 경우 IC의 신뢰성에 문제가 발생할 수 있

다 [3]. 이러한 이유로 RF 회로에서 ESD 보호회로를 채택할 경우 실리콘을 이용한 디지털 회로에 비해 더욱 주의가 필요하다. RF 회로에 사용하기 위해서는 기생 성분을 최소화하는 고성능의 ESD 보호회로의 개발이 필요한데, 이를 위하여 정전기 발생기를 사용한 보호회로의 특성 분석 및 이해가 필수적이다. 개발한 정전기 방지 회로의 정확한 정전기 내성을 테스트하기 위해서는 정전기 발생기가 국제 규격을 만족하는 파형의 정전기를 정확하게 발생시켜 줄 수 있어야 한다.

본 논문에서는 국제 규격을 만족시키는 정전기 발생기를 저렴하게 구현 가능한 방법을 제시하고, 구현된 정전기 발생기의 출력 파형이 국제 규격에 맞음을 확인하였다.

## II. ESD Model

정전기는 크게 세 가지 모델로 표현이 가능하다. 이는 HBM(Human Body Model), MM(Machine Model), CDM(Charged Device Model)이다. HBM은 사람 몸에서 발생하는 정전기를 모델화한 것이고, MM은 측정장비를 비롯한 기계에서 발생하는 정전기를, CDM은 칩 내부에서 전하가 충전되어 발생하게 되는 정전기를 모델화한 것이다. 이중에서 정전기 내성 테스트로서 국제적으로 가장 많이 사용되는 것이 HBM이고, MM은 보조적으로 사용된다. 그리고 현재 그 중요성이 부각되고 있는 것이 CDM인데, 이 모델에 대한 정전기 내성 측정은 매우 까다롭기 때문에 널리 사용되지 않는다. 따라서 현재는 보통 HBM과 MM 테스트 결과를 사용하여 주어진 칩이나 회로의 정전기 내성을 판단하는 기준으로 삼고 있다.

하지만, 이러한 모델들을 ESD 발생기로 구현을 하였을 때, 회로의 기생 성분들 때문에 원하는 ESD 파형이 심하게 왜곡이 된다. 수백에서 수천 볼트의 높은 전압을 다루면서 이러한 기생 성분들의 영향을 최소화하여 원하는 출력 파형이 나오도록 해야 하기 때문에 현재 상용되고 있는 정전기 발생기가 매우 고가의 장비로 되는 것이다. 그림 1의 HBM의 등가 회로도 살펴보면, HBM은 그 모델 자체적으로 1.5KΩ의 큰 저항을 포함하고 있어서, 회로로 구현을 하였을 때 기생 성분에 영향을 덜 받을 것이라는 것을 알 수 있다.

이에 반하여 그림 2의 MM 등가 회로도를 보면, HBM과 달리 자체적으로 큰 저항을 포함하고 있지 않아서 회로로 구현하였을 때 기생 성분에 의하여 정전기 전류 파형의 최고값, 주기 등이 심하게 왜곡된다. 따라서 상대적으로 구현이 쉽게 가능한 HBM을 이용한 테스트가 널리 사용된다. 본 논문에서도 HBM을

이용한 정전기 발생기를 제작하였다.

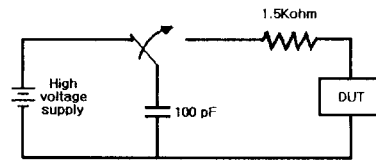


그림 1. HBM (Human Body Model)

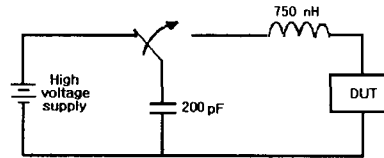


그림 2. MM (Machine Model)

## III. ESD 테스터(정전기 발생기)

본 논문에서 소개하는 ESD 테스터는 그림 3과 같이 구성되어 있다. 현재 실리콘 기반의 반도체 회로의 경우 2000V 이상의 HBM ESD를 견딜 수 있도록 설계 되고 있다. 하지만 본 논문에서 소개하는 ESD 테스터는 4000V 이상의 HBM 전압을 얻을 수 있도록 설계되었으며, 이를 위하여 고전압 부분은 그림 4와 같이 Flyback 방식을 이용하였다.

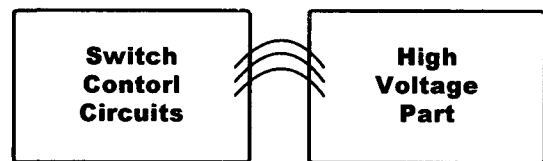


그림 3. ESD tester의 Block diagram

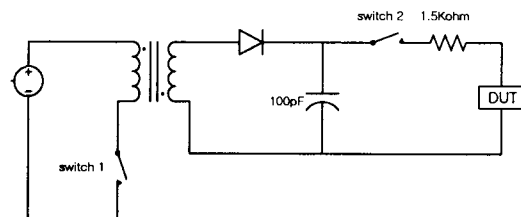


그림 4. 고전압 부분의 회로도

Flyback 방식은 그림 4의 S/W1이 on 될 때 transformer의 magnetizing inductor에 에너지가 저장

되고, S/W1이 off 되면, 다이오드가 turn on 되어 에너지를 저장하고 있는 magnetizing inductor에 의하여 capacitor에 전하가 충전되는 방식이다. 이런 turn on 과 turn off를 반복하면 원하는 전압이 capacitor 양단에 걸리게 되고, 이때, S/W2를 turn on 시켜 ESD 전류가 DUT (device under test)로 흐르도록 하였다.

이 회로도에서 transformer 왼쪽에 있는 저전압 부분과 오른쪽에 있는 고전압 부분이 완전히 격리되어 있다. 이 때문에 S/W1에 걸리는 스트레스는 S/W2에 걸리는 스트레스보다 낮다. 따라서 S/W1은 일반적으로 많이 사용하는 MOSFET으로 제작하였다. 그리고 S/W2는 capacitor에 걸리는 전압만큼의 내압을 가지고 있어야 하므로 매우 높은 고압용 스위치를 사용해야 한다. 여기서는 다이오드는 내압이 15kV이고, capacitor은 6kV, 그리고 S/W2는 7.5kV인 릴레이(relay)를 사용하였다.

특히 여기서 S/W2를 relay로 사용한 것은 두 가지 이유가 있다. 첫 번째로는, 반도체 소자를 스위치로 사용할 경우 기생 성분들 때문에 결과 파형이 국제 규격을 만족시키기가 어렵기 때문이다. 하지만, 여기서 사용한 릴레이의 경우는 측정 결과 기생 성분이 거의 없는 것으로 나타났다. 두 번째 이유는 capacitor에 높은 전압이 걸려 있을 때, S/W2가 on이 될 때, 스위치 단자사이에서 발생하는 전기 불꽃(spark)을 의도적으로 이용하기 위해서이다. 만약 그렇지 않을 경우 국제 규격에 나와 있는 HBM ESD 파형의 rise time를 nsec 단위로 맞추기 매우 힘들기 때문이다.

보통 칩이나 회로의 정전기 내성 시험을 할 때, 결과의 신뢰도를 높이기 위하여 주어진 ESD 전압을 일정한 주기로 여러 번 회로에 가해 주어 결과를 얻는다. 따라서 여기서 제작된 정전기 발생기에도 이러한 기능을 추가하였는데, 스위치 조절기(switch controller)에 카운터(counter)와 오실레이터(oscillator)를 추가적으로 사용하여 구현 가능하였다.

IV. ESD 테스트 결과

그림 5는 제작된 정전기 발생기의 결과 파형을 보인 것이다. 이때 파형은 HBM 내에 있는 1.5kΩ에 걸리는 전압이다. 하지만, 측정에 사용한 오실로스코프가 최대 800V의 입력까지 견딜 수 있기 때문에 1.5kΩ을 1kΩ과 500Ω의 직렬로 바꾸어서 실제로는 500Ω양단에 걸리는 전압을 측정하였다. 아래의 결과는 1.5kΩ에 걸리는 전압으로 환산하여 나타낸 수치이다.

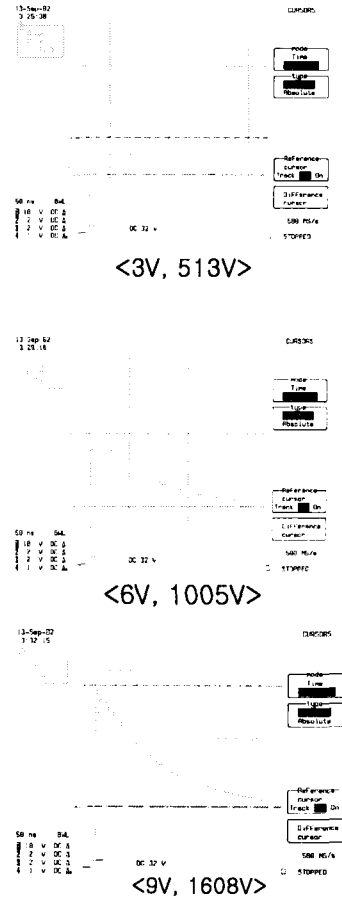


그림 5. HBM ESD tester 파형 결과

위의 측정 결과는 <전원 전압, 1.5KΩ에 걸리는 전압>으로 표현되어 있다. 현재 HBM ESD의 국제 표준(MIL-STD-883D)은 ESD 전류에 대한 것이다. 즉, 다음의 표에 나와 있는 국제 표준을 살펴보면, 1.5kΩ에 흐르는 전류 값이, rise time이 10nsec 이하, delay time이 130 ~ 170 nsec이다. 하지만, 위의 1.5kΩ에 걸리는 전압 파형으로 전류 값을 계산 할 수 있으므로 다음의 표와 같이 rise time과 delay time를 비교해 보았다.

	MIL-STD-883D	측정 결과
rise time	<10 nsec	5 nsec
delay time	150 +/- 20 nsec	160 nsec

표 1. standard vs. 측정 결과

그림 6에서 확인할 수 있는 바와 같이 제작된 HBM ESD 테스트는 국제 표준을 만족함을 알 수 있다.

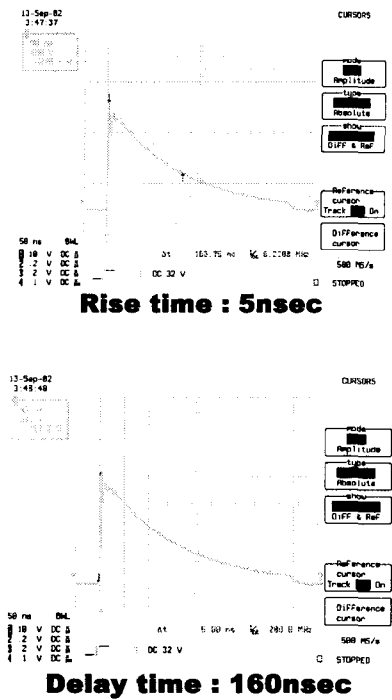


그림 6. HBM ESD 테스터의 rise 및 delay time

[3] K. Bock, "ESD issues in compound semiconductor high-frequency devices and circuits" Microelectronics Reliability., vol. 38, pp. 1781-1793, 1998.

## VII. 결 론

집적회로의 설계에 있어서 필수적인 ESD 보호회로의 특성을 측정할 수 있는 ESD 테스트용 정전기 발생기를 설계/제작하였다. 본 논문에서 제시한 flyback 방식과 릴레이의 air gap을 이용한다면, 상용장비에 비하여 매우 저렴하면서도 국제 규격을 만족시키는 ESD 테스터의 구현이 가능함을 확인할 수 있었다. 특히 flyback 방식으로 저전압 부분을 고전압 부분과 완전히 분리시킴으로써 매우 안정적으로 동작하는 것을 확인하였으며 릴레이의 air gap을 이용하여 ESD 파형의 rise time이 수 nsec내에 들어 올 수 있도록 국제 규격을 만족시킬 수 있었다.

## 참고문헌

- [1] J. K. Keller, "Protection of MOS integrated circuits from destruction by electrostatic discharge," EOS/ESD Symposium Proc., 1980.
- [2] B. Kleveland, et al., "Distributed ESD Protection for High-Speed Integrated Circuits" IEEE Electron Device Lett., vol. 21, no. 8, pp. 390-392, 2000.