
Short-Circuited Stub를 이용한 RF회로에서의 정전기 방지

박창근*, 염기수**

*한국과학기술원 전자전산학과, **한밭대학교 정보통신·컴퓨터공학부

On-chip ESD protection design by using short-circuited stub for RF applications

Chang-Kun Park*, Keesoo Yeom**

*EECS, Korea Advanced Institute of Science and Technology,

**Div. of Communication Information and Computer Eng., Hanbat National University

E-mail : pck77@mail.kaist.ac.kr, ksygom@hanbat.ac.kr

요 약

RF 회로에 적합한 새로운 형태의 on-chip ESD protection 방법을 제시하였다. RF 회로의 특성을 이용하여 DC blocking capacitor 앞에 short-circuited stub를 달아서 ESD 소자로 활용하였다. 특히 short-circuited stub를 매칭 회로의 일부로 사용하여 stub의 길이를 줄일 수 있다. 또한 short-circuited stub의 width와 metal의 성분으로 ESD threshold voltage를 쉽게 예측 가능하다. 기존의 ESD 방지 회로와 달리 RF 회로를 위한 ESD 방지 회로에서 문제시되던 기생 capacitance 성분에 대한 문제점을 해결 할 수 있었다.

ABSTRACT

We propose the new type of on-chip ESD protection method for RF applications. By using the properties of RF circuits, we can use the short-circuited stub as ESD protection device in front of the DC blocking capacitor. Specially, we can use short-circuited stub as the portion of the matching circuit so to reduce the length of the stub. We can predict the ESD threshold voltage very easily with the width, thickness, length, and various parameters of the transmission line. This new type ESD protection method is very different from the conventional ESD protection method. With the new type ESD protection method, we remove the parasitic capacitance of ESD protection device which degrade the performance of core circuit.

키워드

short-circuited stub, Electrostatic discharge, LNA, MMIC

1. 서 론

공정 기술의 발전에 힘입어 MMIC는 점점 더 소형화되어 가고 있다. 이에 따라 수 GHz는 물론이고 수십 GHz의 동작 주파수를 가지는 회로의 연구 개발이 활발하게 이루어지고 있다. 하지만 이러한 점들은 정전기의 측면에서 볼 때 회로의 신뢰성을 떨어뜨리는 요인이 된다. 즉, 회로가 소형화 될수록 점점 더 정전기에 대한 내성은 줄어들게 된다. 또한 정전기 방지 회로를 도입했을 경우, 정전기 방지 회로에 기인한 parasitic cap. 성분은 회로의 정상 동작에 악영향을 미치게 된다.

일반적으로, 높은 ESD threshold voltage를 위해

서 큰 면적의 정전기 방지 회로가 필요한데, 이는 소형화 추세에 반하는 것이다. 하지만, 아직 고주파 회로용 정전기 방지 회로에 대한 연구는 거의 되어 있지 않다.

현재, 디지털 회로용 정전기 방지 회로는 많은 연구가 되어 있어 상용 디지털 칩에 응용되고 있는 단계까지 왔지만, 고주파 회로용 정전기 방지 회로의 경우에는 아직 개념 정립 단계에 있다고 볼 수 있다. 따라서 상용 MMIC는 아예 정전기 방지 회로를 도입하지 않았거나, 비록 도입하였다 하더라도 ESD threshold voltage가 매우 낮아 효율성이 떨어

지는 문제가 있다[1].

이 논문에서는 parasitic cap. 성분이 없으며, 매우 높은 ESD threshold voltage를 가지는 정전기 방지 회로를 제시하였다. 또한 이 회로를 11.7~12.5 GHz의 동작 주파수를 가지는 LNA에 직접 적용하여 시뮬레이션 해 봄으로써 고주파용 정전기 방지 회로로서의 가능성을 확인하였다.

II. 정전기의 주파수 스펙트럼

정전기는 사람 몸에 의한 것(Human Body Model), 측정 장비를 비롯한 여러 가지 기계에 의한 것(Machine Model) 그리고 회로 내부 자체에 의한 것(Charged Device Model), 이렇게 세 가지로 분류된다. 각각의 주파수 스펙트럼을 살펴보면 다음 그림 1.과 같다 [2].

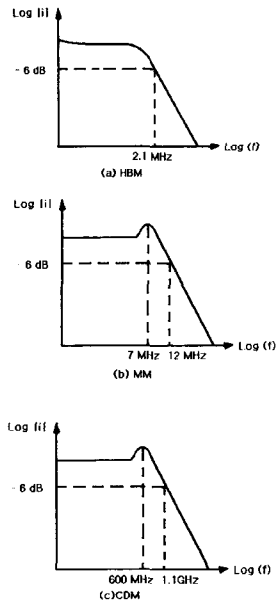


그림 1. 정전기의 주파수 스펙트럼

위의 그림 1에서 알 수 있듯이, 현재 모델링 되어 있는 ESD 신호의 주파수 스펙트럼은 2GHz를 넘지 않는다. 따라서, 내부 회로의 동작 주파수가 2GHz 이상인 경우라면, DC blocking cap.과 input pin 사이에 short-circuited stub를 이용하여 input pin과 GND 사이에 low pass filter 형태의 회로를 만들어 주어 정전기 방지 회로를 구현할 수 있다. 이때 정전기의 발생 시 short-circuited stub가 실질적으로, 정전기에 의한 전류를 안전하게 GND로 보내 주는 역할을 하게 된다.

III. short circuited stub를 이용한 정전기 방지

지금까지의 정전기 방지 회로는 다이오드나 NMOS, SCR 또는 BC 다이오드 등을 이용한 lumped element를 이용하였다. 고주파 회로용 정전기 방지 회로에 transmission line을 이용한 것이 최근 논문[1]과 특허[3]로 발표되었지만, 이 또한 transmission line 자체가 정전기 방지 회로로서의 역할을 하는 것이 아니라, 정전기 방지 소자로 사용되는 lumped element의 parasitic cap. 성분이 내부 회로의 동작에 영향을 미치지 않도록 정합하는 역할로 사용되었다. 하지만 이 논문에서는 처음으로 고주파 회로용 정전기 방지 회로로 그림 2처럼 short-circuited stub를 직접 정전기 방지 소자 도입 하였다.

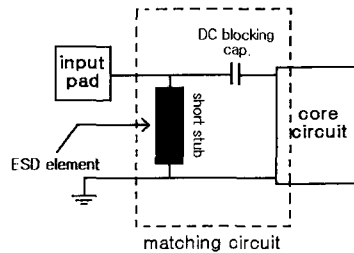


그림 2. short circuited stub를 이용한 정전기 방지 회로

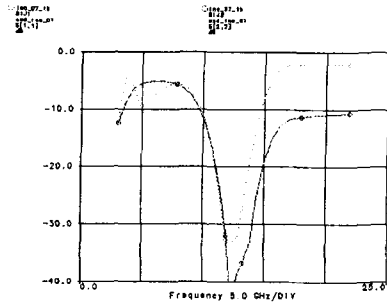
Lumped element를 정전기 방지를 소자로 사용할 경우 미리 정확한 모델링이 필요하게 되는데, 특히 ESD threshold voltage를 예측 할 수 있어야 하고, 정전기 발생시 효과적으로 내부 회로를 보호할 수 있는지를 알기 위하여 소자의 1차 그리고 2차 breakdown 영역까지 모두 모델링 되어야 한다. 또한 이러한 breakdown현상은 layout을 어떻게 하느냐에 따라 변화하게 되므로 시뮬레이션상에서 예측한 ESD threshold voltage를 실제로 얻어내기란 매우 힘들다. 하지만, 이렇게 short-circuited stub를 사용할 경우 정전기의 전류 측면에서 보면 단지 input pin과 GND를 연결하는 metal line만 보이게 되므로 stub의 길이, 두께 그리고 폭으로 쉽게 ESD threshold voltage를 예측 가능하게 된다.

또, short-circuited stub를 정합 회로에 포함시켜 회로를 구성하게 되면 굳이 stub의 길이가 $\lambda/4$ 가 되지 않고 훨씬 더 짧은 길이로 정전기 방지 회로의 구현이 가능하다. 하나의 예로, short-circuited stub와 병렬로 작은 capacitor를 달아서 short-circuited stub의 길이를 조정 가능하다. 이는 실제로 11.7~12.75 GHz 대역에서 작동하는 LNA의 시뮬레이션 결과를 이용하여 확인하였다.

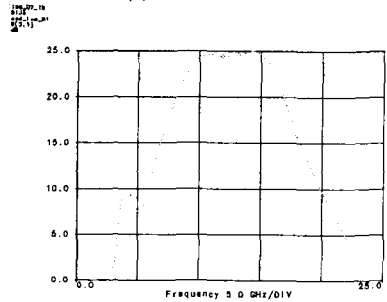
IV. 정전기 방지 회로가 없는 LNA 설계

먼저 위와 같은 short-circuited stub의 길이가 내부 회로의 성능에 미치는 효과를 알아보기 위하여 일단, 정전기 방지 회로가 없는 일반적인 LNA를 설계하여 보았다. 이때 주파수 대역은 Ku-band의 11.7~12.75 GHz로 하였다.

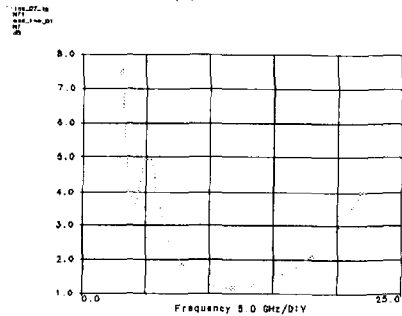
TRW의 0.15 HEMT 파운드리 모델을 이용하여 libra로 2-stage LNA를 설계하였다. 회로의 성능은 다음과 같다.



(a) S11 & S22



(b) S21



(c) Noise Figure

그림 3. 정전기 방지 회로가 없는 LNA

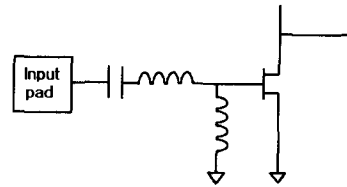
그림 3은 3GHz부터 22GHz까지의 S-parameter와 noise figure를 살펴 본 것이다. 주어진 11.7 GHz부터 12.75GHz 까지에서 특성을 정리하면 S11 < -30 dB, S22 < -28 dB, NF < 1.2 그리고 S21은 24.40

dB에서 24.45 dB 사이에 있다.

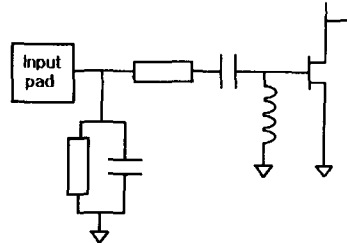
short-circuited stub를 이용한 정전기 방지 회로를 주어진 내부 회로(여기서는 LNA)에 적용시킬 수 있는 방법은 무한히 많이 있으나, 여기서는 그 중 하나의 예로써, 1st stage를 구성하고 있는 HEMT의 gate쪽 정합 회로를 약간 변형시키는 방법을 제시하였다.

V. 정전기 방지 회로가 있는 LNA의 설계

이제 위에서 설계된 LNA를 기본 바탕으로 정합 회로부분을 변화시켜서, DC blocking capacitor 앞쪽에 short-circuited stub를 포함하는 정합회로로 바꾸어 회로의 성능을 시뮬레이션 해 보았다. 변화된 정합 회로는 그림 4와 같다. 여기서 short-circuited stub를 정합 회로에 포함 시켰다. 이때 그림에서 보여준 부분 이외의 부분은 정전기 방지 회로가 없는 LNA와 똑같이 구성하였다.



(a) 정전기 방지 회로가 없는 LNA



(b) 정전기 방지 회로를 도입한 LNA

그림 4. 회로도

다음의 결과는 short-circuited stub와 병렬로 capacitor를 달아서 stub의 길이와 cap.의 값을 변화시켜 가면서, 내부 회로의 성능이 어떻게 변화하는지를 보여 주고 있다. 이때 S11과 S22는 어느 경우에도나 비슷한 수준의 성능을 보이도록 주어진 stub의 길이에 따라 cap.의 값을 변화 시켰다. 이렇게 하였을 때, S21의 값 또한 정전기 방지 회로가 없는 LNA의 경우와 차이가 거의 없었다. 따라서 여기서 살펴보아야 할 것은 LNA의 noise figure와 정합을 위하여 사용한 cap.의 값이다.

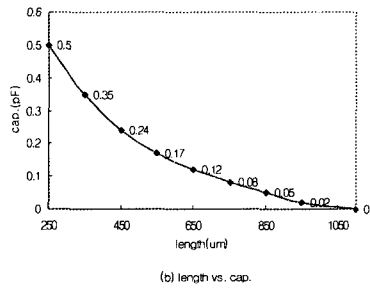
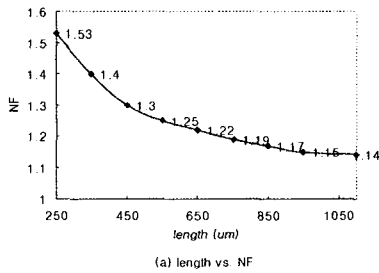


그림 5. stub의 길이에 따른 NF와 cap.

그림 5에서 알 수 있듯이 stub의 길이가 길어질수록 LNA의 NF는 더 좋아지고, stub의 길이가 짧아질수록 NF 특성은 나빠진다. 이는 짧은 길이의 short-circuited stub와 더불어 그에 따라 병렬로 연결된 cap. 값도 커지기 때문에 NF 성능이 저하됨을 알 수 있다. 여기서 든 예에서 알 수 있듯이 stub의 길이를 적당히 조절하면서 설계자는 주어진 spec. 내에서 정전기 방지 회로를 구성할 수 있다.

VI. ESD threshold voltage의 결정

여기에서 제시한 short-circuited stub를 이용한 정전기 방지 회로의 구성은 ESD threshold voltage의 예측이란 점에서 매우 편리하다. 즉, lumped element를 정전기 방지 소자로 사용하게 되는 경우 각 소자를 따로 breakdown 영역까지 정확하게 시뮬레이션을 하여야 한다. 또한 정전기 발생 시 적절한 시간에 turn-on 되어 정전기로부터 민감한 내부 소자를 효과적으로 보호해 줄 수 있는지 알기 위해서는 많은 노력과 시간을 필요로 한다. 이렇게 lumped element를 정전기 방지용 소자로 사용하게 되면, 소자의 개발과 모델링 그리고, 수정을 여러 번 반복하는 절차를 거쳐야 한다. 하지만 현재는 공정 기술이 매우 빠르게 변화하고 있어, 시간을 다투는 정전기 방지 회로의 개발이 절실하다.

하지만 short circuited stub를 사용하게 되면 transmission line의 두께와 폭만으로 쉽게 ESD threshold voltage를 예측할 수 있다. 먼저 다음의

HBM 그림 6을 살펴보면, HBM은 1.5KΩ의 큰 저항이 있기 때문에 current source로 생각할 수 있다.

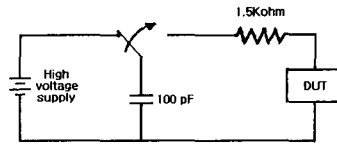


그림 6. Human Body Model(HBM)

예로써 4000V의 HBM ESD가 발생했을 때, 이를 견디기 위한 transmission line의 폭, 길이 그리고 두께를 구하는 식은 다음과 같다[4]. 이때, L은 transmission의 길이 이고, A는 폭과 두께의 곱인 단면적이다.

$$\begin{aligned}
 I_{peak} &= 4000 \text{ V} / 1500 \Omega \approx 2.7 \text{ A} \\
 I(t) &= 2.7 \exp(-t/150 \times 10^{-9}) \text{ A} \\
 E &= \int_0^{\infty} I^2(t) \cdot R dt \\
 &= \int_0^{\infty} I^2(t) \cdot \frac{L}{\sigma A} dt \\
 &= 0.062 \times \frac{L}{\sigma A} \mu\text{cal} \\
 &= 0.26 \times \frac{L}{\sigma A} \times 10^{-6} \text{ J}
 \end{aligned}$$

위의 E는 정전기 전류에 의해 발생되는 에너지를 나타낸다.

$$\begin{aligned}
 E &= V \times D \times C_s \times \Delta T \\
 A &= \sqrt{\frac{0.26 \times 10^{-6}}{\sigma \times D \times C_s \times \Delta T}}
 \end{aligned}$$

여기서 V는 부피, σ는 conductivity, D는 밀도, C_s는 비열 그리고 ΔT는 온도 변화량이다. 예를 들어 transmission line이 Al로 되어 있는 경우, Al의 녹는점이 660 °C이므로 상온(25 °C)인 경우 ΔT는 625 °C가 되어야 한다.

이 식을 살펴보면 이 논문에서 제시한 정전기 방지 회로의 이론적인 ESD threshold voltage는 오로지 transmission line의 물질 특성, 폭 그리고 두께에 의하여 결정 됨을 알 수 있다.

VII. 결론

한 가지 주의해야 할 점은 transmission line을 layout할 때 각이진 부분이 없도록 해야 한다는 것이다. 각진 부분에서는 전자의 흐름이 한쪽으로 쏠려서 소모되는 power가 국지적으로 증가하게 되어 transmission line의 녹는점에 도달할 수 있다.

결과적으로 앞에서 transmission line의 폭과 길이로 예측한 ESD threshold voltage를 얻을 수 없게 되기 때문이다. 그리고 이 논문에서 예를 든 회로의 경우 정전기가 발생했을 때, short-circuited stub에 의한 전압 강하가 병렬로 연결되어 있는 cap.의 내압 이하로 되도록 설계 하여야 한다. 만약 그렇지 못하게 설계를 한다면, 위의 식에서 나온 이론상의 ESD threshold voltage에 도달하기 전에 이미 cap.의 내압을 넘어 파괴되어 버린다. 이러한 점을 주의 하면서 설계를 한다면 lumped element를 이용할 경우 필요로 했던 소자 개발과 모델링 그리고 수정 등 많은 시간이과 노력을 필요로 하는 일련의 과정을 생략하고도 매우 높은 ESD threshold voltage를 얻음과 동시에 parasitic 성분도 효과적으로 제거 할 수 있다.

참고문헌

- [1] B. Kleveland, et al., "Distributed ESD Protection for High-Speed Integrated Circuits" *IEEE Electron Device Lett.*, vol. 21, no. 8, pp. 390-392, 2000.
- [2] Ajith Amerasekera, Charvaka Duvvury., "ESD in silicon integrated circuits" *WILEY.*, pp. 17-19 1996.
- [3] B. Kleveland and T. H. Lee, "Distributed ESD protection device for high speed integrated circuits", U. S. Patent 5,969,929.
- [4] J.C. Lee, et al., "Modeling and measurement approaches for electrostatic discharge in semiconductor devices and ICs: an overview" *Microelectronics Reliability.*, vol. 39, pp. 579-593, 1999.