

Double Gate MOSFET의 전기적 특성 분석

김근호^{*} · 김재홍^{**} · 고석웅^{**} · 정학기^{**}

^{*}논산 백제병원 방사선과 · ^{**}군산대학교 전자정보공학부

Analysis of Electrical Characteristics for Double Gate MOSFET

Geun-ho Kim^{*} · Jae-Hong Kim^{**} · Suk-Woong Ko^{**} · Hak-kee Jung^{**}

^{*}Department of Radiology, Back-jae hospital in Nonsan

^{**}School of Electronic and Information Eng. Kunsan National University

E-mail : hkjung@kunsan.ac.kr

요 약

CMOS 소자들은 고속 동작 및 고집적을 위해 50nm이하로 작아지고 있다. 소자 scaling에서 중요한 것은 스케일 되지 않는 문턱 전압(V_{th}), 고 전계, 기생 소스/드레인 저항과 임의의 dopant 분배에 의한 V_{th} 변화율이다. 이런 일반적인 소자의 scaling down 문제들을 해결하기 위해 새로운 소자의 구조가 제안되고 있다. 본 논문에서는 이런 문제들을 해결하기 위해 main-gate와 side-gates를 갖는 double-gate MOSFET에 대해 조사하였다.

ABSTRACT

CMOS devices have scaled down to sub-50nm gate to achieve high performance and high integration density. Key challenges with the device scaling are non-scalable threshold voltage(V_{th}), high electric field, parasitic source/drain resistance, and V_{th} variation by random dopant distribution. To solve scale-down problem of conventional structure, a new structure was proposed. In this paper, we have investigated double-gate MOSFET structure, which has the main-gate and the side-gates, to solve these problem.

키워드

sub-50nm, threshold-voltage, double-gate, side-gate

I. 서 론

집적 기술의 눈부신 발전과 더불어 최근 나노 구조 소자의 연구가 활발해 지고 있다. 소자의 길이가 줄어들어 따라 집적도에 있어서 우수한 성능을 발휘하지만 이에 따른 여러 가지 문제점 즉, 열 전자효과와 단채널 효과 같은 문제점들을 보완해야만 한다. 이러한 문제점들을 보완하기 위해 드레인과 채널이 만나는 지점의 도핑 농도를 줄이고 접점부위의 드레인은 도전율의 감소를 방지하기 위해 기존의 높은 도핑 농도를 유지하는 저도핑 드레인(Lightly-Doped Drain : LDD) 구조를 이용하여 상당한 효과를 얻을 수 있었다.

그러나 MOSFET의 게이트 길이가 50nm이하로 감소하면서 소자 설계시 고려해야 할 문제들이 발생하게 되었다. 매우 얇은 확장된 소스와 드레인 접합들이 short channel 효과를 억압시키기 위

해 필요하게 되고 낮은 저항을 갖는 이런 매우 얇은 S/D 접합들의 구조는 중요한 기술 중 하나이다.[1]-[2]

본 논문에서는 50nm double-gate MOSFET에 대한 문턱 전압 및 I-V특성 곡선, subthreshold slope와 전달 컨덕턴스(gm)값을 ISE-TCAD를 사용하여 모의 실험하였다.

II. 본 론

본 논문에서는 50nm double-gate MOSFET에 대해 모의 실험을 하였다. 이때 사용된 소자의 구조는 그림 1에 도시하였다.

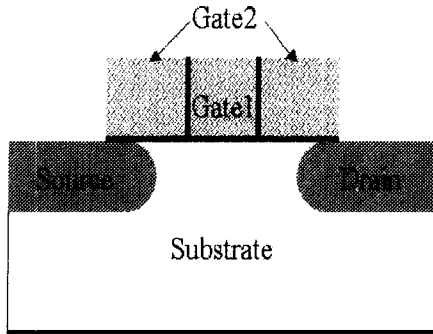


그림 1. 50nm Double-Gate MOSFET

그림에서 gate1은 main gate이고 gate2는 side gate를 나타낸 것이다. 소자의 크기는 일정하게 유지하고 side gate 길이를 35nm에서 70nm까지 변화 시켜 가면서 소자의 특성을 분석하였다. 이때 각 영역의 도핑 방법은 가우시안(Gaussian) 함수에 따라 도핑 하였으며, 소스와 드레인의 도핑 농도에는 접합 깊이의 0.6배의 측면 확산 효과를 적용하였고 도핑 농도는 $2 \times 10^{20}/\text{cm}^3$ 만큼 도핑 하였다. 기판 도핑 농도는 $4 \times 10^{17}/\text{cm}^3$ 만큼 도핑 하였다.

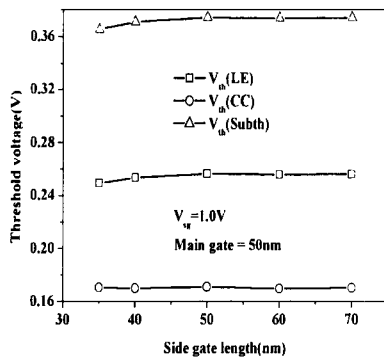


그림 2. side gate 길이에 따른 문턱 전압의 변화

본 논문에서 각각의 side gate 길이에 대한 문턱 전압은 다음 세 가지 방법에 의해 추출하였다. 첫 번째는, 드레인 전류가 미터 당 $0.1\mu\text{A}$ 가 흐를 때의 전압을 구하는 방법(CC)이다. 두 번째는 선형 추출법(Linear Extraction)으로 드레인 전류 대 게이트 전압 특성 곡선의 최대 기울기를 가지는 곳에서의 접선과 x축과 만나는 지점의 전압을 구하는 방법이다. 마지막으로 드레인 전류 축을 로그 크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는

지점의 전압을 구하는 방법(Subth)이다.[3]-[4]

위의 세 가지 방법에 의해 추출된 문턱 전압을 그림 2에 나타내었다. 이때 드레인 전압(V_d)은 0.05V, side gate 전압(V_{sg})은 1.0V를 공급하였고, side gate 길이를 변화 시켜 가면서 문턱 전압을 추출하였다. 그림에서 볼 수 있듯이 side gate 길이가 다른 문턱 전압의 변화는 그리 크지 않음을 알 수 있었다. 그러나 문턱 전압을 추출하는 방법에 따라 많은 차이가 있음을 알 수 있었다.

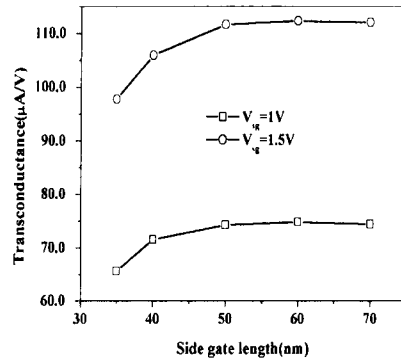


그림 3. side gate의 공급 전압에 따른 gm 값의 변화

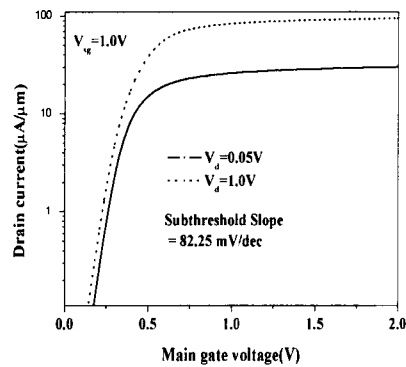


그림 4. 드레인 전류 대 게이트 전압

그림 3에는 side gate의 공급 전압에 따른 전달 컨덕턴스(g_m)값의 변화를 나타내었다. side gate 길이가 작아 질수록 g_m 값은 작아지는 것을 볼 수 있었고 side gate 전압이 증가하면 g_m 값도 증가함을 볼 수 있었다. side gate 전압이 1V일 때 side gate 길이 70nm에서의 g_m 값은 $74.38\mu\text{A}/\text{V}$, side gate 전압이 1.5V일 경우 g_m 값은 $112.05\mu\text{A}/\text{V}$ 를 얻을 수 있었다.

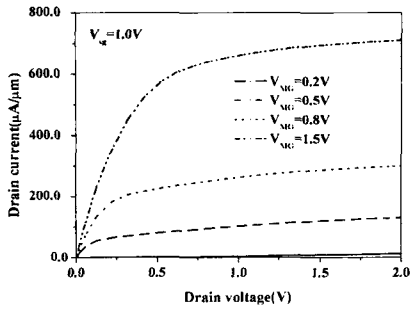
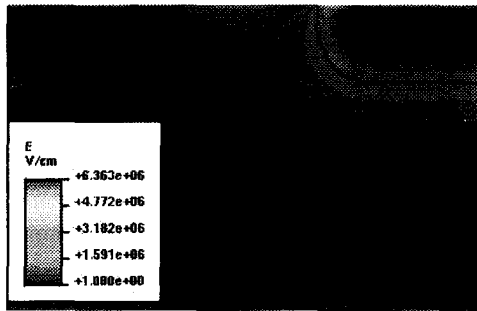
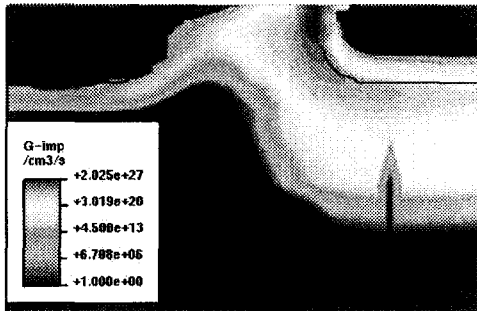


그림 5. 드레인 전압 대 드레인 전류 ($V_{sg}=1.0V$)



(a) 전계 분포



(b) 임팩트 이온화 분포

그림 6. side gate 70nm에서의 임팩트 이온화 및 전계 분포

그림 4에는 드레인 전류에 대한 게이트 전압의 관계를 나타낸 그래프이다. V_{sg} 를 0.05V 가했을 경우 side gate 70nm에서의 Subthreshold slope는 대략 82.25mV/dec 정도이다. 그리고 DIBL 전압 값은 139.48mV 정도를 얻을 수 있었다.

그림 5는 Side gate에 1.0V를 가했을 경우 전류-전압 특성 곡선을 나타낸 것이다. 그림에서 $V_d=2.0V$, $V_{sg}=1.0V$ 그리고 $V_{MG}=1.5V$ 를 가했을 경우 포화 전류는 $710\mu A/\mu m$ 이다.

마지막으로 그림 6에는 side gate 길이 70nm에서 $V_d=2.0V$, $V_{sg}=1.0V$, $V_{MG}=2.0V$ 를 가했을 경우 임팩트 이온화 및 전계 분포를 나타내었다.

임팩트 이온화는 고온 캐리어에 의한 산란에 의하여 전자-정공쌍을 생성하는 과정으로서[5] 전계가 높을수록 임팩트 이온화는 높게 나타난다. 그림에서 볼 수 있듯이 소스 영역보다는 드레인 영역에서 임팩트 이온화 및 전계가 높게 나타남을 알 수 있었다.

III. 결론

본 논문에서는 50nm의 main gate 길이를 갖는 double gate MOSFET소자의 특성을 조사하였다. side gate 길이 70nm에서 $V_{sg}=1.0V$, $V_d=0.05V$, $V_{MG}=2V$ 를 가했을 경우 gm 값은 $74.38\mu A/V$ 정도를 얻을 수 있었고, Subthreshold Slope는 대략 82.25mV/dec 정도 얻을 수 있었다.

그리고, side gate 길이가 작아 질수록 문턱 전압을 낮아지는 것을 볼 수 있었고, side gate의 길이 보다 문턱 전압을 추출하는 방법에 따른 문턱 전압의 변화가 더 큰 것을 알 수 있었다. 즉 다시 말해서 소자의 문턱 전압을 정확하게 구하기 위해서는 나노 소자에 맞는 문턱 추출 방법이 제시되어야 할 것이다. 본 논문에서 모의 실험된 자료는 다른 IC나 VLSI의 제조에 기초 자료로 활용 될 수 있으리라 사료된다.

참고문헌

- [1] Sangyeon-Han, Sung-il Chang, Jongho Lee, Hyungcheol Shin, "50nm MOSFET With Electrically Induced Source/Drain(S/D) Extensions", IEEE Trans. Electron Dev, Vol. 48, No. 9, pp. 2058-2064, 2001.
- [2] Byung-yong Choi, Suk-kang Sung, Byung-gook Park and Jong-duk Lee, "70nm NMOSFET Fabrication with 12nm n⁺-p Junctions Using As₂⁺ Low Energy Implantations", Jpn. J. Appl. Phys. Vol. 40, No. 4B, pp. 2607-2610, 2001.
- [3] Jhung-soo Jhung, Kwang-gyun Jang, Sun g-taik Shim and Hak-kee Jung, "Investigation of Threshold Voltage in MOSFET with Nano-Channel Length", proceeding of ISIC-2001, pp. 230-233, 2001.
- [4] Morikazu Tsuno, Masato Suga, Masayasu Tanaka, Kentaro Shibahara, "Physically Based Threshold Voltage Determination for MOSFET's of All Gate Lengths", IEEE Trans. Electron Dev, Vol. 46, No. 7, pp. 1429-1434, 1999.
- [5] C.K. You, S.W. Ko, H.K. Jung, K. Taniguch, "A Study on Temperature and Field Dependent Impact ionization Coefficient for Silicon Using Monte Carlo Simulation", ICPS-25, pp. 164-165, 2000.