

## UP/DOWN 변환이 동시에 지원되는 다중 전압 단일 출력 DC/DC 변환기

조 상 익, 김 정 열, 임 신 일, \*민 병 기  
서경대학교 컴퓨터공학과, \*크로스 반도체 기술(주)  
전화 : 02-940-7183 / 핸드폰 : 011-252-9732

### A Multiple-Voltage Single-Output DC/DC Up/Down Converter

Sang-Ik Cho, Jung-Yul Kim, Shin-Il Lim, \*Byung-Ki Min  
Dept. of Computer Engineering, SeoKyeong University, \*Cross S&T Inc.  
E-mail : sicho00@dreamwiz.com

#### Abstract

This paper describes a design of multiple-mode single-output DC/DC converter which can be used in both up and down conversion. Proposed up/down converter does not produce a negative voltage which is generated in conventional buck-boost type converter. Three types of operation mode(up/down/bypass) are controlled by the input voltage sense and command signals of target output voltage. PFM(pulse frequency modulation) control is adopted and modified for fast tracking and for precise output voltage level with an aid of output voltage sense. Designed DC/DC converter has the performance of less than 5 % ripple and higher than 80 % efficiency. Chip area is 3.50 mm × 2.05 mm with standard 0.35  $\mu\text{m}$  CMOS technology.

#### I. 서론

본 논문은 넓은 입력범위를 갖는 DC 입력 (2 V ~ 5.5 V)으로 부터 일반적으로 많이 사용하는 DC 전압 (5 V, 3 V, 1.8 V)으로 변환하는 방법에 대한 것이다. 휴대폰, 노트북, PDA와 같은 휴대용 장치에 안정된 전원을 공급하기 위해 DC-DC 변환기를 설계하였다. 기

존의 DC/DC buck-boost 변환기는 상위 전압 변환시 음(-)의 전압을 가지는 단점이 있다.[1] 설계한 DC-DC 변환기는 하나의 칩에서 상위(UP) 및 하위(DOWN) 전압 변환이 동시에 이루어진다. 입력 전압 범위가 넓기 때문에 입력된 전압을 어느 레벨로 조정하기 위한 전압 감지 회로와 조정된 전압에 따라 상위 및 하위 변환이 가능한 전압 변환 스위치 회로, 최종 변환된 전압을 안정적으로 유지하기 위한 출력 조정 회로를 집적하였다.

#### II. 본론

##### 2.1 구조 설계

제안된 변환기는 넓은 범위의 입력을 받아들여 출력단에서 각각 1.8 V, 3 V, 5 V가 단일 전압값이 출력됨으로 상위 전압 변환과 하위 전압 변환이 동시에 이루어진다. 이를 구현하기 위한 전체 블록도를 그림 1에 나타냈다.

입력 전압 감지(Input Voltage Sense) 블록은 넓은 전압범위를 가진 입력 전압( $V_{in}$ )을 감지한다. 이 감지된 신호 레벨은 외부 명령에 의해 내보내야 할 출력 전압을 만들기위해 업을 할지 다운을 할지 결정하는 정보로 사용된다.

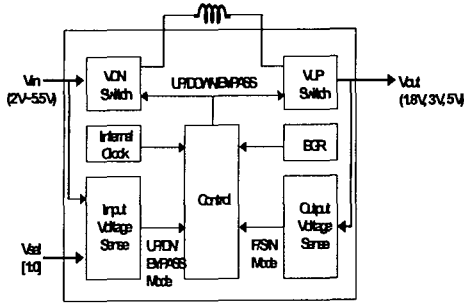


그림 1. 전체 블록도

그림 2는 이러한 입력 전압 감지 블록의 내부도를 나타내었다. 센스1(Sense1)은 넓은 입력 전압 범위(Vin)가 어느 레벨에 있는지 결정하는 블록이다. 전압 선택 입력(Vsel:2비트)은 '00'이면 5V, '01'이면 3V, '10'이면 1.8V가 되도록 디코더를 통해 결정된다. 센스2(Sense2)는 센스1에서 감지한 입력(Vr)과 전압 선택 결과(Voltage select)를 이용하여 변환기의 동작이 상위(UP) 변환인지 하위(DOWN) 변환인지 통과(BYPASS) 인지를 결정하는 신호를 생성한다.

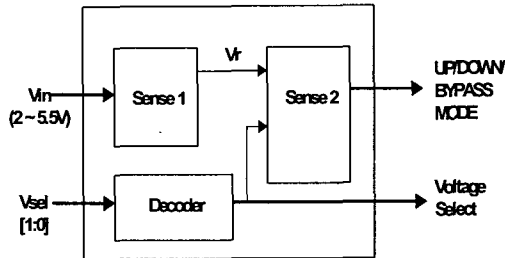


그림 2. 입력 전압 감지 블록

DC/DC 변환기의 메인 블록으로 상위 변환 스위치(VUP Switch)와 하위 변환 스위치(VDN Switch), 제어블록(Control)이 있다.

그림 3에서 상위 및 하위 스위치 변환기는 4개의 트랜지스터 스위치에 의해 동작된다. 인덕터를 중심으로 좌측 스위치(SDNP, SDNN)의 제어에 의해 하위 전압 변환이 이루어지고 우측 스위치(SUPN, SUPP)의 제어에 의해 상위 전압 변환이 이루어진다. 하위 전압 동작시는 SDNP와 SDNN에 의해 제어를 하는데 이때 SUPP는 항상 on이 되어있어야 하고 SUPN는 항상 off가 되어있어야 한다. 우선 SDNP의 스위치가 on이 되어 인덕터

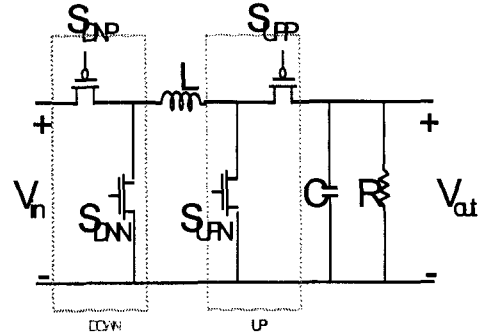
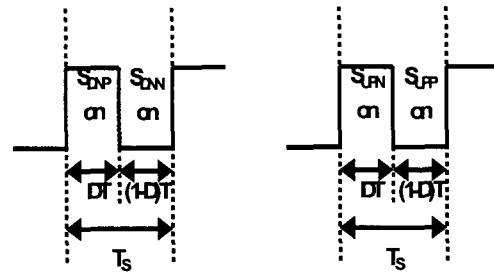


그림 3. 제한된 상위 및 하위 스위치 변환기

에 전류가 흘러 캐패시터에 charge가 되고 스위치가 off가 되면 SDNN의 스위치가 on이 되어 discharge가 된다. 이런 과정의 반복을 통해 스위치의 Duty Cycle을 조절하면 입력에 비해 다운되는 출력 전압을 얻을 수 있다. 반면 상위 전압 동작시는 SUPP와 SUPN에 의해 제어를 하는데 이때 SDNP는 항상 on이 되어있어야 하고 SDNN는 항상 off가 되어있어야 한다. 우선 SUPN의 스위치가 on이 되어 전류가 흐르게 되고 스위치가 off가 되면 SUPP의 스위치가 on이 되어 출력 전압을 얻을 수 있다. 다운과 마찬가지로 Duty Cycle을 조절하면 입력에 비해 업되는 출력을 얻을 수 있다. 통과시에는 스위치 SUPP와 SDNP는 항상 on이 되어있어야 하고 스위치 SDNN와 SUPN는 항상 off가 되어 입력이 출력에 그대로 나타난다.

그림 4는 스위치의 Duty Cycle과 UP/DOWN시 Duty와 입력 전압에 의한 출력의 관계를 식으로 나타낸 것이다.



$$V_{out} = D \cdot (V_{in})$$

$$0 < D < 1$$

$$V_{out} = \frac{1}{1-D} \cdot (V_{in})$$

$$0 < D < 1$$

그림 4. UP/DOWN 스위치의 Duty cycle과 비례식

UP/DOWN 변환이 동시에 지원되는 다중 전압 단일 출력 DC/DC 변환기

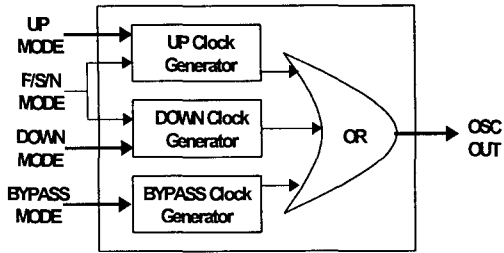


그림 5. PFM 제어 블록

그림 5는 Pulse Frequency Modulation(PFM) 제어 블록으로 출력이 상위 전압(UP MODE)인지 하위 전압(DOWN MODE)인지 통과(BYPASS MODE)인지에 따라 클럭 발생기(Clock Generator)가 선택된다. 클럭 발생기는 Duty Cycle을 계산하여 출력 전압 조정 블록에서 나온 동작모드(F/S/N MODE)에 맞춰 상위 변환과 하위 변환에 맞는 클럭을 생성하도록 회로를 설계하였다.

마지막으로 출력 전압 조정은 빠른 동작(Fast Mode), 느린 동작(Slow Mode), 무동작(No Mode)의 세 가지 컨트롤 모드와 출력 전압 비교(Output Voltage Comp.)에서 제한된 전압에 의해 이루어져있다.

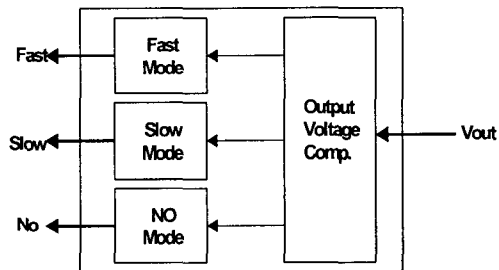


그림 6. 출력 전압 조정 블록

입력 전압이 출력 전압으로 변화하는 과정은 빠른 동작 신호(Fast)에 의해 빠른 클럭 duty 발생기가 선택되어지고 원하는 출력에 빠르게 다가간다. 어느정도 다가간후에는 리플을 고려하여 느린 동작 신호(Slow)에 의해 느린 클럭 duty 발생기가 선택되어지고 원하는 출력을 넘어서면 무동작(No) 신호를 발생하여 동작을 멈추게 한다.

2.2 구현 회로

본 본문에서 제안한 DC/DC 변환기에는 상당수의 비교기가 사용된다. 그림 7은 DC/DC 변환기에서 사용된 비교기 회로이다.

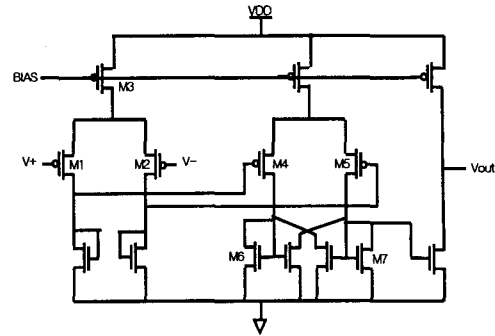


그림 7. 비교기

비교기 회로는 세단으로 구성되어 있으며 첫단은 전치 증폭기로 PMOS 입력 차동 쌍을 가지고 둘째단은 첫단에서 나온 출력을 정제환으로 전압을 크게 벌려주며 마지막 단은 출력 버퍼로 사용되었다.

비교기를 사용하여 원하는 출력 전압을 얻기 위해 기준 전압이 필요한데 그림 8은 DC/DC 변환기에서 사용된 bandgap 참조 회로이다. 이 회로는 열 전압(thermal voltage)이 양(positive)의 온도 계수(Temperature Coefficient : TC)를 가지고 다이오드 전압(Diode voltage)이 음(negative)의 온도 계수를 가지는 것을 합하여 온도 계수를 제로(0)로 만든다. 따라서 온도에 무관한(Temperature Independent) 기준 전압을 얻을 수 있게 한다. 뿐만 아니라 출력 전압은 다이오드 전압과 열 전압, 바이폴라 트랜지스터의 크기에 의해 결정 되므로 VDD전압(supply voltage)에 무관(Supply Independent)하여 출력이 일정하게 유지된다.

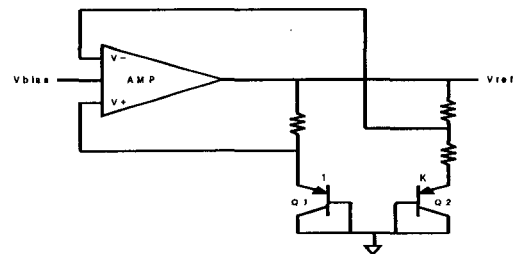


그림 8. Bandgap 참조 회로

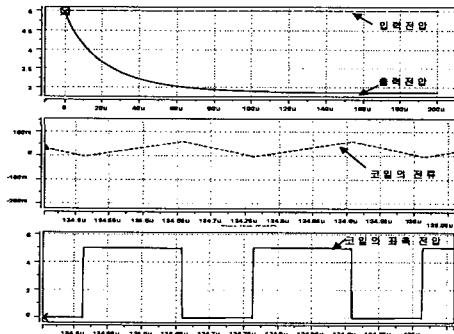
Bandgap 참조 회로는 일반적인 연산 증폭기와 저항과 바이폴라 트랜지스터로 구성되어 있다. 연산 증폭기의 입력단을 그림에서와 같이 저항과 부궤환(negative feedback)이 된다. 특히 bandgap 참조 회로에서 Q1과 Q2는 CMOS공정으로 substrate PNP 구조를 가지는 다이오드로 사용되었다. 트랜지스터의 크기의 비율은  $Q1 : Q2 = 1 : K$  된다. 본 설계에서는  $K=16$  을 사용하였다.

### III. 결론

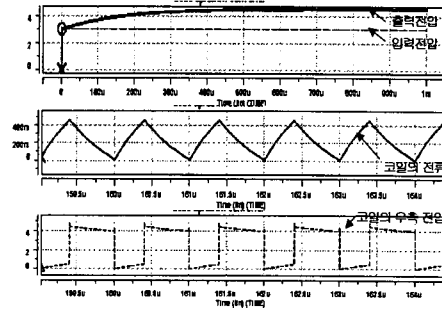
앞서 제안한 DC/DC 변환기의 시뮬레이션 결과 및 레이아웃을 그림 9와 10에서 보여준다. 설계한 회로는 넓은 입력 범위를 가지므로 2 V ~ 5.5 V내의 어떠한 입력 전압이 들어오더라도 1.8 V, 3 V, 5 V중 하나의 전압이 계속 유지 될 수 있다. 따라서 상위 및 하위 변환 뿐 아니라 동시 변환이 요구되는 여러 응용분야에서 사용될 수 있다. 제안된 회로는 0.35  $\mu$ m CMOS 공정으로 설계하였고 변환 효율은 약 80 %이다. 표1에 설계된 DC/DC 변환기의 성능을 기술하였다.

표 1. 설계한 DC/DC 변환기의 특성

Chip Area	3.50 mm $\times$ 2.05 mm
Process	0.35 $\mu$ m CMOS
Supply Voltage	3.3 V
Off-chip component	
inductor	1 $\mu$ H
capacitor	20 $\mu$ F
Internal Frequency	4.3 MHz
Voltage ripple	5 % 이내
Conversion efficiency	80 %



(a)



(b)

그림 9. (a)하위 와 (b)상위 전압 변환 모의결과

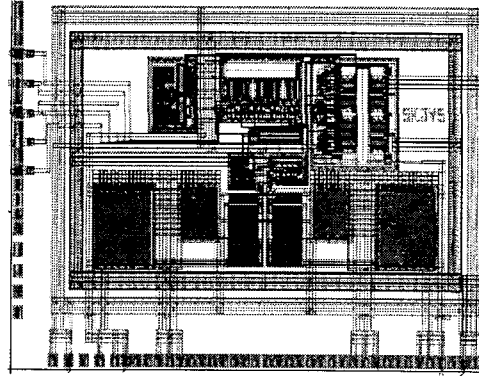


그림 10. DC/DC 변환기의 레이아웃(layout)

### 참고문헌(Reference)

- [1] Norbert R. Malik, "ELECTRONIC CIRCUITS Analysis, Simulation, and Design", Prentice-Hall International, Inc., pp.807-811, 1995.
- [2] S-H Jung, N-S Jung, J-T Hwang and G-H Cho, "An integrated CMOS DC-DC converter for battery-operated systems," IEEE Power Electronics Specialists Conf., pp.43-47, 1999.
- [3] M.W. May et al., "A Synchronous Dual-Output Switching dc-dc Converter using Multibit Noise-Shaped Switch Control", ISSCC Digest of Technical Papers, pp.358-359, Feb. 2001.
- [4] A. Stratakos., S. Sanders, and R. Broderon. "A low-voltage cmos dc-dc converter for a portable battery-operated system," IEEE PESC, pp. 619-626, 1994