

델타-시그마 변조기의 1V 설계

김정민, 임신일, *최종찬
서경대학교 컴퓨터 공학과, *전자 부품 연구원
전화 : 02-940-7183 / 핸드폰 : 011-9904-0126

A Design of 1V Delta-Sigma Modulator

Jeong-Min Kim, Shin-Il Lim, Jong-Chan Choi
Dept. of Computer Engineering, Seokyeong University
E-mail : silim@skuiv.ac.kr

Abstract

This paper describes design technique of switched-capacitor 1V delta-sigma modulator. To solve the incomplete switching operation at low voltage, bootstrapping technique is used. For PMOS input pair of 1V operational amplifier, simple common mode level down technique is used. Designed 2nd order single loop modulator has an oversampling ratio of 64 and obtains a peak SNR of 71dB, a dynamic range of 73 dB with the power consumption of 350uW at 1V power supply.

I. 서론

무선 통신, 보청기 같은 휴대용 장비 시장이 커지면서 저 전압, 저 전력으로 동작하는 회로와 시스템 전력 개발의 요구가 날로 증가하고 있다. 또 submicron 공정에서 사용되는 전압이 점차 낮아지는 추세이고, 배터리로 동작하는 시스템에서, 배터리의 수명을 가능한 길게 하기 위해서 저 전압, 저 전력 회로가 필요하다. 1V 정도의 저 전압에서는 기존의 switched-capacitor 회로를 설계할 때 신호가 통과하는 스위치를 정확하게 구동시킬 수 없는 문제가 발생한다. 1V 이하에서의 스위치 문제를 해결하기 위한 기술에는 전압을 채배하는 방법[1]과 multi-V_T공정[2]을 사용하는 방법

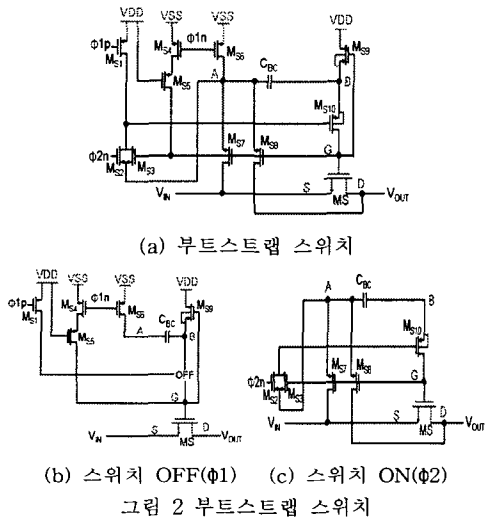
이 있다. 전자는 설계가 쉽고, 간단해 진다는 장점이 있지만, deep-submicron 공정에서는 절연층의 두께가 얇아져 MOS 트랜지스터가 채배된 전압을 견디지 못하므로 장시간 사용 시 절연층의 열화로 신뢰성에 문제가 생긴다. 후자는 스위치의 OFF시 누설 전류 문제가 나타난다는 단점이 있고, 비용을 증가시키므로 바람직한 해결 방법은 아니다. 저 전압에서 스위치 구동 문제를 해결하기 위하여 제안된 방법이 switched op-amp 기술이다.[3]-[4] 이 switched op-amp 기술은 스위치 구동 문제가 없어지기 때문에 저 전압에서도 효과적으로 회로를 설계할 수 있는 기술이다. 하지만 switched op-amp 기술은 스위치를 사용하지 않는 대신, 연산 증폭기 자체를 ON/OFF시킴으로서 스위칭을 대신하기 때문에 연산 증폭기가 settling될 때까지 기다려야 하므로 회로의 동작 속도에 제한을 받게 된다. 본 논문에서는 저 전압(1V)에서 설계 문제를 해결하기 위해서 부트스트랩(bootstrapping) 기술과 간단한 공통 전압 레벨 다운 기술을 이용하여 switched-capacitor 형태의 델타-시그마 변조기를 설계하였다.

II. 저 전압에서 Switched-Capacitor 회로의 설계

1.1 저 전압 스위칭 문제 해결 방법

저 전압에서 switched-capacitor 회로의 구현 시 가장 크게 문제가 되는 것은 스위치의 Conductance(gm)

이다. NMOS 스위치는 V_{DD} 와 비슷한 전위의 신호들에 대하여 높은 컨덕턴스를 보이고, 반면 PMOS 스위치는 V_{SS} 근처의 신호일 경우 높은 컨덕턴스를 보인다. 반면 낮은 전위 전압에 대해서는 전위 전압의 중간 영역에서 두 스위치가 모두 OFF되어 컨덕턴스가 0이 되는 범위에서는 정확하게 스위칭이 되지 않으므로 이 범위의 전압영역을 사용하지 못하게 된다. 전압 체배나 multi- V_T 공정을 사용하지 않고, 저 전압에서 스위치 문제를 해결할 수 있는 방법이 부트스트랩 스위치를 사용하는 것이다.[5],[6] 그림 2에서는 부트스트랩 스위치의 회로도 와 스위치의 ON/OFF 될 때를 보여준다.[6] 스위치의 동작은 다음과 같다. 스위치 M_{S6} 는 신호 흐름 경로 상에 위치한 기본적인 스위치이다. 스위치 M_{S6} 과 M_{S9} 는 스위치 M_{S7} 가 OFF되는 주기 $\phi 1$ 에서 그림 2(b)에서 보여주는 것처럼 캐패시터 C_{BC} 에 V_{DD} 로 전하를 충전시킨다. 또한 그림 2(c)에서 보여주는 것처럼 스위치 M_{S7} 가 ON이 되는 주기 $\phi 2$ 에서는 스위치 M_{S7} , M_{S10} 을 통하여 노드 B에서의 전압 V_B 가 $V_{DD}+V_{IN}$ 이 된다. 따라서 스위치 M_{S7} 의 게이트-소스 전압 V_{GS} 는 입력되는 전압의 크기에 상관없이 항상 V_{DD} 로 일정하게 된다. 래치업(latch-up) 현상을 방지하기 위하여 스위치 M_{S9} , M_{S10} 의 웰을 분리하였으며 가장 높은 전위인 노드 B에 스위치 M_{S9} , M_{S10} 의 서브스트레이트(substrate)가 연결된다.



1.2 저 전압 Switched-Capacitor 적분기

그림 3에서는 부트스트랩 스위치와 간단한 공통 모드 레벨 다운 방법을 적용한 저 전압 switched-capacitor 적분기를 보여준다. 입력 공통 전압은 전압

의 최대 진폭 범위를 위하여 $V_{DD}/2$ 를 기준으로 하여 인가시키기 때문에 부트스트랩 스위치가 사용되었다. 1V이하의 낮은 전원에서 연산증폭기의 입력 공통 전압이 $V_{DD}/2$ 가 되면 연산증폭기 입력 단의 트랜지스터가 포화영역에서 동작하지 않게 되는 문제점을 가지고 있다. 이러한 입력단의 문제를 해결할 수 있는 방법이 입력단의 공통(common) 모드 전압을 낮추는 방법이다. $V_{DD}/2$ 의 입력 공통 전압을 V_{SS} 레벨로 낮추기 위하여 두 개의 부트스트랩 스위치가 사용되었다. 연산증폭기의 입력 단의 공통 모드 전압을 V_{SS} 레벨로 만들어 주기 위하여 연산 증폭기 입력에 있는 스위치 S_{3A} , S_{3B} 는 V_{SS} 에 연결되었다. 샘플링 캐패시터 C_S 의 한쪽 기준 전압을 일정하게 만들어 주기 위하여 적분 주기 $\phi 2$ 에 동작하는 부트스트랩 스위치 S_{2A} , S_{2B} 를 $V_{DD}/2$ 에 연결하였다. 이 결과 샘플링 캐패시터 C_S 양 단간의 DC 전압은 일정하게 되고, 연산 증폭기의 입력 단에서는 V_{SS} 전압을 기준으로 단지 AC 신호만이 들어 가게 된다. 이러한 구조의 적분기는 기존 저 전압 적분기[3],[4]에서 공통 모드 전압을 낮추기 위하여 사용된 캐패시터의 추가 없이 간단한 스위칭 동작으로 입력 공통 모드 전압 레벨을 낮추었다. 1V 이하의 낮은 전위 전압에서 전위 전압 잡음을 줄이기 위하여 완전 차동 구조를 사용하였다.

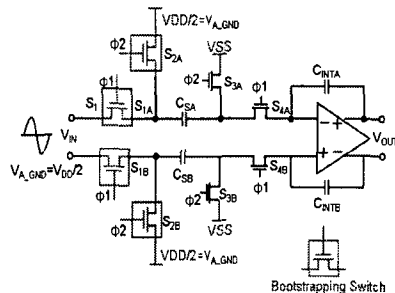


그림 3 저 전압 적분기 구성

III. 델타-시그마 변조기의 설계

저 전압, 저 전력 설계에 중점을 두어 변조기의 용이한 구현을 위해 간단한 single-loop 구조를 채택하였다. 변조기의 해상도를 높이기 위하여 차수를 높이면 적분기의 출력 신호가 다음 단 적분기의 입력에서 허용된 전압보다 더 커져 신호의 왜곡이 발생하는 overload가 발생할 수 있다. 따라서 높은 차수의 변조기에서는 적분기 출력에서 overload가 발생하지 않게 하기 위한 적절한 계수 조절이 필요하다. 구현된 델타-시그마 변조기는 그림 4에서 보여주는 것처럼 2차 single-loop 변조기로 구현하였다. 저 전력 델타-시그마 변조기의 경우 해상도를 높이기 위하여 OSR

(over-sampling rate)을 높이면 전력의 소비가 커지기 때문에 저 전력, 저 전압 델타-시그마 변조기의 구성에서는 적절한 비율의 OSR을 설정하는 것이 필요하다. 델타-시그마 변조기의 계수는 MATLAB을 이용하여 적분기 출력에서 overload가 발생하지 않도록 만들어 주었다. 적분기 계수는 $a_1=1/6$, $a_2=1/2$ 이고, 궤환 계수는 $b_1=1/9$, $b_2=2/3$ 이다. 이 경우 구동 전압이 1 V 일 때 첫 번째 적분기 출력 전압의 범위를 0.3V-0.7V로, 두 번째 적분기의 출력은 0.25V-0.75V로 만들어 주어 overload가 발생하지 않도록 해주었다. 그림 4는 설계된 1 V 변조기의 구조이며 입력 신호 범위와 적분기 출력 범위를 같이 보여주고 있다.

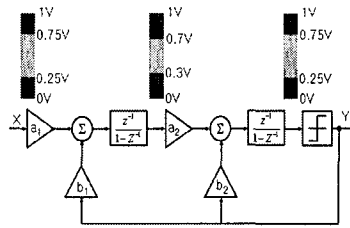


그림 4 설계된 델타-시그마 변조기 구조

IV. 저 전압 회로

4.1 저 전압 연산 증폭기

저 전압 연산 증폭기를 설계할 때 매우 낮은 전압에서 충분한 DC 이득을 얻기 위하여 캐스코드(cascode) 구조를 사용할 수가 없다. 따라서 충분한 DC 이득을 얻기 위해서 캐스케이드(cascade) 형태의 2-단 증폭기를 사용하였다. 또한 전원 전압에서의 잡음이나 스위치 피드스루 등의 잡음을 줄이기 위해서 완전 차동 구조의 증폭기를 사용한다.

그림 5에서는 사용된 완전 차동 2-단 증폭기를 보여 준다. 완전 차동 2-단 증폭기를 사용할 경우 각 단 출력의 공통 모드 전압을 안정하게 해 주어야 한다. 출력 단(두 번째 단)의 경우 일반적인 스위칭 공통 모드 궤환 회로를 사용하여 공통 전압을 안정화 시켜 주었다. 첫 번째 단에서의 출력 공통 모드 전압 V_1 , V_2 가 높아졌을 경우 트랜지스터 M_4 , M_5 의 게이트 전압이 상승하게 된다. 게이트 전압이 높아지면 노드전압 V_3 , V_4 는 낮아지게 된다. 이렇게 되면 트랜지스터 M_8 , M_9 의 소스전압이 낮아지게 되므로, 트랜지스터 M_8 , M_9 의 게이트-소스 전압 V_{GS} 가 높아지게 된다. 게이트-소스 전압 V_{GS} 이 높아지게 되면 드레인 전압 V_1 , V_2 이 낮아지게 된다. 이러한 부궤환 루프를 통하여 첫 번째 출력 단에서의 공통 모드 전압이 안정화 된다.

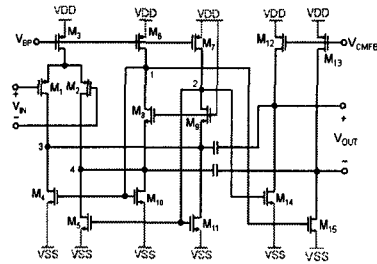


그림 5 완전 차동 2-단 연산증폭기

4.2 래치 비교기

델타-시그마 변조기의 비교기 양자화 잡음은 추후 noise shaping되기 때문에 비교기의 오차를 어느 정도 허락하는 등의 비교기 설계의 부담이 감소된다. 비교기의 동작을 살펴보면 ϕ_{RES} 가 LOW로 갈 때 동작을 시작하고, 스위치 M_{3a} , M_{3b} 는 high 임피던스 상태가 된다. 그리고 ϕ_1 이 HIGH일 때 두 출력을 V_{SS} 에 단락시켜 리셋이 된다. 비교기는 첫 번째 단의 pre-amp와 두 번째 단인 래치로 구성된다. 첫 번째 단 pre-amp의 출력 레벨은 그리 높지 않기 때문에 비교기의 출력 전압을 V_{DD} , V_{SS} 로 완전하게 결정을 해주는 래치가 필요하다. 래치에서는 정 궤환을 사용하여, pre-amp 출력 전압을 확실하게 V_{DD} , V_{SS} 레벨로 만들어 주었다. 사용된 래치 비교기를 그림 6에 보였다.

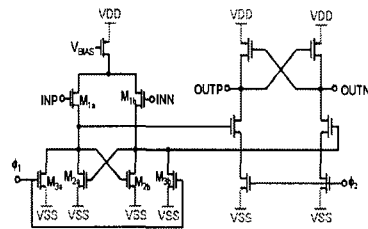


그림 6 래치 비교기

V. 시뮬레이션 결과 및 특성

델타-시그마 변조기는 $0.35\mu\text{m}$ 2-poly 4-metal 일반적인 CMOS 공정을 사용하여 구현하였다. PMOS의 항복전압은 0.82V이고 NMOS의 항복전압은 0.63V이다. 그림 7에서는 그림 4에서 보여준 델타 시그마 변조기 구조를 사용하여 구현된 변조기의 SNR 시뮬레이션 결과를 보여주고 있다. 입력 신호의 첨두(peak) 값은 500 mV이다. 가로축은 입력 레벨이고 세로 축은 SNR 값을 나타내고 있다. 1 V의 전원 전압, 64의 OSR에서 최고 72 dB의 SNR을 얻을 수 있었다. 그림

8에서는 델타-시그마 변조기의 Hspice 시뮬레이션 출력 결과를 보여준다. 입력신호가 크면 high 펄스의 밀도가 많고 낮으면 low 펄스의 밀도가 많이 되는 것을 알 수 있다. 그림9에서 설계된 1V 델타-시그마 변조기의 레이아웃을 보였다. 표 1에 구현한 델타-시그마 변조기의 성능을 요약하였다. 1 V 전원에서 전체 350 uW의 전력을 소모하였다

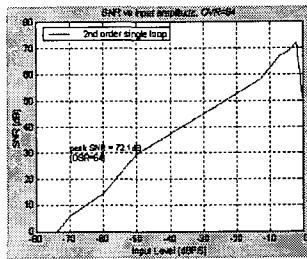


그림 7 델타-시그마 변조기의 SNR

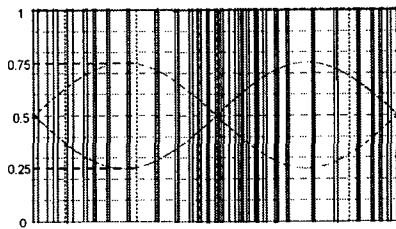


그림 8 델타-시그마 변조기 출력

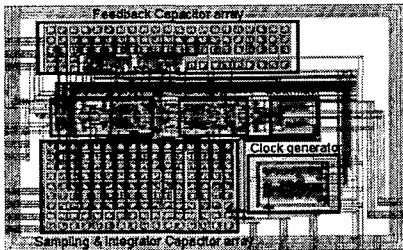


그림 9 레이아웃

표 1 델타-시그마 변조기의 성능

| | |
|---------------------|-----------------------|
| Signal Bandwidth | 20 Hz ~ 20 kHz |
| Sampling frequency | 2.56 MHz |
| maximum input level | 500 mV |
| Over Sampling Ratio | 64 |
| Peak SNR | 72 dB |
| Supply Voltage | 1 V |
| Power Consumption | 350 uW |
| Chip Area | 1.2 mm X 0.9mm |
| Technology | 0.35 um standard CMOS |

VI. 결론

Switched-capacitor기술과 부트스트랩 스위치를 이용하여 저 전압 델타-시그마 변조기를 구현하였다. 1-V로 switched capacitor 회로를 구현하기 위하여 적분기의 연산증폭기 입력 단의 공통 모드 전압을 V_{SS} 로 낮추는 방법을 사용하였다. 설계된 2차 $\Delta\Sigma$ 변조기의 최대 SNR은 71 dB이며, DR(dynamic range)는 73 dB 이고 OSR=64이다.

참고문헌

- [1] J. F. Dickson, "On-chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," *IEEE J. Solid-State Circuits*, vol. SC-11, pp.374-378, June 1976
- [2] Y. Matsuya and J. Tamada, "1V Power Supply Low-Power Consumption A/D Conversion Technique with Swing Suppression Noise Shaping," *IEEE J. Solid-State Circuits*, vol. 29, pp.1524-1530, Dec. 1994
- [3] V. Peluso, P. Vancorenland, A. Marques, M. Steyaert, and W. Sansen, "A 900-mV low-Power $\Delta\Sigma$ A/D Converter with 77-dB Dynamic Range," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1887-1897, Dec. 1998.
- [4] J. Crois and M. Steyaert, "Switched-Opamp: An Approach to Realize Full CMOS Switched-Capacitor Filters at Very Low Power Supply," *IEEE J. Solid-State Circuits*, vol. 29, pp.936-942, Aug. 1994
- [5] M. Dessouky and A. Kaiser, "Very Low-Voltage Digital-Audio $\Delta\Sigma$ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping" *IEEE J. Solid-State Circuits*, vol. 36, pp.349-355, Mar. 2001
- [6] A. M. Abo, P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, pp.936-942, May 1999