

NMOSFET에서 핫-캐리어 내성의 소자 개발

김현호*, 김현기**, 우경환***, 하기종****, Fadul Ahmed Mohammed*****, 이천희*****
도립충북과학기술대학 전자정보과*, 극동정보대학 전자통신과**, 우송공업대학 무역사무과***, 영동대학
전자통신과****, 청주대학교 전자공학과*****
전화 : (043) 229-8448 / 팩스 : (043) 213-6392

The Development of Hot Carrier Immunity Device in NMOSFET's

Kim, Hyeon-ho*, Kim, Hyun-Gi**, Woo, Kyong-Hwan***, Han, Ki-Jong****, Fadul Ahmed
Mohammed*****, Yi, Cheon-Hee*****
Chungbuk Provincial Univ. of Science & Technology*, Chongju University****
E-mail : kimhh@ctech.ac.kr, yicheon@chongju.ac.kr

Abstract

WSW(Wrap Side Wall) is proposed to decrease junction electric field in this paper. WSW process is fabricated after first gate etch, followed NMI ion implantation and deposition & etch nitride layer. New WSW structure has buffer layer to decrease electric field. Also we compared the hot carrier characteristics of WSW and conventional. Also, we design a test pattern including pulse generator, level shifter and frequency divider, so that we can evaluate AC hot carrier degradation on-chip.

I. 서론

소자의 집적도가 높아짐에 따라 단위 MOSFET의 채널길이 역시 줄어들어 1Mb DRAM급 이상의 제품에서는 $1\mu\text{m}$ 이하의 채널길이를 갖는 MOSFET를 사용하게 되었고, $0.15\mu\text{m}$ 이하의 채널길이를 갖는 256Mb DRAM의 실용화와 1Gb DRAM의 개발로 인하여 본격적인 $1/4$ micron시대에 돌입하게 되었다. 한편, 소자 크기가 제품의 세대에 따라 같은 비율로 줄어든 것과는 달리 그 동작전압은 여러 가지 이유로 인해 소자의 축소에 비해 작은 비율로 축소되어 왔다. 예를 들면 일정 전계 축소(constant field scaling)를 할 경우 1)TTL 호환성이 문제시되고, 2)기생저항 및 기생용량의 증가에

기인한 회로의 성능저하 그리고 3)문턱전압과 문턱전압 이하 기울기(subthreshold slope)가 소자 크기에 따라 줄어들지 않아 발생하는 잡음이득(noise margin) 감소 등의 문제가 발생하게 된다.

따라서 본 논문에서는 1)핫-캐리어 내성(immunity) 특성을 지닌 WSW(Wrap Side Wall) 소자를 제작하여 소자의 수명을 측정하였으며 또한 이를 기초로 하여 2)DC 스트레스와 교번(alternate) 스트레스 그리고 AC 스트레스 하에서의 열화 메커니즘을 분석하였고, 3)AC 핫-캐리어 스트레스/테스트 패턴을 사용하여 실제 ULSI 칩 동작시의 다양한 스트레스 조건에 따른 AC 열화 특성을 분석하였으며 128Mb DRAM급 칩을 이용하여 실험하였다. 이 실험을 위하여 새로이 고안된 AC 핫-캐리어 스트레스/테스트 패턴을 128Mb DRAM 칩과 동일 웨이퍼 상에 $0.18\mu\text{m}$ CMOS 공정을 이용하여 제작하였다.

II. 서브 마이크론 소자에서 핫-캐리어 효과

CMOS가 고집적, 적은 소비 전력, 빠른 속도 특성에 의해 집적 회로 기술에 중요한 위치를 차지하고 있다. 이 기술의 기본적인 소자는 MOSFET인데 칩 상에서 더욱 복잡한 기능을 수행하기 위해 소자의 크기가 서브 마이크론화 되고 있다. 최근의 CMOS 기술에서는 $L_{\text{eff}}=0.25\mu\text{m}$ 인 MOSFET가 사용되고 있다. 이런

MOSFET의 채널 길이의 감소는 기생 캐패시턴스를 방전할 수 있는 변환 전류(switchable current)를 증가시키므로 회로 속도를 증가시킬 수 있다. 동시에 전원 공급 전압이 5V로 일정하고 최근에는 3.3V로 감소되었지만 채널 길이의 감소에 따른 드레인 영역에서의 높은 전계가 형성되어 핫-캐리어 발생에 의해 신뢰성에 문제가 발생하게 되었다[1]. 이런 신뢰성 문제의 결과로서 전원 소모를 줄이기 위해 CMOS 기술은 3.3V, 2.5V, 1.8V 전원을 사용하고 있다.

MOSFET에서 게이트 전압이 드레인 전압과 비슷하거나 작게 되면 드레인 쪽보다 소오스 쪽의 반전층이 강하게 되어 채널 전류에 의한 전압 강하가 드레인 쪽에 집중된다. 소오스에서 드레인으로 이동하는 캐리어가 이 높은 전계 영역에서 큰 에너지를 얻게 된다. 이 에너지를 얻은 캐리어를 핫-캐리어라고 하는데 이는 핫-캐리어의 에너지에서 T_e 가 1000~10000K로 격자 온도 T 보다 매우 높기 때문이다.

핫-캐리어의 대부분은 드레인으로 이동하지만 적은 수의 핫-캐리어는 큰 에너지를 얻어(1.5E_{GAP}) 충돌 이온화를 하여 전자와 정공을 발생시킨다. NMOSFET의 경우 발생된 대부분의 정공은 기판에 모이게 되어 기판 전류(I_{sub})를 발생시킨다. 그러므로 기판 전류 크기는 소자의 핫-캐리어 발생 정도를 나타내는 척도라고 할 수 있다. 높은 드레인 전압에 선 기판 전류에 의한 기판 저항에서의 전압 강하가 커져서 소오스/기판 접합에 정방향 바이어스가 걸리게 되어 기생적인 바이폴라 소자가 동작되게 된다. 결과적으로 채널에서의 캐리어의 주입이 증가하게 되어 드레인에서의 충돌 이온화가 증가하여 기판 전류가 더욱 증가하게 된다. 특정한 드레인 전압에서는 이러한 메커니즘이 계속 유지되어 snapback 항복(breakdown)이 발생한다. 그러므로 기판 전류는 드레인 다이오드의 항복 현상에 중요한 역할을 하며 또한 latch-up을 발생시킨다.

핫-캐리어의 일부는 매우 높은 에너지를 얻어서 Si-SiO₂의 장벽 에너지를 넘어서 산화막에 주입되어 게이트 전류를 발생시킨다. 이러한 과정에서의 에너지 장벽은 매우 높기 때문에 게이트로 주입되는 핫-캐리어는 충돌 이온화를 발생시키는 핫-캐리어 수보다 훨씬 작으므로 게이트 전류는 기판 전류보다 작게 된다. 게이트로 주입되는 핫-캐리어는 그림 1과 같이 세 가지 종류로 분류할 수 있다.

산화막이 매우 얇고(<100Å) 전계가 높다면($\epsilon_{ox} > 10^6$ V/m) 직접 터널링(direct tunneling)을 할 수 있다. 두꺼운 산화막에서는 에너지 장벽과 같거나 적은 에너지를 가진 캐리어도 Fowler-Nordheim 터널링으로 장벽을 터널링할 수 있다[2]. Si-SiO₂ 계면에는 수 Å

정도의 과도 영역이 존재하는데 핫-캐리어의 주입이 또 다른 결과는 캐리어가 SiO₂의 전기적으로 활성화된 손상에 포획되어 고정된 산화막 전하 밀도(fixed oxide charge density) Q_{ox} 를 변화시키거나 Si-SiO₂ 계면에서 빠른 계면상태 밀도(fast interface state density) Q_{it} 를 발생시킨다. Q_{it} 는 Coulombic 산란에 의해 전자의 이동도를 감소시킨다.

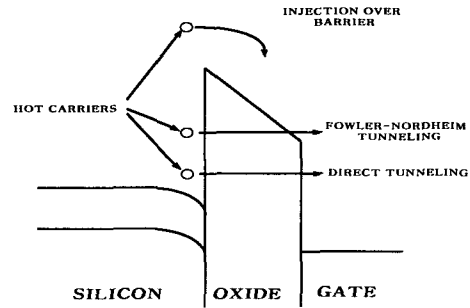


그림 1. 게이트로 주입되는 핫-캐리어

핫-캐리어 주입에 의해 산화막 내에서 계면상태와 전하포획이 발생하지만 이것들은 서로 다른 메커니즘에 의해 발생된다. 계면상태는 Si-SiO₂의 전위 장벽을 넘어서 Si-O-Si, Si-H, Si-OH 결합을 끊을 수 있는 강한 에너지를 가진 핫-캐리어에 의해 발생된다. 반면에 전하포획의 경우는 Si-SiO₂ 전위 장벽을 넘을 수 있는 에너지를 가진 핫 캐리어에 의해 발생되며 포획을 발생시키는 것이 아니라 SiO₂에 이미 존재해서 포획된다. 그러므로 계면상태를 발생시키는 핫-캐리어의 에너지가 포획되는 핫-캐리어 에너지보다 크다.

핫-캐리어 주입이 계속되면 포획된 전하나 포획된 Si-SiO₂ 계면에서의 전계를 변화시켜 MOSFET의 전기적 특성 즉, 문턱전압(V_{th}), 트랜스컨덕턴스(g_m), 문턱 전압 이하 기울기(S) 등을 변화시킨다. 결국 전기적 특성의 변형이 집적 회로의 동작에 영향을 미치게 된다. 이러한 핫-캐리어 효과는 정공의 충돌 이온화율이 전자보다 작고 정공의 전위 장벽이 높기 때문에 PMOSFET보다 NMOSFET에서 심각한 영향을 미친다. 그러나 0.5 μ m 이하의 PMOSFET에서는 이러한 핫-캐리어 효과가 소자의 신뢰도 문제에 영향을 미치고 있다. 그러나 핫-캐리어의 효과 이외에도 EPROM(Erasable Programmable ROM)에서는 게이트 산화막의 채널 핫-캐리어 주입이 응용되고 있다. EPROM의 부동적인 게이트(floating gate)에 핫-캐리어를 주입함으로써 메모리 셀의 on/off를 결정할 수 있다. 핫-캐리어 효과의 메커니즘과 소자에 미치는 영향은

정리하면 그림 2와 같다.

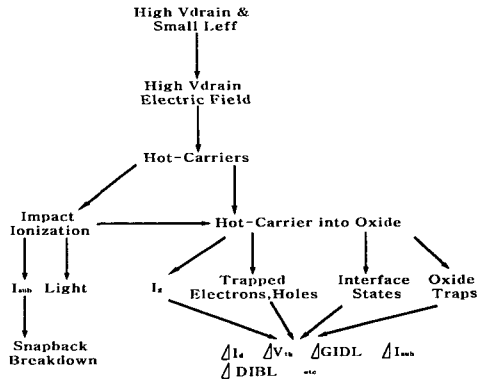


그림 2. 핫-캐리어 효과

III. 소자의 측정 및 결과

1. AC 동작에 의한 열화 특성 분석

주파수 분배회로에서 인버터 내의 NMOSFET 트랜지스터의 AC 동작에 의한 열화 특성을 분석하고 이를 DC 스트레스로 인한 열화 특성과 비교함으로써 AC와 DC 간의 핫-캐리어 열화에 대한 상관 요소(correlation factor)를 구하였다.

먼저 on-chip에서 53단의 링 오실레이터를 이용하여 발생시킨 약 300MHz의 클럭 펄스를 고전압으로 올려 주는 레벨시프터(level shifter)를 거친 후, 4 단으로 구성된 주파수 분배기(frequency divider)에 가해서 각 주파수 분배기가 152MHz, 76MHz 및 38MHz로 동작하게 하고, 이 때 각 주파수 분배기내의 한 인버터에서 NMOS소자의 AC 스트레스로 인한 소자 열화 특성을 측정하고, DAHC(drain avalanche hot carrier) 스트레스와 CHE(channel hot electron) 스트레스를 인가하여 얻은 DC 스트레스에 의한 열화 특성과 비교 분석하였다.

2. 측정 방법

AC 핫-캐리어 열화특성 분석은 on-chip 상에서 53 단의 링 오실레이터를 이용하여 펄스를 발생시키고, 이를 레벨 시프터에서 진폭을 원하는 전압으로 조절한 후 주파수 분배기에 인가한다. 이 때 고속으로 동작하는 주파수 분배기 회로에서 한 인버터의 NMOSFET 소자가 고주파수 동작으로 인한 AC 스트레스에 의해 발생되는 드레인 전류의 열화 특성을 분석하고, 또한 NMOSFET에 DC 스트레스 조건인 DAHC($V_d=1.6V$,

$V_d=4V$) 스트레스와 CHE($V_g=V_d=4V$) 스트레스를 인가하여 DC 열화 특성을 분석하였다. 그리고 AC 스트레스 조건에서 1 주기 동안 기판전류(I_{sub})를 측정하여 적절한 값을 DC 스트레스 조건에서의 기판전류와 상관관계(correlation)를 맺는다. On-chip에서 측정한 AC 핫-캐리어 구조에 대한 회로도도 그림 3과 같으며 공정 파라미터는 표 1과 같다.

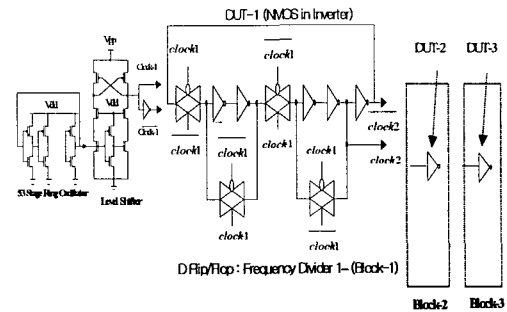


그림 3. 펄스 발생기, 레벨 쉬프터, 주파수 분배기로 구성된 AC 핫-캐리어 테스트 패턴 회로도

표 1. 공정 파라미터

Technology	0.18um CMOS Tech.
Isolation	Shallow Trench Isolation
Gate Oxide Thickness	40 Å (N ₂ O annealed Oxide)
Gate Width/Length	5/0.25um(NMOS) 10/0.25um(PMOS)
LDD I/I	As, 15Kev, 1.0E14(/cm ²)
Source/Drain I/I	As, 30Kev, 5E15(/cm ²)
Salicide	Co-Salicide
Sidewall	HLD/Nitride(850 Å)

3. 측정 및 분석결과

그림 4는 그림 3의 회로도에 있는 DUT(Device Under Test)에서 측정한 펄스이다. 이 펄스가 드레인에도 동일하게 인가되고 있으며, 펄스의 왜곡은 측정 시로딩에 의한 현상으로 해석할 수 있다.

그림 5는 I_{dsat} 영화에 대한 특성을 스트레스 조건에 따라 비교한 그래프이다. DAHC 스트레스 조건($V_d=4V$, $V_g=1.6V$ $I_{sub,max}$ 조건)에서 측정한 값의 열화로 값이 가장 크며, 주파수가 증가할수록 열화가 증가하는 현상을 보이고 있다.

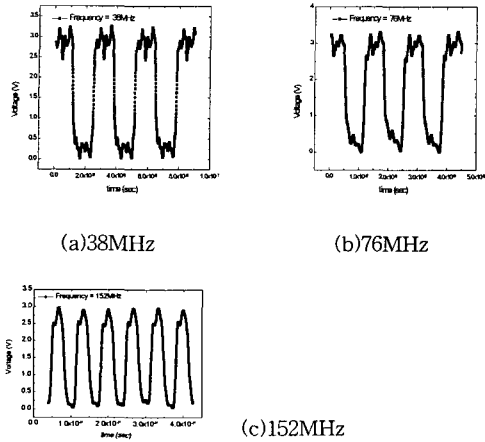


그림 4. DUT에서 확인한 게이트에 인가되는 펄스

CHE(channel hot electron) 스트레스에 의한 열화가 152MHz 보다 수명이 더 취약한 특성을 보이고 있다. 10% I_{dsat} 열화되는 시간을 기준으로 DC와 AC 특성을 비교하면, AC 수명이 38MHz에서 73배정도 우수한 특성을 보이고 있으며(1% I_{dsat} 열화를 기준으로 하였을 경우 AC 수명은 152MHz에서 75배정도 우수한 특성을 보임), 주파수가 높을수록 AC to DC 수명 비율은 더 적어지고 있음을 알 수 있다. 주파수가 증가할수록 펄스 폭이 좁아지지만 DAHC 스트레스를 더욱 많이 받게 되어 열화가 증가하는 특성을 보이고 있다. 그림 6은 트랜스컨덕턴스 g_m 열화에 대한 특성을 스트레스 조건에 따라 비교한 것이다. DAHC 스트레스 조건에서 계면상태(interface state)가 가장 많이 형성되며, 멱함수(power law) 특성은 모든 조건에 대하여 일정한 기울기를 가지고 있음을 알 수 있다. 이것은 AC 스트레스와 DC 스트레스 조건에서 동일한 열화 메커니즘을 따르고 있음을 확인할 수 있다.

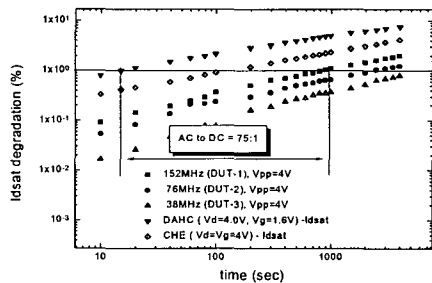


그림 5. AC와 DC 스트레스에 의한 I_{dsat} 열화 비교

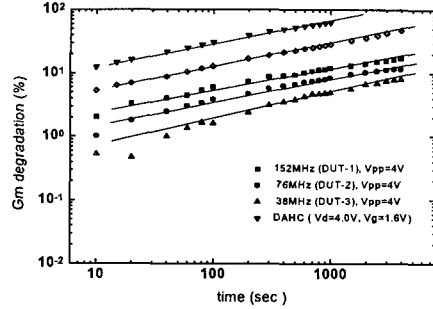


그림 6. AC와 DC 스트레스에 의한 g_m 열화 비교

IV. 결론

본 논문에서는 기존의 LDD 구조로 문제가 되었던 핫-캐리어 열화 현상을 WSW(Wrap Side Wall) 소자를 사용하여 전계를 줄임으로서 핫-캐리어 열화발생을 억제 할 수 있음을 알았다. On chip에서 WSW 소자를 이용하여 주파수에 대한 AC와 DC 스트레스 조건에 대한 I_{dsat} 열화 특성을 분석하였다. 또한 주파수에 대한 AC와 DC 스트레스에 의한 트랜스컨덕턴스 g_m 열화 특성도 분석하였다[3,4]. 그리고 on chip에서 AC 스트레스에 의한 10% I_{dsat} 열화는 38MHz에서 DC 보다 수명이 73배정도 향상된 특성을 보였다.

참고문헌

- [1] K. R. Mistry. et. al., "AC versus DC Hot-Carrier Degradation in n-channel MOSFET", IEEE Trans. Electron Devices, vol. 40, pp. 96, 1993.
- [2] N. Shimoyama. et. al., "Enhanced Hot-Carrier-Degradation in LDD MOSFET's Under Pulsed Stress", IEEE Trans. Electron Devices, vol. 42, pp. 1600, 1995.
- [3] R. Bellens. et. al., "The Influence of the Measurement Setup on Enhanced AC Carrier Degradation of MOSFETs", IEEE Trans. Electron Devices, vol. 37, pp. 310, 1990.
- [4] R. Subrahmanian. et. al., "MOSFET Degradation Due to Hot-Carrier Effect at High Frequencies", IEEE Electron Device Lett., vol. 11, pp. 21, 1990.