

실시간 영상 압축 및 복원 기능을 갖는 JPEG 코어 설계

김 성 오, 김 상 현, 김 승 호, 조 경 순
한국의국어대학교

전화 : 031-330-4502 / 핸드폰 : 018-205-7665

Design of JPEG Core for Real-Time Image Compression and Decompression

SungOh Kim, SangHyun Kim, SeungHo Kim, Kyeongssoon Cho
Hankuk University of Foreign Studies
E-mail : sunsu96@onnurimail.com

Abstract

This paper describes the design and implementation results of JPEG core, based on the ITU-T Recommendation T.81. We designed the RTL circuit in Verilog HDL, making reference to the JPEG program from the Independent JPEG Group. The circuit has been simulated with Verilog-XL, synthesized with Design Compiler and verified using Altera FPGA. Since the synthesized circuit includes a small number of gates, it is expected to be used as a core module in image processing SOC.

I. 서 론

음성 및 영상자료를 사용하는 멀티미디어 시스템은 기존의 문자 위주의 정보전달에 비해서 훨씬 효과적이다. 그러나 이와 같은 멀티미디어 정보를 처리, 분석, 저장하기 위해서 필요한 기억용량은 기존의 문자정보와 비교하여 수십 배에서 수만 배 이상이 되므로 음성 및 영상 자료에 대한 압축 및 복원 기술이 필수적이다. 본 논문에서는 정지영상의 압축 및 복원 기능을 실시

간으로 수행할 수 있는 JPEG 코어 설계에 대하여 기술하고 있다. 이 코어는 영상 처리용 SOC를 구현할 때 핵심 블록으로 사용될 예정이다.

본 논문에서 기술하고 있는 JPEG 코어는 ISO/IEC 10918-1(ITU-T T.81)에 근거한 디지털 영상의 압축 및 복원에 관한 규격을 만족하며, VGA급 720x480 해상도의 칼라 이미지를 27MHz 동작주파수에서 실시간으로 처리할 수 있다. 또한 압축 기능과 복원 기능을 선택적으로 수행할 수 있을 뿐만 아니라, 압축 시 화질 조절이 가능하도록 설계하였다.

II. 회로구성 및 설계

2.1 JPEG 코어 구조

JPEG은 정지영상 압축의 표준으로서 베이스라인 모드는 DCT(Discrete Cosine Transform), 양자화, VLC(Variable Length Coding)로 이루어진다[1]. 본 논문에서는 이를 실시간으로 처리하기 위해 전체 압축과 복원 과정을 2단 파이프라인으로 구성하였으며, 첫번째 단계는 DCT, 양자화, 지그재그 변환을 수행하며 두번째 단계는 VLC를 수행한다. 전체 타이밍도는 그림 1과 같다.

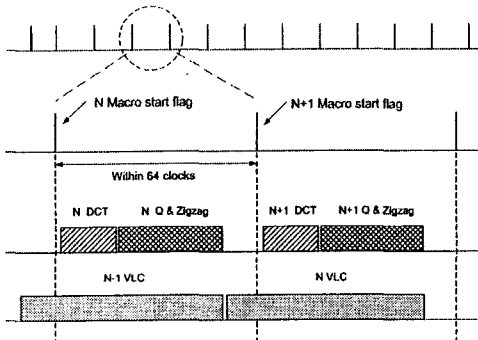


그림 1. JPEG 코어의 타이밍도

설계한 JPEG 코어는 ISO/IEC 10918-1 (ITU-T T.81)에 근거한 디지털 영상의 압축 및 복원에 관한 규격을 만족하고 압축 기능과 복원 기능을 선택적으로 수행할 수 있다. 그리고 압축 시 화질 조절이 가능하다. JPEG 코어의 구조는 그림 2와 같다.

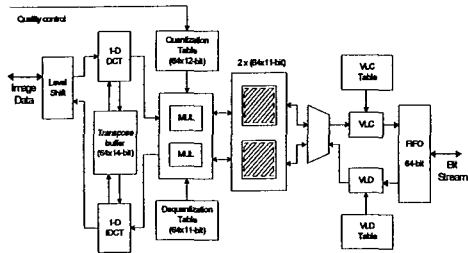


그림 2. JPEG 코어의 구조

2.2 세부 블록 설계

2.2.1. DCT / IDCT

DCT는 2차원의 공간영역 값들을 주파수 영역의 값으로 변환하는 연산으로써, 이 연산과정을 살펴보면 많은 가산과 승산으로 이루어져있다. 이와 같은 가산과 승산 연산으로 인하여 DCT 블록을 하드웨어로 설계할 때 면적과 지연시간이 커지게 된다. 본 논문에서는 AA&N (Arai, Agui and Nakajima) 알고리즘[2]을 이용하여 가산과 승산의 수를 줄였으며, 행렬 분할 방식을 적용하여 2차원 DCT를 두 번의 1차원 DCT 수행으로 처리하였다. 그림 3은 행렬 분할 방식으로 구성된 2차원 DCT 구조이다.

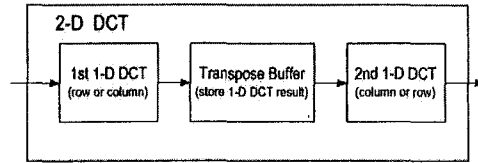


그림 3. 행렬 분할 방식

[2]의 알고리즘을 이용하면 1x8 행 (또는 열) 방향의 DCT 연산은 29번의 가산과 5번의 승산이 필요하게 되므로 8x8 한 개의 블록에 대하여 2차원 DCT 연산을 수행할 때 464번의 가산과 80번의 승산이 필요하게 된다. 이러한 승산과 가산 연산을 순차적으로 수행하면 지연시간이 길어지므로 이를 해결하기 위해서 다시 1차원 DCT를 2단 파이프라인 구조로 구현하였다. 1차원 DCT를 2단 파이프라인으로 나누기 위하여 가장 긴 지연시간을 갖는 경로를 조사하여 이 경로를 기준으로 2단으로 나누었을 경우 최소의 지연시간을 가지는 경로를 여러 번의 합성결과로 알아내었다. 그림 4는 2단 파이프라인 구조의 1차원 DCT와 행렬 분할 방식을 적용한 DCT 블록의 구조이다.

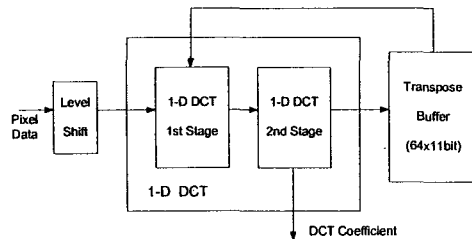


그림 4. DCT 블록 구조

IDCT 또한 기본적인 구조는 DCT와 동일하나 픽셀 값의 범위를 제한하는 블록이 출력 단계 추가로 첨가되었다.

2.2.2. 양자화 / 역 양자화

양자화 과정은 DCT된 결과를 양자화 테이블에 의해 결정 되는 레벨의 수로 나누는 제산연산이다. 본 논문에서는 이를 승산기를 이용하여 구현하였다. 승산기를 사용하면 제산기와는 달리 자동합성이 가능하고, 그림 5에서와 같이 역 양자화와 제산기 공유가 가능하게 된다.

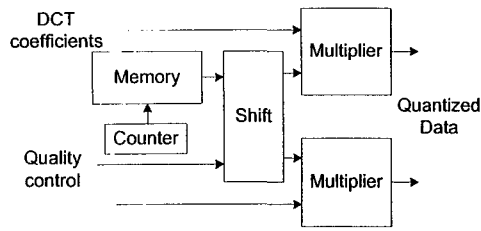


그림 5. 양자화 / 역 양자화 블록도

메모리 블록에는 부호화에 사용될 양자화 레벨에 대한 역수 값과 복호화에 사용될 양자화 레벨 값이 저장되어 있다. 제산 연산을 역수 값과 쉬프트 연산을 이용하여 승산기로 대체 했을 때 동일한 값을 얻어내기 위해서는 역수 값이 저장될 메모리의 크기를 얼마나 할당 해야 할 지가 중요한 문제가 된다. 본 논문에서는 이를 메모리 크기별 PSNR (Peak Signal to Noise Ratio) 측정 실험을 통해 12 비트로 결정하였다. 실험에 대한 결과는 표 1과 같이 양자화 테이블 값이 저장될 메모리의 크기가 12 비트 이상이면 제산기를 사용했을 때와 동일한 PSNR 값을 얻을 수 있다.

표 1. 양자화 테이블 사이즈별 PSNR 비교

연산기	1/Q 비트 수	PSNR (dB)
승산기	10	37.717
	11	37.717
	12	38.131
	13	38.131
	14	38.131
제산기		38.131

설계한 양자화 블록은 압축율과 화질 조절이 가능하도록 표 2와 같이 4가지 레벨로 양자화 테이블 값을 변화 시킬 수 있다. 이 기능은 테이블에 대한 쉬프트 연산으로 구현하였다.

표 2. 화질에 따른 양자화 테이블 변환

화질 조절	테이블 값
00	$Q_{xy} * 2$
01 (good)	$Q_{xy} * 1$
10 (very good)	$Q_{xy} * 1/2$
11 (excellent)	$Q_{xy} * 1/4$

2.2.3. 지그재그 변환

지그재그 변환부는 양자화된 래스터 형태의 데이터를 VLC 변환을 위해 지그재그 형태로 메모리에 담는 기능을 수행한다.

양자화된 한 매크로 블록의 데이터가 메모리에 다 쓰이기 전에 VLD (Variable Length Decoding) 블록에서 읽기 동작을 수행하게 되면 이미지 데이터에 오류가 생기게 된다. 이를 방지하기 위해 그림 6과 같이 2개의 메모리를 사용하여, 현재 블록의 메모리에 쓰여질 때 다른 메모리의 데이터가 이전 블록의 지그재그 변환된 데이터를 출력하도록 설계 하였다.

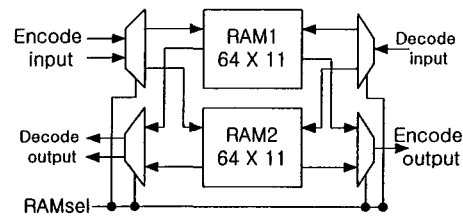


그림 6. 지그재그 변환부 블록도

2.2.4. VLC / VLD

2.2.4.1. VLC

VLC에 입력되는 8x8의 양자화된 계수는 1개의 DC와 63개의 AC 성분으로 구성 되어 있다. 고주파 성분의 양자화된 AC 계수는 많은 부분이 '0'의 값을 가지게 된다. 따라서 이러한 특성을 이용하여 VLC는 각 계수를 부호화하지 않고 '0'의 계수를 헤아리고 이를 부호화하는 RLC (Run Length Coding)를 함으로써 보다 큰 압축율을 얻게 된다[3].

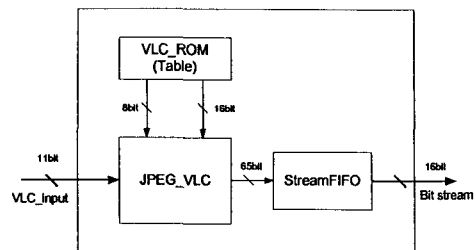


그림 7. VLC 블록도

그림 7의 VLC 블록도를 보면 VLC 블록은 먼저 지그재그 변환 블록에서 11 비트 출력 값

을 입력 받아 JPEG_VLC 블록에서 그 값을 부호화하게 된다. 이렇게 부호화된 값은 비트 스트림 단위로 Streamfifo 블록의 128 비트 FIFO에 담겼다가 16 비트 단위로 외부에 출력 되도록 설계되었다. 테이블은 표준규격에서 제공한 고정 테이블을 사용하였고 조합회로 형태로 구현하였다.

2.2.4.2. VLD

VLD는 압축된 데이터 스트림을 입력으로 하여 복호화 된 심볼의 값을 찾는다. 이 데이터 스트림은 가변길이의 VLC 부호 정보와 부가 비트로 구성되어 있다. 이 때문에 부호 정보로부터 한 개의 심볼에 대한 복호 정보를 찾고 이로부터 부가 비트에 대한 비트 수를 환산한 후 비트 수 만큼 입력으로부터 받은 계수 데이터를 그대로 출력한다.

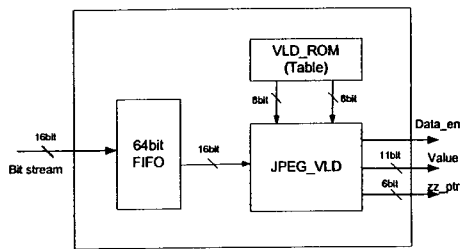


그림 8. VLD 블록도

그림 8의 VLD 블록을 보면 VLD 블록은 복원 될 값이 16 비트 스트림 단위로 64 비트 FIFO에 담기게 된다. 이 값을 가지고 JPEG_VLD 블록에서는 압축전의 11 비트 값으로 복원하게 된다. 복원된 값은 지그재그 변환부의 메모리 주소와 함께 출력으로 나가도록 설계되었다. 테이블은 VLC 블록과 동일하다.

III. 실험결과

본 논문에서는 Independent JPEG 그룹[4]에서 제공하는 JPEG C 프로그램을 이용하여 결과를 검증하였고 Verilog HDL을 사용하여 회로 설계를 하였다. 그리고 Cadence사의 Verilog-XL로 이를 검증하였다. ㈜삼성전자의 0.35 μ m Standard Cell 라이브러리와 Synopsys사의 Design Compiler를 사용하여 85,493 게이트로 구성된 논리수준 회로를 구현하였으며, 27MHz

의 동작주파수를 사용하였다. 표 3은 각 블록별 게이트 사이즈와 지연시간을 나타내고 있다.

표 3. 각 블록별 게이트 개수와 지연시간

블록명	DCT / IDCT	양자화 / 역 양자화	VLC / VLD
게이트 수	29,000	30,000	9080 / 17416
지연시간 (ns)	15.63	11.68	13.67/34.59

위와 같이 설계된 JPEG 코어는 Altera사의 APEX2KE FPGA를 이용하여 보드상에서 검증하였다.

IV. 결 론

본 논문에서는 ISO/IEC 10918-1(ITU-T T.81)에 근거하여 디지털 영상의 압축 및 복원에 관한 규격을 만족하는 JPEG 코어를 VGA급 720x480 해상도의 칼라 이미지를 27MHz 동작 주파수에서 실시간으로 처리할 수 있도록 설계한 결과를 기술하였다. 파이프 라인 기법을 이용하여 회로의 지연시간을 줄였으며, 허프만 테이블을 조합 회로 형태로 최적화함으로써 회로의 크기를 감소시켰다. 본 논문에서 기술한 JPEG 코어는 향후 영상 처리용 SOC에서 핵심모듈로 사용될 예정이다.

Acknowledgement

본 연구는 ㈜ECT사의 지원과 IDEC의 CAD tool 지원에 의해서 이루어졌음.

참고 문헌

- [1] CCITT Recommendation T.81, Digital Compression and Coding of Continuous-Tone Still images, Sep. 1992.
- [2] Y.Arai, T.Agui, M.Nakajima. "A Fast DCT-SQ Scheme for Images", *Transactions of IEICE*, vol.E71, no.11, 1988, pp.1095-1097.
- [3] K.R.Rao and J.J.Hwang, Techniques and Standards for Image, Video and Audio Coding, *Prentice Hall*, 1996, pp.133-142.
- [4] <http://www.iwg.org>, Independent JPEG Group Web site.