

100nm 이하의 CMOS소자를 위한 Ni Silicide Technology

이현진, 지희환, 배미숙, 안순의, *박성형, *이기민, *이주형, 왕진석, 이희덕
충남 대학교 전자공학과 *(주)하이닉스
전화 : (042)821-7702 / 팩스 : (042)691-3084 / 핸드폰 : 016-691-3084

Technology of Ni Silicide for sub-100nm CMOS Device

Hun Jin Lee, Hee Hwan Ji, Mi Suk Bae, Sun Eui An, *Sung-Hyung Park, *Key Min Lee, *Joo-Hyoung Lee,
Jin Suk Wang, Hi-Deok Lee
Dept. of Electronics Engineering, Chungnam National University
*Hynix Semiconductor Co., LTD
E-mail : lhunjin@cnu.ac.kr

Abstract

In this paper, a NiSi technology suitable for sub-100nm CMOS device is proposed. It seems that capping layer has little effect on the sheet resistance and junction leakage current when there is no thermal treatment. However, there happened agglomeration and drastic increase of junction leakage current without capping layer. In other word, capping layer especially TiN capping layer is highly effective in suppressing thermal effect. It is shown that the sheet resistance of 0.12 μm linewidth and shallow p+n junction with NiSi were stable up to 700 $^{\circ}\text{C}$ /30 minute thermal treatment.

I. 서론

실리사이드는 CMOS 소자에서 Source 와 Drain, 그리고 gate에서 접촉 저항(Contact resistance) 및 직렬 저항(Series resistance)을 감소 시키는데 사용되고 있다 [1-3].

그 중에서 TiSi_2 와 CoSi_2 는 낮은 비저항과 다양한 응용성 때문에 가장 보편적으로 이용되고 있다[4,5]. 그러나 이런 실리사이드 기술 또한 여러 가지 문제점 때문에 그 응용에 한계가 있게 되었다[6]. 즉, TiSi_2 의 경우 낮은 비저항을 갖는 C54의 상을 갖게 하는 열처리가 어렵고 특히 면저항의 선폭 의존성이 큰 단점이 있다[7,8]. 이런 문제점을 해결하기 위하여 CoSi_2 가 적용되고 있으나 이 또한 0.1 μm CMOS 영역으로 접어들면서 낮은 면저항을 얻기 위한 CoSi_2 형성 시 Co의 Si에 대한 소모율이 커서 Junction penetration 시킬 가능성이 크고 cleaning process에 많은 주의를 기울여야 하는 단점을 가지고 있다[9,10]. 그래서 이런 Ti와 Co의 단점을 극복하기 위해 제안된 NiSi는 Sub-0.1 μm CMOS영역에서 아주 적합한 기술로 대두하게 되었다[11,12]. 즉 NiSi는 TiSi_2 와 CoSi_2 의 장점을 모두 가지고 있는데, 예를 들면 낮은 온도(400-750 $^{\circ}\text{C}$)에서 단 한번의 열처리 과정으로 낮은 비저항(14 $\mu\Omega\text{ cm}$)을 갖

는 NiSi형성이 가능하고 Si 소모율이 낮고 선폭 의존성이 작다[6,13-15].

그러나 이런 NiSi도 특히 낮은 열적 안정성(thermal Stability)이 문제점으로 부각됐다. 즉 낮은 NiSi-Si 계면 특성은 결국 큰 접합 누설 전류와 면저항 열화를 발생 시키는데[16] 이는 NiSi의 Sub-0.1 μm CMOS 응용에 있어 가장 큰 문제점으로 작용하고 있다[6].

그래서 최근 이런 문제점을 개선하기 위한 몇가지 방법이 제안 되었다[6,16-19]. 이런 제안된 방법들도 결국 산소(Oxygen)와 Ni의 결합을 줄이는 것이 목적인데 이는 산소는 Ni와 결합하여 실리사이드를 형성 시키는데 있어 지연시키거나 나아가 억제하는 작용을 하기 때문에 NiSi-Si 계면 특성을 열화 시킨다[20]. 이는 결국 junction Spiking을 초래하게 되어 접합 누설 전류를 증가시킨다. 그래서 산소와 Ni의 결합을 막기 위해 Capping layer로써 Ti와 TiN의 적용이 제안 되었다. Ti는 산소(Oxygen) 급격히 결합하여 희생층(Sacrificial layer)으로 작용을 하고 TiN은 확산 방벽(Diffusion Barrier)로써 작용을 하여 응집현상(Agglomeration)을 방지함으로써 열적 안정성을 높일 수 있는 것으로 보고 되고 있다.

본 논문에서는 Capping layer에 따른 면저항 및 Junction leakage의 의존성 및 후속 열처리에 대한 변화를 분석하여 Sub-0.1 μm CMOS에 적합한 NiSi기술을 제안하고자 한다.

II. 실험

Ni 및 Capping layer를 증착(Deposition)하는 방법에는 여러 가지가 있으나 본 논문에서는 IBS(Ion Beam Sputter System)를 이용하였다. 공정 전 기본 진공도(Base Pressure)는 8×10^{-7} Torr이었고 공정 진공도(Working Pressure)는 1.9×10^{-4} Torr 이었다. Sputtering Gas로는 Ar를 사용했고 증착 시 기관의 온도는 30 $^{\circ}\text{C}$ 였다. 또한 증착 시 Ion Gun의

Beam current 및 Voltage는 각각 20mA, 700eV 이었다. 그리고 Ni를 먼저 증착한 후 진공도를 그대로 유지시킨 상태에서 Capping Layer로써 Ti와 TiN을 증착하였다. Ni와 Capping Layer를 증착한 후 NiSi를 형성시키기 위해 N₂ 분위기에서 10⁻³ Torr의 진공을 유지 시키면서 400 ~ 750 °C의 온도에서 30초간 급속 열처리(Rapid Thermal Process)를 하였다.

급속 열처리를 실시하여 Ni 실리사이드를 형성시킨 후 반응하지 않은 Ni를 선택적으로 제거하기 위해 염산 혼합액에서 수분간 에칭을 실시하였다. 또한 Capping한 경우 즉 Ni/Ti 또는 Ni/TiN의 경우에는 Capping Layer인 Ti와 TiN을 황산 혼합액과 수산화 암모늄 혼합액에서 각각 1차적으로 에칭(First Etching)한 후 다시 반응하지 않은 Ni를 제거하기 위해 염산혼합액에서 2차적으로 에칭(Second Etching)을 하였다. 형성된 Ni-실리사이드의 열적 안정성(Thermal Stability)을 평가하기 위해 600, 700, 800°C에서 30분간 고온로(Furnace)에서 열처리를 하였다. 온도를 달리 하여 급속 열처리로 제작된 NiSi와 이를 고온 열처리한 시편의 면 저항(Sheet Resistance)특성과 누설 전류 밀도의 측정은 4-point-probe 와 HP 4156C를 각각 이용하였다. 또한 형성된 NiSi-Si의 계면 특성(Morphology)을 확인하기 위해 투과 전자 현미경(TEM)과 전계 방출 주사 전자 현미경(FESEM : Field Emission Scanning Electron Microscopy, Model: Hitach,s-4700,기초 과학 지원 연구원 전주 분소)을 이용하였으며 성분 분석을 하기 위해 XPS분석을 실시 하였다.

III. 실험 결과

P-Type 기판에 Ni (200 Å), Ni/Ti (200/100 Å), Ni/TiN (200/100 Å)을 각각 증착 후 급속 열처리(RTP, Rapid Thermal Process)를 온도에 따라 실시하여 Ni-실리사이드를 형성하여 각각의 경우에 대해 면저항을 측정하였다. 우선 NiSi의 단면도를 보면 그림 1과 같이 NiSi가 매우 균일하게 잘 형성됨을 나타내고 있으며 각 Split간의 차이가 거의 없이 관찰되고 있다. NiSi의 면저항 측정 결과 그림 2와 같이 면저항이 갑자기 증가하는 온도가 Capping Layer(Ti, TiN)의 유무에 따라 조금 다르게 나타나고 있으나 그 차이가 그리 크게 나타나지 않고 있으며 Ti capping 경우에 저항 값이 다소 크게 나타나고 있다. Capping layer에 따른 NiSi의 조성 분석을 위해 XPS 분석을 하였는데 그림 3과 같이 Ni과 Si의 비율이 거의 약 50:50으로 분석되었다. 따라서 NiSi가 형성된 상태에서는 면저항이나 단면 모두 Capping 유무에 따른 차이는 별로 나타나지 않고 있으므로 마치 capping에 의한 효과는 거의 없는 것과 같이 보여지고 있다.

그러나 형성된 NiSi의 열적 안정성(Thermal Stability)을

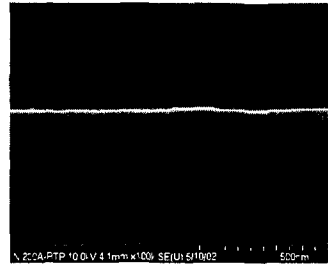


그림 1. RTP온도와 시간이 각각 500°C,30초에서 형성시킨 NiSi의 FESEM 이미지 (Ni-200 Å)

Fig.1. Cross-sectional FESEM image of NiSi (RTP:500 °C, 30s, Ni-200 Å.)

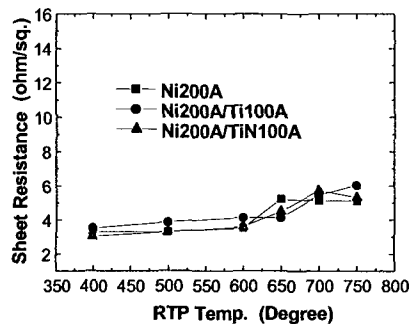


그림 2. RTP온도에 따른 면저항 특성

Fig. 2. Dependence of sheet resistance on RTP temperature.

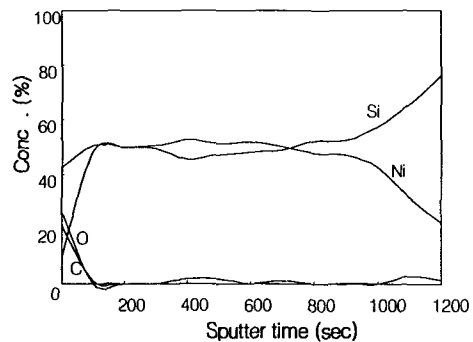


그림 3. RTP온도와 시간이 각각 500°C,30초에서 형성시킨 NiSi의 XPS분석 결과(Ni200Å 증착)

Fig. 3. XPS depth profile of NiSi (RTP:500 °C, 30s, Ni200 Å)

관찰하기 위해 고온로(Furnace)에서 600, 700, 800 °C에서 30분간 각각 열처리를 한 경우에는 그림 4와 같이 차이가 매우 크게 나타남을 알 수 있다. 600 °C, 30분 열처리에서는 거의 차이가 없으나 700 °C에서는 특성이 매우 달라져서 Capping이 없는 경우에는 면 저항이 4 배 이상 증가하였다. 그러나 Capping layer가 있는 경우에는 그 증가율이 적었으며 특히 TiN인 경우에 증가율이 제일 적었다. Capping layer가 없는 경우 고온 열처리에 의해 저항이 급격히 증가하는 이유는 NiSi가 mono-Silicide→di-Silicide

→Agglomeration →Island Structure순으로 변이가 쉽게 발생하기 때문인데 이는 그림 5와 같이 전계 방출 주사 전자 현미경(FESEM, Field Emission Scanning Electron Microscopy)관찰 결과 응집(Agglomeration)현상이 나타나서 섬 구조(Island Structure)로 변환됨을 확인할 수가 있었다. 그러나 확산 방벽(Diffusion Barrier)으로서 적용된 Capping layer(TiN)의 경우에는 그림 6과 같이 온도에서 응집현상과 섬 구조(Island Structure)가 나타나지 않고 있다.

이와 같이 NiSi에 포함된 산소(Oxygen)는 NiSi가 상변이할 때 NiSi계면을 불균일하게 형성시키는 작용을 한다. 그래서 Capping Layer(Ti, TiN)을 증착한 경우는 Ni와 산소(Oxygen)와의 접촉을 줄여서 열처리 온도를 증가시킬 때 상 변이(Phase Transition)되어도 계면(NiSi-Si Interface) 특성의 열화(Degradation) 현상이 적게 된다.

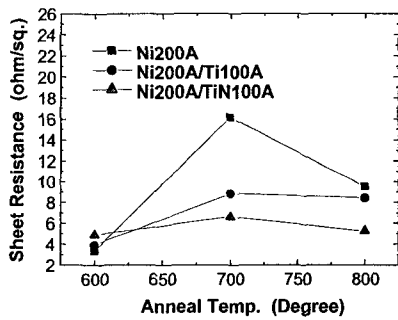


그림 4. NiSi의 고온 열처리(Furnace : 600,700,800°C, 30분)에 따른 면저항 특성

Fig. 4. Dependence of sheet resistance on the annealing temperature. (Furnace : 600, 700 and 800 °C for 30 min.)

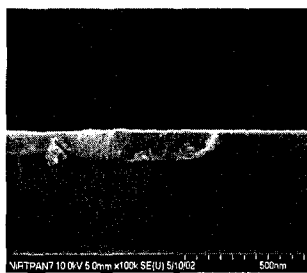


그림 5. 500°C, 30초에서 형성시킨 NiSi를 고온 열처리(700°C) 후 FESEM 사진(Ni200Å 증착)

Fig. 5. Cross-sectional FESEM image of NiSi (RTP: 500°C, 30s, Anneal: 700°C, Ni200Å)

또한 불순물(BF₂)을 첨가한 경우 급속 열처리(RTP)온도에 따른 면저항 특성을 관찰해 본 결과 그림 7과 같이 BF₂를 Doping한 경우에 면 저항이 가장 낮았으며 고온 열처리(Furnace, 700°C, 30 Min) 후 투과 전자 현미경(Transmission Electron Microscopy)분석 결과를 보면 그림 8과 같이 응집

현상이나 섬 구조(Island Structure)변환 현상이 거의 일어나지 않아 계면 특성(Morphology)이 상당히 우수함을 확인하였다. 이는 불순물에 포함 되어있는 불소(Fluorine)에 의해서 산소에 의한 NiSi-Si 계면 특성 열화현상이 감소 되기 때문이다.

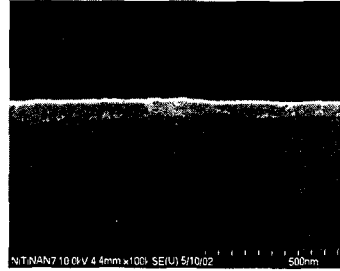


그림 6. 500°C, 30초에서 형성 시킨 NiSi를 고온 열처리(700°C) 후 FESEM사진(Ni200Å/TiN 100Å 증착)

Fig. 6. Cross-sectional FESEM of NiSi (RTP: 500°C, 30s, Anneal: 700°C, Ni200Å/TiN 100Å)

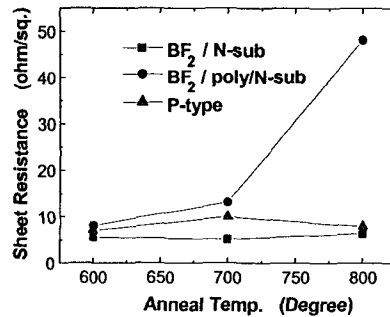


그림 7. 불순물(BF₂) 주입된 기판(N-Sub)에 NiSi를 형성시킨 후 고온 열처리에 따른 면저항 특성(Ni200Å/TiN 100Å 증착)

Fig. 7. Dependence of NiSi (BF₂-doped) sheet resistance on the annealing temperature. (Ni200Å/TiN 100Å)

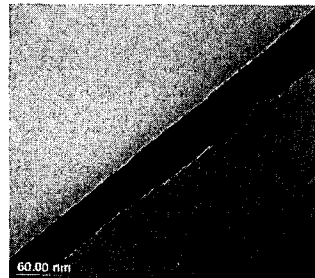


그림 8. 불순물(BF₂) 주입된 기판(P-Sub)에 형성시킨 NiSi를 고온 열처리(700°C/30분) 후의 TEM 사진(Ni200Å/TiN100Å)

Fig. 8. Cross-sectional TEM image of NiSi(BF₂-doped) after annealing at 700°C for 30 min. (Ni200Å/TiN 100Å)

실제 응용성을 파악하기 위해 미세 선폭 (Line Width, 0.12 μ m - 1.6 μ m)을 구현하여 Ni-Silicide를 형성시키고 고온 열처리(600 $^{\circ}$ C, 30분)후에 각각의 면저항을 측정하였다. 그 결과 그림 9와 같이 Ni만 증착한 경우는 고온 열처리후 면저항이 모든 선폭에 걸쳐 측정이 되지 않는 반면에 Capping Layer(TiN)를 적용한 경우는 저항 증가가 있기는 하지만 선폭에 대한 경향성은 Anneal 전과 비교하여 거의 차이가 없음을 보여주고 있다.

또한 p+n Diode를 제작하여 NiSi형성시키고 급속 열처리(RTP, 500 $^{\circ}$ C, 30초) 및 고온 열처리(Furnace, 700 $^{\circ}$ C, 30분) 후 누설 전류밀도(Leakage Current Density, A/ μ m²)를 측정하였다. 그림 10과 같이 NiSi만 형성한 경우에는 Capping 여부에 따른 누설전류의 차이는 거의 없게 나타나고 있지만 열처리를 실시한 경우 Ni200A만 증착한 Sample의 누설전류는 10⁴ 배 이상 증가하였으나 Ni200A/TiN100A을 증착한 경우에는 10배 정도 증가에 그치고 있음을 보여주고 있다.

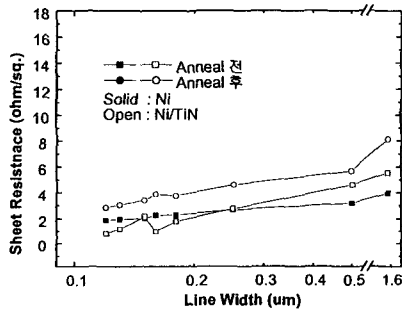


그림 9. Capping Layer유무에 따른 면저항 특성. (Ni200A, Ni200A/TiN100A, 열처리/600 $^{\circ}$ C/30분)

Fig. 9. Dependence of sheet resistance on the capping layer (Ni 200A, Ni 200A/TiN 100A, Anneal : 600 $^{\circ}$ C, 30 min)

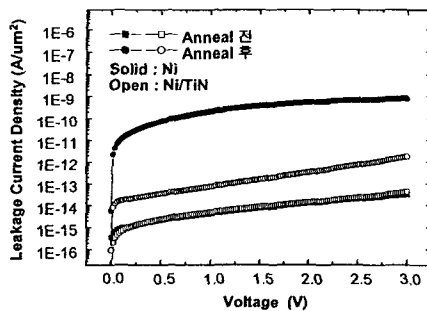


그림 10 Capping Layer(TiN)유무에 따른 누설 전류 특성. (Ni200A, Ni200A/TiN100A, 열처리/700 $^{\circ}$ C/30분)

Fig. 10. The dependence of p+n junction leakage current on the capping layer. (Ni200A, Ni 200A/TiN 100A, Anneal: 700 $^{\circ}$ C, 30 min)

IV. 결론 및 고찰

IBS(Ion Beam Sputter System)를 이용하여 Ni 및 Capping layer(Ti, TiN)를 증착하고 급속 열처리를 하여 Ni-Si를 형성 시키고 난 후 열적 안정성 분석을 위한 고온 열처리(600, 700, 800 $^{\circ}$ C, 30분)후 면저항 측정 및 FESEM, TEM, XPS분석 결과 고온 열처리(700 $^{\circ}$ C, 30분)후의 경우를 보면 Capping(Ti/TiN)한 경우는 그렇지 않은 경우와 비교하여 면저항에서 매우 유리함을 보여주고 있다. 또한 실제적으로 0.12 μ m에서 2 μ m까지의 선폭을 구현한 경우에도 약 8 Ω /sq.의 안정적인 면저항을 확보 하였다 (n-type, TiN의 적용). 그리고 이를 Diode에 적용한 결과 고온 열처리(Furnace, 700 $^{\circ}$ C, 30분)후 측정된 누설전류 밀도 특성이 TiN을 적용함으로써 약 10⁴ 배 향상 되었다.

Acknowledgments

본 연구는 한국과학기술연구원(R01-2001-000-00323-0)지원으로 수행 되었음.

참고 문헌 (Reference)

- [1] S.P. Murarka, Journal of Vacuum Science and Technology B4 (1986) 1325-1331
- [2] C.M. Osburn, Q.F. Wang, M. Kellam, C. Canovai, P.L. Smith, G.E. McGurire, Z.G. Xiao, G.A. Rozgonyi, Appl. Surf. Sci. 53 (1991) 291-312
- [3] M.C. Poon, F. Deng, M. Chan, W.Y. Chan, S.S. Lau Applied Surface Science 157 (2000) 29-34
- [4] Y. Taur, J. Sun, D. Moy, L.K. Wang, B.Davari, S.P. Klepner and C.Y. Ting, IEEE Trans. Electron Devices 34 (1987) 575
- [5] S. P. Murarka, D. B. Fraser, A. K. Sinha, H. J. Levinstein, E. J. Lloyd, R. Liu, D. S. Williams and S. J. Hillenius, J. Appl. Phys. 58 (1985) 971.
- [6] Chel-Jong CHOI, Young-Woo OK, Tae-Yeon SEONG, Hi-Deok LEE, Jpn. J. Appl. Phys. Vol. 41 (2002) 1-5
- [7] T. Yamazaki, K. Goto, T. Fukano, Y. Nara, T. Sugii, and T. Ito, IEDM Tech. Dig.(1993) 906
- [8] K. Goto, T. Yamazaki, A. Fushida, S. Inagaki, H. Yagi, Symp.on VLSI Tech, (1994) 119
- [9] J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss: IEEE Trans. Electron Devices 38 (1991) p 262.
- [10] E. G. Colgan, J. P. Gambino and Q. Z. Hong: Mater. Sci. Eng. Rev. 16 (1996) 43.
- [11] F. Deng, R. A. Johnson, P. M. Asbeck, S. S. Lau, W. B. Dubbelday, T. Hsiao and J. Woo: J. Appl. Phys. 81 (1997) 8047.
- [12] T. Morimoto, T. Ohguro, H. Sasaki Momose, T. Iinuma, I. Kunishima, K. Suguro, I. Katakabe, H. Nakajima, M. Tsuchiaki, M. Ono, Y. Katsumata and H. Iwai: IEEE Trans. Electron Devices 42 (1995) 915.
- [13] T. Morimoto, H. S. Momose, T. Iinuma, I. Kunishima, K. Suguro, H. Okana, I. Katakabe, H. Nakajima, M. Tsuchiaki, M. Ono, Y. Katsumata and H. Iwai: Tech. Dig. of IEDM (1991) 653.
- [14] J. Chen, J.-P. Colinge, D. Flandre, R. Gillon, J. P. Raskin and D. Vanhoenacker: J. Electrochem. Soc. 144 (1997) 2437.
- [15] M. A. Nicolet and S. S. Lau: VLSI Electronics Microstructure Science, eds. N. G. Einspruch and G. B. Larrabee, Academic, New York, (1983) 329.
- [16] T. H. Hou, T. F. Lei and T. S. Chao: IEEE Electron Device Lett. 20 (1999) 572.
- [17] D. Z. Chi, D. Mangelinck, S. K. Lahiri, P. S. Lee and K. L. Pey: Appl. Phys. Lett. 78 (2001) 3256.
- [18] T. Ohguro, S. Nakamura, E. Morifuji, M. Ono, T. Yoshitomi, M. Saito, H. S. Momose and H. Iwai: Tech. Dig. Int. Electron Devices Meet., 1995, 453.
- [19] T. Ohguro, T. Morimoto, Y. Ushiku and H. Iwai: Ext. Abstr. SSDM, 1993, 192.
- [20] C. detavemier, R.L Van Meirhanoghe, F. Cardon, R.A. Donaton, K. Maex, Microelectronic Engineering 50 (2000) 125-132.