

0.25 μm gate Double-heterostructure AlGaAs/GaAs PHEMT의 성능향상을 위한 디지털 리세스에 대한 연구

류 충 식, 장 효 은, 범 진 옥
서강대학교 전자공학과
전화 : 02-714-6205 / 핸드폰 : 017-235-7310

Digital recess etching for advanced performance of 0.25 μm Double-heterostructure AlGaAs/GaAs PHEMT

Choong Sik Ryu, Hyou-Eun Jang, Jinwook Burm
Dept. of Electronic Engineering, Sogang University
E-mail : ryukang@sogang.ac.kr

Abstract

A double-heterostructure AlGaAs/GaAs PHEMT (Pseudomorphic High Electron Mobility Transistor) using digital recess has been successfully realized. Furthermore, the differences of $g_{m,max}$, f_T , f_{max} between two samples are as low as 0.62 %, 1.58 % and 2.66 % respectively. Experimental results are presented demonstrating the etch rate and process invariability with respect to hydrogen peroxide and acid exposure times with uniformity among devices on a sample.

I. 서론

정보화의 급격한 발전과 무선통신시장의 확대에 따라 정보처리를 처리하는데 있어서 초고속화와 대용량화가 필요하게 되었고, 이에 따라 주파수 대역은 점점 고주파화, 광대역화가 요구되고 있다. 또한 통신시스템의 경쟁 심화로 인해 고속화 외에도 고집적에 의한 소형화, 고기능화 그리고 저가격화가 요구되고 있다. 이로 인해 초고속 반도체소자와 이를 이용한 집적회로 특히 MMIC(Monolithic Microwave IC)의 필요성이 한층 부각되고 있다.

리세스는 HEMT 제작에서 원하는 값의 최대 전달 컨덕턴스 전압과 문턱전압, 그리고 채널 전류를 얻는데 매우 중요한 과정이다. 현재 많이 쓰이고 있는 리세스 방법으로 습식 식각과 건식 식각이 있다. 습식 식각의 경우 식각용액의 알려진 식각률을 이용, 시간을 조절해 리세스하는 방법인데 이는 소자들의 균일성이 낮고 식각 시간과 온도에 지나치게 민감하여 리세스 전류값의 재현성이 낮다. 또, 건식 식각의 경우도 시간에 민감할 뿐만 아니라 에피표면에 이온 감소 손상을 주는 단점이 있다. [1] 이런 문제점들을 해결하기 위해 digital recess를 제안한다. Digital recess의 경우 시간에 민감하지 않으면서 공정 재현성과 소자간 균일성이 높고 원하는 전류량의 제어에 뛰어난 장점이 있다. [2] 본 논문에서는 digital recess를 이용해 제작한 소자의 DC 및 RF 특성을 분석하고 실험을 통해 그 재현성과 안정성에 대해 알아보았다.

II. Unit process for 0.25 μm GaAs PHEMT using digital recess

2.1 0.25 μm GaAs PHEMT 단위공정

Double-heterostructure AlGaAs/GaAs PHEMT구조는 IQE에서 성장되었고, 그림 1은 실험에 사용된 에피 구조이다. 게이트 길이 0.25 μm 인 PHEMT의 제작은 MA6 photo aligner를 사용해 제작됐으며, T-gate 공정은 e-beam lithography를 이용한 bi-layer기법으로 제작되었다. [3] Ohmic contact는 Au/Ni/AuGe를 증착하여 360 $^{\circ}\text{C}$ 에서 alloy를 하여 0.3 $\Omega\text{-mm}$ 의 contact resistance 값을 얻었다. 리세스는 digital recess를 이용했고 게이트 금속은 Ti/Au를 사용하였다.

n^+ - GaAs Capping Layer (Si : $5.0 \times 10^{18} \text{ cm}^{-3}$)	300 \AA
$\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ Donor Layer	Undoped 250 \AA
-----Si Planar doping ($5.0 \times 10^{12} \text{ cm}^{-2}$)-----	
$\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ Spacer Layer	Undoped 45 \AA
$\text{In}_{0.2}\text{Ga}_{0.3}\text{As}$ Channel Layer	Undoped 120 \AA
$\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ Spacer Layer	Undoped 60 \AA
-----Si Planar doping ($1 \times 10^{12} \text{ cm}^{-2}$)-----	
GaAs Super Lattice Buffer Layer ($\times 10$)	Undoped 2000 \AA
GaAs Buffer Layer	Undoped 5000 \AA
Semi-insulating GaAs Substrate	

그림 5. 실험에 사용된 에피 구조

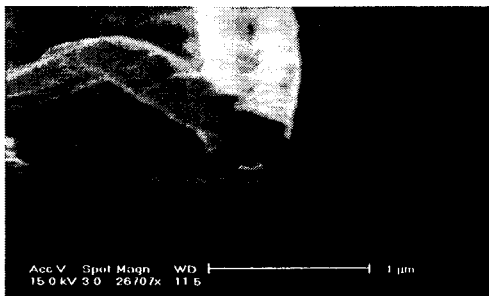


그림 2. 제작된 0.25 μm T-gate 의 SEM 사진

2.2 Digital Recess 공정과 드레인 전류의 변화

Digital recess의 과정은 자연산화막층을 제거한 후 2 단계에 걸친 화학적 식각으로 진행된다. 먼저 H_2O_2 에 산화시킨 후 DI water에 세척하고 다시 $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}$ 용액에 식각시킨 후 DI water에 세척하는 2단계에 걸친 화학적 식각이 digital recess의 한 주기가 된다. H_2O_2 의 H^+ 이온에 반응한 에피에 새로운 산화막이 형성되고 이를 $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}$ 용액이 식각하게 된다. 여기서 H_2O_2 는 화학반응의 확산 한계치까지만 에피를 산화시키므로 수 초 정도의 시간차이에는 영향 받지 않고 일정정도의 산화막만을 형성하게 된다. 또한 H_3PO_4 :

H_2O 용액은 산화되지 않은 에피의 밑 부분에는 영향을 끼치지 않고 산화된 부분만을 선택적으로 식각한다. 이렇게 digital recess는 recess 시간에 대해 비교적 장시간의 허용범위를 갖고 항상 에피의 일정두께만을 식각한다.

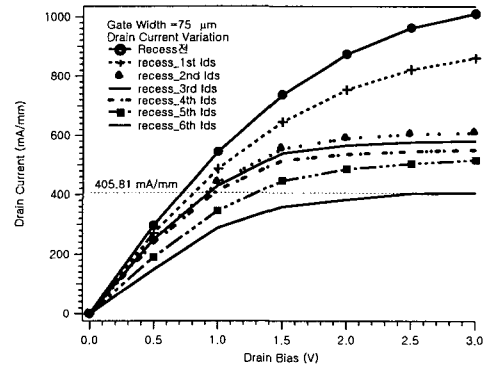


그림 3. 리세스 회수에 따른 드레인 전류의 변화

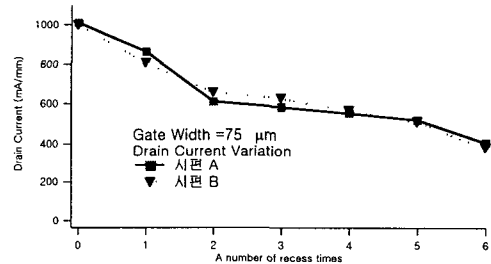


그림 4. 2가지 다른 시편의 리세스 회수에 따른 드레인 전류의 변화 비교

그림3은 recess 회수에 따른 드레인 전류의 변화량을 보여주고 있다. Recess 회수의 증가에 따라 전류는 급격히 변화하다가 완만한 영역을 지나게 된다. 이때가 capping layer를 지나 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ donor layer 영역을 리세스 하고 있는 것이다. 그림 4를 보면, 완만한 영역에서 급격히 떨어지는 영역이 생기는데, 이는 리세스가 planar doping 영역까지 다달았다는 것이 된다. 우리가 원하는 gate recess 영역은 4번의 리세스를 통하여 얻을 수 있다.

그림4는 digital recess의 회수에 따른 드레인 전류 변화 정도가 시편에 관계없이 유사하다는 것을 보여준다. digital recess시 리세스 한 회당 소요시간의 차이가 ± 2 초의 범위내일 때 리세스되는 전류값에 영향을 끼치지 않았다. 이를 통해 일반 리세스와 구별되는

digital recess의 뛰어난 재현성과 recess 시간에 대한 안정성을 알 수 있었다. 또한 에피에 따른 적정 I_{dss} 값을 알아내고자 할 때 일반 리세스의 경우 여러 번의 실험을 거쳐야 하는 어려움이 있으나 digital recess의 경우는 리세스 회수에 따른 $I_{\text{ds}}-V_{\text{ds}}$ 곡선으로 손쉽게 적정 I_{dss} 값을 찾을 수 있다. 그림 4에서 2번째 리세스 때까지 급격히 변하던 I_{dss} 값이 5번째에서는 거의 변하지 않고 6번째에서 다시 급격히 변하기 시작한다. 이를 통해 5번째 리세스에 의한 I_{dss} 값이 적정 I_{dss} 값이라는 것을 쉽게 알 수 있다.

III. Characteristic of 0.25 μm GaAs PHEMT using digital recess

3.1 소자의 DC 특성

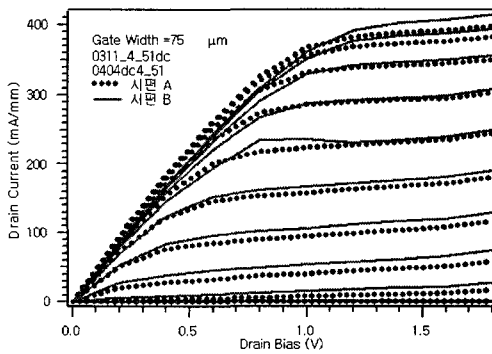


그림 5. 2가지 다른 시편의 드레인 전류 측정 결과를 통한 재현성 비교

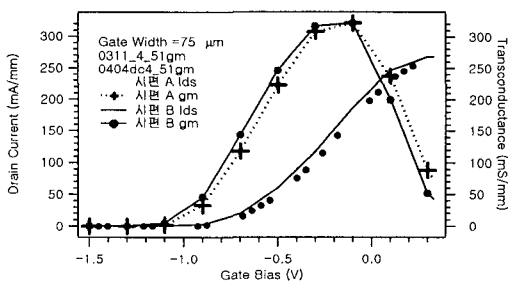


그림 6. 2가지 다른 시편의 전달컨덕턴스(g_m) 측정을 통한 재현성 비교

제작된 PHEMT의 전류-전압 및 전달컨덕턴스(g_m) 특성을 Keithley 237, 238를 이용하여 측정하였다. 제작된 PHEMT의 DC 특성 측정결과 단위 게이트 폭이 75 μm 인 I-V 및 트랜스 컨덕턴스 특성으로 knee

voltage가 1 V, 핀치 오프 전압이 -1.3 V, 드레인 전류 밀도는 356.31 mA/mm이며, 최대 전달 컨덕턴스는 $V_{\text{ds}}=1.5$ V, $V_{\text{gs}}=-0.3$ V에서 322.09 mS/mm과 320.81 mS/mm를 얻었다. 그림 5와 그림 6은 서로 다른 시편에서 각각의 특정 소자를 측정된 결과이다. 두 시편은 최대 전달 컨덕턴스 면에서 0.39%의 매우 근소한 차이만을 나타내고 있으며 드레인 전류 측정에서도 거의 같은 결과를 나타내고 있다. 이것으로써 digital recess가 재현성 면에서 매우 우수함을 보여주고 있다.

그림 6은 동일한 시편 위 소자들간의 균일성을 보여주기 위한 threshold voltage 차이를 나타낸 그래프이다. 소자들은 1cm \times 1cm의 chip 위에 분포하며 각기 다른 게이트 길이를 갖는다. 그림 6은 gate 길이가 같은 총 20개 소자의 threshold voltage를 측정된 결과이다. 가운데 V_{th} 가 -0.3 V로 균일함을 보인다. 이렇듯 위의 결과들을 통해 기존의 리세스에 비해 digital recess의 뛰어난 재현성을 알 수 있었다.

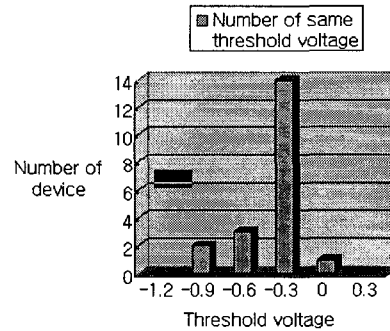


그림 7. 측정된 20개의 소자에서 관찰된 threshold voltage의 차이

3.2 소자의 RF 특성

제작된 PHEMT의 S-파라미터를 HP 8722ES Network Analyzer를 이용하여 측정하였다. 측정 바이어스 조건은 $V_{\text{ds}}=1.8$ V, $V_{\text{gs}}=-0.3$ V 이고, 주파수는 0.4 GHz ~ 40 GHz 범위에서 S-파라미터를 측정하였다. 그림 7은 gate 폭이 75 μm 인 PHEMT의 RF 특성으로, 전류이득차단주파수(f_T)는 85 GHz 및 최대 공진 주파수(f_{max})는 160 GHz의 결과를 얻었다.

리세스가 f_T 에 미치는 결과로, 많은 양의 리세스는 최대 트랜스 컨덕턴스를 감소시키고 게이트와 소스의 캐패시턴스를 증가시키고 이로서 전류이득차단주파수(f_T)의 급격한 감소를 가져온다. 따라서 적당한 리세스야말로 고속 소자를 만드는데 매우 중요하다. [4]

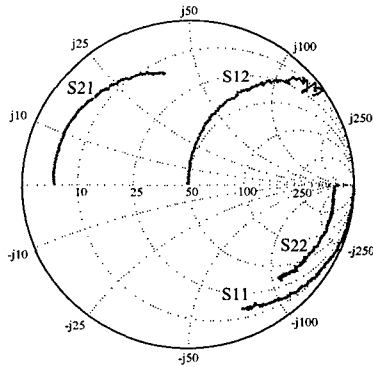


그림 8. 소자의 S-파라미터 측정결과

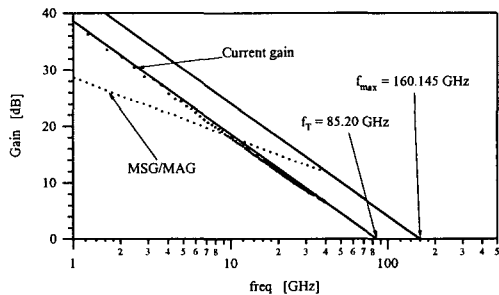


그림 9. 소자의 f_T , f_{max} 측정결과

IV. A comparison between digital recess and normal recess

표1. 동일 회수의 digital recess를 수행한 시편 (A, B)과 동일 시간의 리세스 식각을 수행한 습식식각 시편(C, D)의 DC 및 RF 특성비교

sample	Vth	gm,max (mS/mm)	RF 특성	
			fT(GHz)	fmax(GHz)
A	-0.3 V	322	85.20	160.14
B	-0.3 V	320	86.57	164.53
C	-1.0 V	400	68.82	67.15
D	-1.2 V	470	96.97	60.41

시편 A와 B는 각기 다른 시편에서 5회 digital recess를 통해 동일한 I_{dss} 값을 얻은 후 후속공정을 수행한 것이고, 시편 C와 D는 각기 다른 시편을 같은 시간 동안 일반 습식 리세스한 뒤 후속공정을 진행한 것이다. 일반 습식 리세스에 사용된 용액은 citric acid buffer 용액이다. 표1에서 보여지듯이 시편 A, B는 V_{th} 가 -0.3 V로 같고 $g_{m,max}$ 값이 0.62% 차이 밖에 나지 않는 등

DC특성이 거의 일치했고 RF특성 또한 f_T 는 1.58 %, f_{max} 는 2.66 %의 근소한 차이만을 보였다. 그러나 일반 습식 식각 리세스를 이용한 시편 C와 D의 경우는 동일 시간 동안 식각 하였음에도 불구하고 DC와 RF 특성이 시편 A, B와 달리 많은 차이가 있었고, 성능 또한 저하됐다. V_{th} 가 각기 -1.0 V와 -1.2 V로 0.2 V 차이가 났으며 $g_{m,max}$ 값은 14.9 %, RF특성에서 f_T 는 29.9 %, f_{max} 는 9.98 %의 큰 차이를 보였다. 이로써 digital recess가 일반 습식리세스와 비교해 뛰어난 공정 재현성을 갖는다는 것을 알 수 있었다. 뿐만아니라, 적정성 이상으로 recess가 되어 f_{max} 값은 더욱 저하되었다. [4]

V. 결론

본 논문에서는 수 차례의 실험을 통해, digital recess를 이용한 PHEMT를 제작해 DC 및 RF 특성을 비교하였다. 사용된 시편 A, B의 특성은 V_{th} 가 -0.3 V로 같고 $g_{m,max}$ 값이 대략 320 mS/mm로 거의 일치하였고 DC 특성 역시 거의 일치하였다. RF 특성으로 f_T 는 85.2 GHz 와 86.57 GHz로 다소 차이가 있었으며, f_{max} 역시 160.145 GHz와 164.53 GHz로 근소한 차이를 보였다.

일반 습식 식각 리세스를 이용한 시편은 균일성 및 재현성 면에서 다소 떨어졌다. 이로써 digital recess가 리세스 회수에 대한 재현성과 안정성뿐만 아니라, 소자간의 균일성을 가지며, 리세스를 통한 드레인 전류량에 대한 제어가 뛰어나다는 것을 보였다.

Reference

- [1] Jong-Lam Lee et al., "Selective wet etching of GaAs on Al/sub 0.24/Ga/sub 0.76/As for GaAs/Al/sub 0.24/Ga/sub 0.76/As/In/sub 0.22/Ga/sub 0.78/As PHEMT" *Electronics Letters*, vol. 36, pp. 1974-1975, Nov, 2000.
- [2] Bozada, et al., "Digital wet etching of semiconductor materials", *United States Patent (6,004,881)*, Dec. 21, 1999.
- [3] Takaaki Kato, et al., "Two-layer resist structure for electron-beam fabrication of a submicrometer gate length GaAs device." *IEEE Trans. Electron Devices*, vol. ED 34, no. 4, 1987.
- [4] Y. Kwon, et al, "Gate-recess and device geometry impact on the microwave performance and noise properties of 0.1 um InAlAs-InGaAs HEMT's", *High Speed Semiconductor Devices and Circuits*, 1991. pp. 141 -150.