

AttPSM metal layer 리토그래피공정의 side-lobe억제를 위한 Rule-based OPC

이 미 영, 이 흥 주, *성 영 섭, *김 훈
상명대학교 컴퓨터시스템공학전공, *Mentor KOREA
전화 : 041-550-5360 / 핸드폰 : 011-9933-8720

Rule-based OPC for Side-lobe Suppression in The AttPSM Metal Layer Lithography Process

Mi Young Lee, Hoong Joo Lee, *Young Sub Seong, *Hoon Kim
Dept. of Computer System Engineering, Sangmyung University, *Mentor KOREA
E-mail : young31707@sangmyung.ac.kr

Abstract

As the mask design rules get smaller, the probability of the process failure becomes higher due to the narrow overlay margin between the contact and metal interconnect layers. To obtain the minimum process margin, a tabbing and cutting method is applied with the rule based optical proximity correction to the metal layer, so that the protection to bridge problems caused by the insufficient space margin between the metal layers can be accomplished. The side-lobe phenomenon from the attenuated phase shift mask with the tight design rule is analyzed through the aerial image simulation for test patterns with variation of the process parameters such as numerical aperture, transmission rate, and partial coherence. The corrected patterns are finally generated by the rules extracted from the side-lobe simulation.

I. 서론

반도체 회로의 고집적화에 따라 근접효과 (proximity effect)와 정렬오차(misalignment)는 overlap error와 bridge 등과 같은 문제를 발생시

킨다. 이러한 문제 해결을 위해 보통 OPC (Optical Proximity Correction)를 이용하지만 attPSM(Attenuated Phase Shift Mask)을 사용하는 lithography 공정에서는 OPC후에 space margin이 감소하여 side-lobe현상이 발생한다. 지금까지는 side-lobe가 발생할 위치를 예측하여 크롬(Cr) 보조 pattern을 생성하므로 side-lobe현상을 억제하였다[1]. 그러나 이 방법은 engineer의 경험에 의존하므로 많은 시간이 소요된다는 문제점을 안고 있다. 다른 방법은 partial coherence를 증가시키므로 side-lobe현상을 억제하는 것이나, DOF(depth of focus)를 저하시킨다는 단점이 있다[2].

이 논문에서는 design rule의 감소로 인한 contact과 attPSM metal layer의 overlay margin 부족으로 발생하는 공정 불량을 최소한의 margin 확보로 해결하고자 한다. 따라서, overlap error를 방지하기 위해 rule-based OPC로 최소한의 overlay margin을 확보하고, OPC 후에 발생하는 side-lobe는 aerial image simulation을 통해 side-lobe현상이 나타날 영역을 미리 예측하여 이를 rule-based OPC에 적용하는 side-lobe correction methodology를 제안한다.

II. 시뮬레이션

미세 pattern은 proximity effect의 영향을 크게 받아 그림 1과 같이 line-end shortening과 lithography 시스템의 overlay의 영향으로 overlap error가 발생한다. 따라서 최소한의 margin 확보를 위해 그림 2와 같이 metal과 contact이 overlap된 영역의 edge에서부터 100nm씩 확장하였다. 이는 180nm node에서 overlay error가 40nm인 점을 고려한 것이다. 그리고 Mentor의 Calibre를 이용하여 space에 대한 design rule checking을 통해 그림 3과 같이 bridge margin이 부족한 영역을 확인하고, 최소한의 margin 확보를 위해 cutting을 하였다. Cutting 후 jog pattern의 발생을 방지하기 위해 jog filtering을 수행하였다.

AttPSM의 가장 큰 문제점인 side-lobe 현상을 억제하기 위한 simulation을 수행하기에 앞서, ITRS (International Technology Roadmap for Semiconductors)[4]를 참고하여 design rule을 결정하여 그림 4와 같이 metal test pattern(line dense, elbow, T, T & pad, line & Pad, dense pad)을 생성하였다. 그리고 그림 5와 같은 방법으로 측정 데이터에

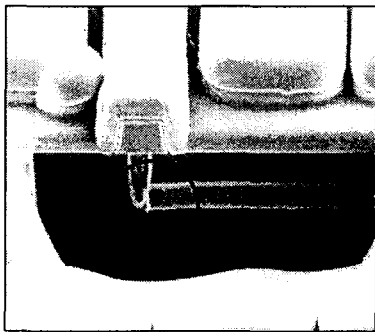


그림 1. Overlay margin 부족으로 인한 overlap error[3]

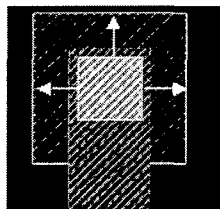


그림 2. Overlay margin 확보를 위한 metal layer correction

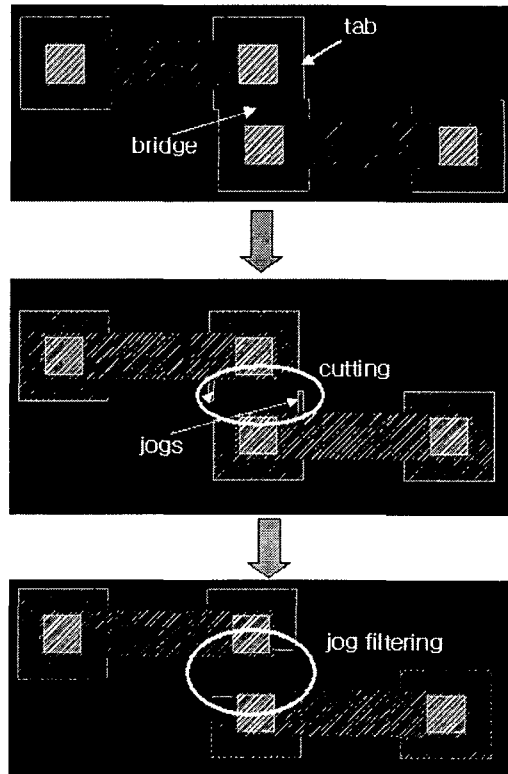


그림 5. Overlay margin 확보를 위한 rule-based correction

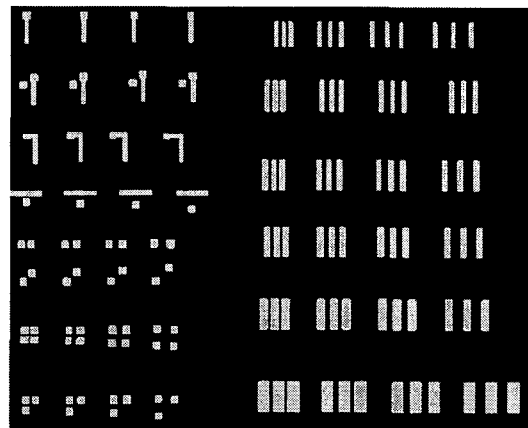


그림 6. Side-lobe 발생여부 검증을 위한 metal layer test pattern

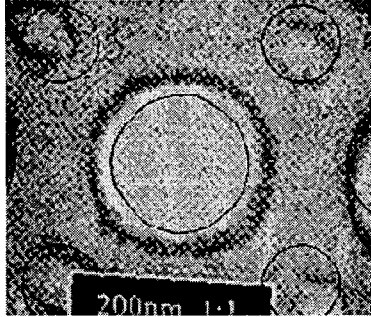


그림 5. 200nm pattern에 나타난 side-lobe현상을 보여주는 SEM 사진[5]

fitting한 optics 조건으로 Calibre를 사용하여 aerial image simulation을 수행하였다. 그 결과로부터 rule을 추출하기 위해 표 1과 표 2와 같은 방법으로 side-lobe 발생여부를 확인하였다. 그 예로써, 표 1은 dense pattern에 대해 metal의 width와 pitch에 따라 side-lobe의 발생여부를 확인하였고, 표 2는 T & pad pattern에 대해서 T자형 metal과 근접한 metal pad의 convex corner간의 거리에 따라 확인하였다. 그리고 단일 T자형 pattern에 대한 simulation 결과 pad edge의 길이가 80nm이하일 때는 side-lobe가 발생하지 않았다. 여기서 추출한 rule을 적용하여 rule-based correction을 진행하였다.

표 1. Dense pattern에서 side-lobe 발생여부

space width \ space width	180nm	270nm	360nm	540nm
180nm	×	○	×	×
200nm	△	○	○	×
240nm	△	○	○	×
270nm	△	△	○	×
360nm	△	○	○	×
540nm	△	×	×	×

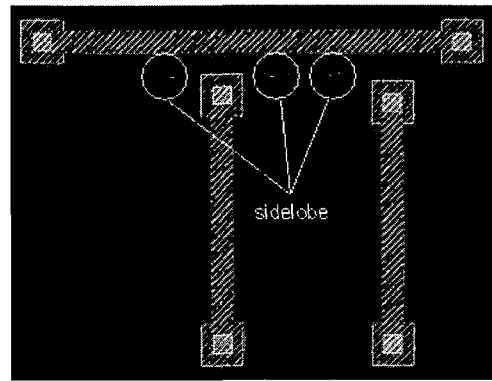
○ : side-lobe 발생
 △ : bridge 발생
 × : side-lobe 발생 안 함

III. 결과

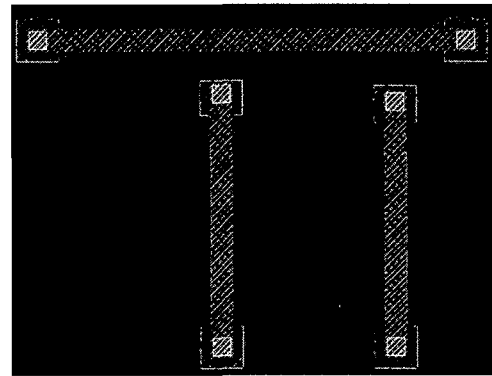
Aerial image simulation을 통해 추출한 rule을 적용하여 그림 6과 같은 결과를 얻었다. Overlay margin 확보를 위한 rule만을 적용하여 tabbing하고 cutting하

표 2. T & pad pattern에서 sidelobe 발생여부

x \ y	170nm	150nm	130nm	110nm	90nm	70nm	50nm	30nm
100nm	×	×	×	×	×	×	×	×
150nm	×	×	×	×	×	×	×	×
200nm	○	○	○	○	○	○	×	×



(a) Rule 적용 전



(b) Rule 적용 후

그림 6. Side-lobe현상 억제를 위한 rule적용했을 때와 적용하지 않았을 때의 aerial image 비교.

였을 때는 그림 6(a)와 같이 side-lobe가 발생을 하였다. 그리고 overlay 보상을 위한 rule에 side-lobe rule

을 추가적으로 적용하였을 때, 그림 6(b)와 같은 결과를 얻었다. 따라서, tabbing, cutting 그리고 side-lobe suppression rule을 함께 사용함으로써 attPSM을 사용하는 metal layer lithography 공정 마진을 확보할 수 있었다.

IV. 결론

작아지는 design rule로 인한 metal layer와 contact hole의 overlap error를 해결하는 동시에 attPSM 사용으로 발생하는 side-lobe현상을 억제하는 rule-based correction 방법을 제안하였다. Aerial image simulation을 수행하여 side-lobe 발생여부 판단을 위한 rule을 정의하였다. Overlay 보상을 위한 rule에 side-lobe현상 억제를 위해 정의한 rule을 적용하여 overlap error와 side-lobe 현상을 방지 할 수 있었다.

V. 감사의 글

본 연구는 한국과학재단 목적기초연구(과제번호 R01-2000-00229)지원으로 수행되었음.

참고문헌

- [1] Christoph Dolainsky et al., "Simulation based method for sidelobe suppression", Proc. SPIE Vol. 4000, pp. 1156-1162, 2000.
- [2] Zhijian G. Lu et al., "Selection of Attenuated Phase Shift Mask Compatible Contact Hole Resists for KrF Optical Lithography", SPIE Vol. 3678, pp. 923-934, 1999.
- [3] Ji-Soong Park et al., "A robust and fase OPC approach for metal interconnects of 0.13 μ m logic devices", Proc SPIE BACUS Vol. 4256-124, 2001.
- [4] 2001 ITRS, SEMATECH, <http://public.itrs.net/>.
- [5] Navab Shingh, Moitreyee Mukherjee-Roy, "Effect of feature size, pitch and resist sensitivity on side-lobe and ring formation for via hole patterning in attenuated phase shift masks", 2002 SPIE Microlithography Vol. 4091- 110, 2002.