

AAL 유형 2 스위치용 수신부 설계

손승일(孫承一)
호남대학교 컴퓨터공학과
전화 : 062-940-5409 / 팩스 : 062-940-5079

Design of the Receiver for AAL Type 2 Switch

Seung Il Sonh
Dept. of Computer Engineering, Honam University
saisonh@honam.ac.kr

Abstract

An existing ATM switch fabric uses VPI(Virtual Path Identifier) and VCI(Virtual Channel Identifier) information to route ATM cell. But AAL type 2 switch which efficiently processes delay-sensitive, low bit-rate data such as a voice routes the ATM cell by using CID(Channel Identification) field in addition to VPI and VCI.

In this paper, we research the AAL type 2 switch that performs the process of CPS packet. The Receive unit extracts the CPS packet from the inputted ATM cell. The designed receive unit consists of input FIFO, rx status table, CAM(Content Addressable Memory), new CID table and partial packet memory. Also the designed receive unit supports the PCI interface with host processor. The receive unit is implemented in Xilinx FPGA and operates at 72MHz.

I. 서론

ATM(Asynchronous Transfer Mode)은 기존의 X.25나 프레임 릴레이와는 다르게 여러 제어를 하드웨어를 통해 할 수 있고, 레이블 스위칭 가능하게 되어 속도면에서 많은 향상을 가져오게 되었다. 또한 ATM은 가변적으로 용량을 제어할 수 있는 가상 채널을 사용하므로 네트워크 자체가 더욱 유연해 지며, 효율적인 정보 전송이 가능해져 네트워크의 관리와 유지를 담당하는 OAM 셀을 이용하여 다양한 QoS(Quality of Service)를 만족시킬 수 있다. 이러한 ATM 기술은 차세대 초고속 정보통신 네트워크를 위한 중요한 전송 기

술로서 주목받고 있다.

현재 ATM에서 사용되는 5 바이트의 헤더와 48 바이트의 유효부하(payload)로 구성되는 셀의 형식은 1990년 확정되었다. 물론 이러한 유효부하의 크기는 제공될 서비스에 직접적으로 영향을 미치게 되는 중요한 요인인데, 음성 및 지연 시간에 민감한 서비스의 경우에는 셀의 유효부하 크기가 작을수록 네트워크에서의 지연시간이 작아져 수신측에서 요구하는 지연정도를 충족시킬 수 있는 반면, 지연에 민감하지 않은 서비스의 경우에는 하나의 셀에 유효부하의 크기가 크면 클수록 데이터 전송율이 더욱 높아지게 된다. 따라서, 서비스의 형태에 따라 서로 다른 유효 부하를 수용하기 위해 CCITT는 유럽 및 북미에서 제안된 32 바이트와 64 바이트의 중간 크기인 48 바이트를 유효부하 크기로 정하게 되었다.

AAL 유형 2는 저속이면서 패킷의 길이가 짧고, 가변 길이를 가지는 시간 지연에 민감한 특성을 지닌 음성 데이터, 팩스 데이터, DFMF(Dual Tone Multi-Frequency) 패킷 정보 등과 같은 응용들을 대역폭 활용의 효율성 제고 및 처리 시간 지연의 감소를 지원하기 위하여 만들어졌다.^{[2][3][4]}

AAL 유형 2는 하나의 VCC(Virtual Channel Connection)내에 다수개의 AAL 유형 2 채널(Channel)을 다중화할 수 있도록 허용함으로써 ATM 셀을 효율적으로 사용하도록 해준다. 이러한 다중화를 지원하기 위해 기존의 ATM 셀은 VPI/VCI 정보만을 사용하여 셀 스위칭을 수행하였으나, ATM AAL 유형 2 스위칭은 기존의 VPI/VCI 정보 이외에도 CPS 패킷의 헤더부에 존재하는 8 비트의 CID 정보를 사용하여 CPS 패킷을 스위칭하고 있다. 따라서, 본 논문에서는 AAL 유형 2 스위칭을 구현하기 위해 모델링을 통해 성능을 분석하였으며, 이를 토대로 본 논문의 AAL 유형 스위칭 소자를 설계하였다^[7]. 본 논문에서는 AAL 유형 2

스위치의 수신부의 설계에 대해 연구하였다. 시뮬레이션을 통해 전체적인 AAL 유형 2 스위치의 아키텍처를 결정하였으며, 수신부 및 전송부의 블록에 대해 VHDL 언어를 사용하여 기술하고, 동작 검증을 완료하였으며, 이를 FPGA로 구현하였다.

II. AAL 유형 2의 기본 구조

AAL 유형 2는 CPS(Common Part Sublayer)와 SSCS(Service Specific Convergence Sublayer)라는 2개의 부계층으로 나누어진다. CPS는 서로 다른 SSCS 프로토콜들이 특정 AAL 유형 2 사용자 서비스 또는 그룹 서비스를 지원하기 위해 정의되었다.

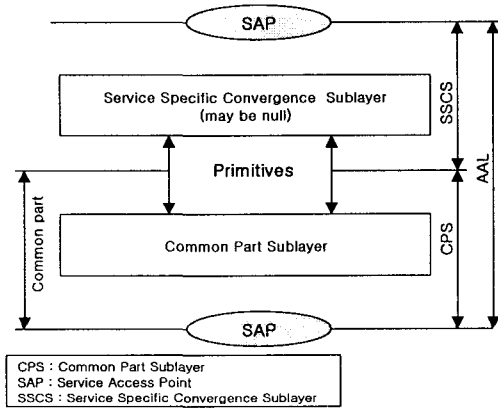


그림 1. AAL 유형 2의 구조
Fig. 2. Structure of AAL type 2

그림 2는 다양한 서비스를 지원하는 AAL 유형 2를 보여주고 있다. AAL 유형 2 CPS는 ATM 네트워크를 통해 하나의 CPS 사용자로부터 다른 CPS 사용자에게 CPS-SDU를 전송하는 기능을 제공한다. AAL 유형 2 CPS의 사용자는 SSCS 엔터티와 계층관리(Layer Management, LM)로 구성된다. 또한, CPS-SDU 데이터 전송, 다수의 AAL 유형2 채널을 다중화 및 역다중화하는 서비스를 제공하며, 각각의 AAL 유형 2 채널에서 CPS-SDU(Service Data Unit) 시퀀스를 보존하지만, 손실된 CPS-SDU는 재 전송에 의해 복구되지 않는다.

CPS 패킷의 형식과 CPS 패킷이 AAL 유형 2 CPS PDU(Protocol Data Unit)에 조립되는 과정을 설명하면, CPS 패킷은 3 옥텟의 CPS 패킷 헤더(CPS-PH)와 연이은 CPS-Packet Payload(CPS-PP)로 구성된다. CPS 패킷의 형식은 그림 3에 나타나 있다. CID(Channel Identifier)는 채널에서 AAL 유형 2 사용자를 식별하기 위해 사용된다. CPS-PDU는 1 옥텟의

Start 필드와 47 옥텟의 유료부하로 구성된다. 48 옥텟 CPS-PDU는 ATM-SDU가 된다. CPS-PDU 형식은 그림 4에 나타나 있다.

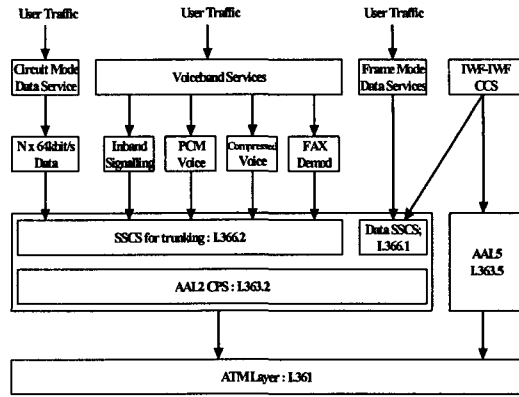


그림 2. AAL 유형 2 서비스를 지원하는 ATM 프로토콜

Fig.2. ATM protocol supporting AAL type 2 service

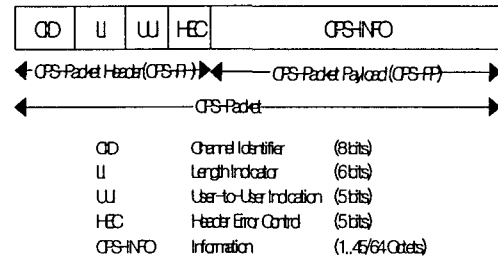


그림 3. AAL 유형 2 CPS-Packet의 구성
Fig. 3. Format of AAL type 2 CPS-packet

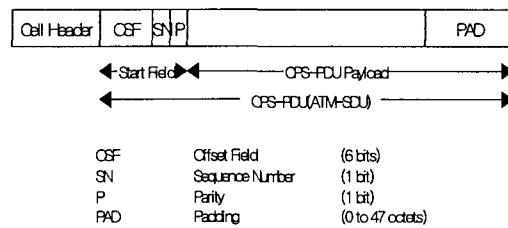


그림 4. CPS-PDU의 구성
Fig. 4. Format of CPS-PDU

대규모의 네트워크를 다루기 위해서는 아래와 같은 과정으로 스위칭이 이루어진다.

- ATM 헤더의 VPI, VCI와 CPS 패킷을 AAL2 셀로부터 얻는다.
- VPI/VCI 및 CID를 새로운 VPI/VCI 및 CID로 변환한다.

- c) 각 CPS 패키지의 CRC를 생성한다.
- d) 동일한 목적지를 갖는 CPS 패키지들을 하나의 AAL2 셀로 할당한다.
- e) 만약에 CPS 패키지가 두 부분으로 분할되어진다면 (split), OSF의 값을 계산한다.

III. AAL 유형 2 스위치의 수신부 설계

그림 5는 본 논문에서 설계한 수신부에 대한 전체 아키텍처를 보여준다. 내부 및 외부의 모든 데이터 패스는 16 비트 단위의 처리를 기본하였으며, 본 논문에서 별도의 언급이 없는 경우에는 16 비트의 데이터 처리를 의미한다.

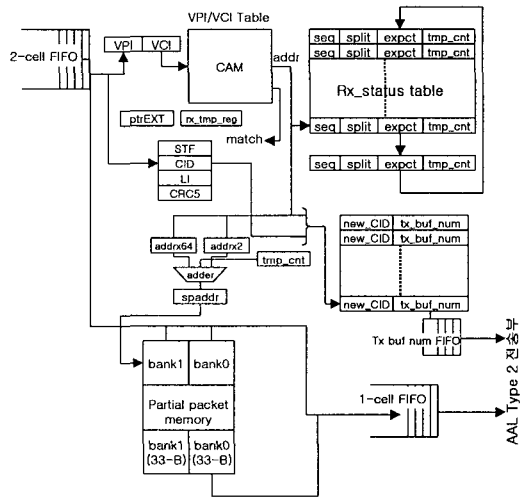


그림 5. AAL 유형 2 스위치의 수신부 아키텍처
Fig. 5. Receiver architecture of AAL type 2 switch

전송단의 구성은 먼저 UTOPIA 프로토콜을 통해 물리적 계층으로부터 ATM 셀을 수신하여 버퍼링하는 2 ATM 셀을 저장할 수 있는 FIFO 블록과 매 셀 타임 슬롯마다 수신된 AAL 유형 2 셀을 처리하기 위해 수신된 VPI 및 VCI 정보와의 매칭여부를 판별하기 위해 현재 호가 설정되어 있는 VPI/VCI 정보를 저장하고 있는 CAM(Content Addressable Memory) 블록, 그리고 수신되는 AAL 유형 2 패키지의 VPI/VCI 정보에 따라 수신 패키지의 재조립을 위해 필요한 정보를 관리하고 있는 Rx 상태 테이블(Rx Status Table), 또한 VPI/VCI 정보에 매칭이 발생하였을 경우 최종적인 CID를 번역하기 위하여 입력된 CID 정보와 매칭 주소를 사용하여 새로운 CID 값 및 해당되는 전송 버퍼 번호를 담고 있는 메모리 부분, 수신된 AAL 유형 2 패키지가 아직 완전한 패키지가 아니라 일부분만을 수신하였을 때, 부분적으로 수신된 AAL 유형 2 패키지를 저장

하고 있다가 다시 나머지 패키지가 수신되었을 때 완전한 패키지를 전송단으로 보내기 위해 부분 패키지를 저장하고 있는 부분 패키지 메모리(Partial Packet Memory) 부와 완전한 패키지가 수신되었을 때 전송을 위해 전송단 ATM 셀 버퍼로 AAL 2 패키지를 전송하게 되는 데 전송단과 수신단 사이의 Rate matching을 위해 전송단과 수신단 사이에 패키지 버퍼링을 수행하는 1 셀 FIFO 및 각 패키지에 해당하는 Tx_buf_num FIFO 부로 구성되어 있다. 그리고 수신단을 통해서 수신된 AAL 유형 2 패키지의 재조립을 위해 필요한 중간 단계에서 사용하는 ptrEXT 레지스터, 1 바이트 rx_tmp_reg 레지스터, 수신된 CPS 패키지의 STF, CID, LI, 및 CRC5 체크리스트가 존재한다. 또한 split 필드는 3 바이트의 CPS 패키지 헤더가 수신되어야 전체적인 Rx 상태 테이블의 값을 설정할 수 있는데, 일부분의 CPS 패키지만을 수신하였을 경우에는 몇 바이트의 헤더를 더 수신하여야 완전하는 CPS 패키지 헤더를 수신할 수 있는지의 여부를 알려주는 기능을 하는 필드이다. 그리고, Tmp_cnt 필드는 완전한 CPS 패키지가 수신되지 않았을 경우에 CPS 패키지 헤더를 포함하여 관련된 CPS 패키지의 몇 바이트가 현재 Partial packet 메모리에 저장되어 있는지 알려주는 필드이다. 그리고, Expct 필드는 수신되고 있는 CPS 패키지중에서 사용자 정보(CPS-info)가 앞으로 몇 바이트 더 수신되어야 완전한 CPS 패키지를 구성할 수 있는지를 알려주는 부분이다. 추가적으로 부분 패키지 메모리에 대한 액세스 주소 SPADDR 필드는 각각의 VPI/VCI 값에 따라 66 바이트의 배수가 되도록 설계하였는데, 이는 ITU-T I.363.2의 권고안에서 AAL 유형 2의 최대 사용자 정보 길이가 45 바이트 혹은 64 바이트까지 지원하도록 하고 있다. 따라서 CPS 패키지를 수신하는 도중에 존재할 수 있는 최대의 부분 패키지 길이는 CPS 패키지 헤더 3 바이트와 CPS-info 64 바이트 더하면 총 67 바이트가 되는데, 67 바이트 전체 CPS 패키지가 수신되었을 경우에는 더 이상 부분 패키지 메모리에 남아있지 않고 CPS 패키지가 전송부로 전송되게 된다. 따라서 각각의 VPI/VCI 정보에 대해 부분 패키지 메모리에 담기게 되는 최대 CPS 패키지의 길이는 66 바이트가 되기 때문이다. PtrEXT 레지스터는 53 바이트의 ATM 셀에 대해 5 바이트의 헤더를 제외한 나머지 48 바이트의 ATM payload에 대해 현재까지 처리된 바이트의 수를 알려주는 역할을 한다. ATM payload 48 바이트가 모두 처리되면 다시 리셋되어 새로운 VPI/VCI에 대해 동일한 역할을 수행하게 된다. 마지막으로 seq 필드는 VPI/VCI 채널을 통해 수신되는 CPS 패키지가 손실없이 정상적으로 수신되었는지를 식별하기 위해 사용되는 필드이며, 이는 모듈로 2로 동작하게 된다.

IV. AAL 유형 2 스위치 수신부의 FPGA 구현

본 연구에서는 설계한 AAL 유형 2 스위치 모듈에 대해 FPGA 구현을 통해 회로를 검증하였다. 이러한 과정을 위해 본 연구에서는 설계 기간의 단축 및 오류 최소화를 위해 bottom-up 방식이 아닌 top-down 방식을 사용하여 전체적인 설계를 하였다.

먼저 컴퓨터 시뮬레이션을 통해 AAL 유형 2 스위치 구조에 대한 다양 성능 분석을 수행하였으며, 성능, 하드웨어적인 구현의 용이성, 확장성 등을 고려하여 본 연구에서 구현하고자 하는 최종적인 AAL 유형 2 스위치의 아키텍처를 결정하였다. 그런 다음 수행 역할에 따라 전송단과 수신단으로 기능을 분할하고, 필요에 따라 다시 세부 모듈로 분할하여 설계하였다. 본 연구에서는 AAL 유형 2 스위치를 설계하기 위한 언어로서 VHDL 언어를 사용하였다. 설계한 세부 모듈에 대한 동작 수준의 시뮬레이션을 수행하고, 만약에 오류가 발견되면 소스 코드를 수정하여 재 시뮬레이션하는 과정을 밟았다.

그림 6은 P&R(Placement & Routing)이 완료된 이후의 레이아웃 그림을 보여주고 있다.

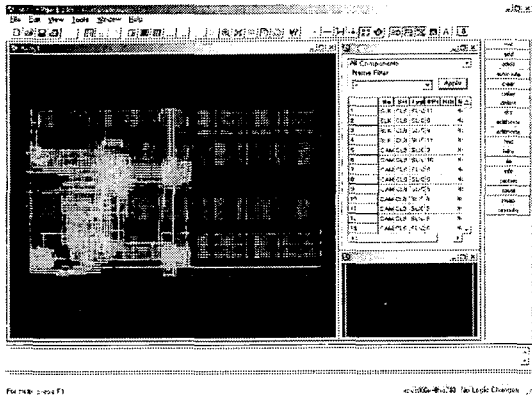


그림 6. 수신부의 레이아웃
Fig. 6. Layout of AAL type 2 receiver

구현한 ATM AAL 유형 2 스위치의 수신부에 대한 최종적인 P&R 결과는 표1과 같다.

또한 본 논문에서 구현한 AAL 유형 2 스위치는 PCI 인터페이스를 지원하고 있다. 그림 7은 본 논문에서 구현한 AAL 유형 2 스위치의 수신부에 대한 메모리 맵핑을 보여주고 있다. 마지막으로 표1은 본 논문에서 구현한 AAL 유형 2 스위치의 수신부에 대한 P&R 결과를 보여주고 있다. FPGA 구현 결과 약 73MHz에서 동작하는 것을 확인할 수 있었으며, 구현된 결과에

대해 실장 테스트를 완료하였다.

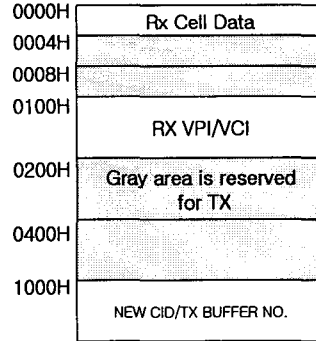


그림 7. AAL 유형 2 스위치의 메모리 맵핑
Fig. 7. Memory mapping of AAL type 2 switch

표 1. AAL 유형 2 스위치 P&R 결과
Table 1. P&R result of AAL type 2 switch

구분	AAL 유형 2 수신부(Rx)
Target Library	System Library V.1.37
FPGA Type	XCV1000E6H240C
# of External I/O	240 핀
# of gates	218,810
Frequency	13.78ns(72.553MHz)

V. 결론

본 논문에서는 AAL 유형 2 스위치의 수신부 설계에 대해 기술하였다. 설계된 AAL 유형 2 스위치는 최대 622 Mbps의 ATM 셀 전송을 수행할 있으며, PCI 인터페이스를 지원하고 있다. 본 논문의 AAL 유형 2 스위치의 전송부는 수신부와 병합하여 완전한 AAL 유형 2의 스위칭 기능을 수행할 수 있다.

Acknowledgement

본 연구는 한국과학재단 목적기초연구(2001-1-30200-005-1)지원으로 수행되었음. 일부는 IDEC로부터 지원된 CAD Tool을 사용하여 수행되었음.

참고문헌

- [1] ITU-T Recommendation I.363, B-ISDN AAL Specification, Mar. 1993
- [2] ITU-T Recommendation I.363.2, B-ISDN AAL Specification : Type 2 AAL, Aug. 1997
- [3] *ATM Trunking using AAL2 for Narrowband Services*, ATM Forum Technical Specification