

LDD 구조를 이용한 다결정 실리콘 박막 트랜지스터의 신뢰성 향상

*정은식, *장원수, **배지철, *이용재
*동의대학교 전자공학과, **Delft University of Technology
전화 : 051-890-1938 / 핸드폰 : 017-546-7189

Polysilicon Thin Film Transistor for Improving Reliability using by LDD Structure

*Eun-Sik Jung, *Won-Su Jang, **Ji-Chel Bea, *Young-Jae Lee
*Dept. of Electronics Eng. Dongeui University, **Delft University of Technology
yjlee@hyomin.dongueui.ac.kr

Abstract

In this paper, Amorphous silicon on glass substrate was recrystallized to poly-crystalline silicon by solid phase crystallization(SPC) technology. The active region of thin film transistor(TFT) was fabricated by amorphous silicon. The output and transfer characteristics of thin film transistor with lightly doped drain(LDD) structure was measured and analyzed.

As a results, analyzed TFT's reliability with LDD's length by various kinds argument such as sub-threshold swing coefficient, mobility and threshold voltages were evaluated. Stress effects in TFT were able to improve to the characteristics of turn-on current and hot carrier effects by LDD's length variations

I. 서론

다결정 실리콘(Polycrystalline Silicon, Poly-Si) 박막 트랜지스터(Thin Film Transistor, TFT)는 저온에서 공정이 가능한 관계로 기판으로 유리판을 사용하거나, 다층구조로 회로를 구성하는 경우에 많이 이용되고 있다. 박막 트랜지스터는 3차원 집적회로의 제작, 평판 화

면 소자, 고속 SRAM의 부하 소자 등 많은 분야에서 사용되는 것에 대하여 비정질 실리콘(Amorphous Silicon, A-si) 박막 트랜지스터로 사용하는 것보다 많은 장점을 가지고 있다. 또한 지금까지 저온에서 양질의 다결정 실리콘 박막 트랜지스터를 제작하는 수단으로 가장 널리 사용되는 방법은 레이저 열처리(Laser Annealing)나 고속 열처리(Rapid Thermal Annealing, RTA)를 이용한 방법은 대면적 기판에서 다결정 실리콘의 균일성 및 생산성 문제가 있는 반면에, 고상 결정화(Solid Phase crystallization, SPC) 방법은 이들에 비해 공정시간이 길지만, 월등한 균일성과 재현성을 갖는다는 장점이 있어 널리 사용되고 있다. 또한, 다결정 실리콘 박막 트랜지스터는 일반 MOS 소자보다 높은 임계전압을 가지므로 15V이상의 동작 점을 갖는다. 높은 전압과 소자의 크기가 작아짐에 따라 핫 캐리어 스트레스와 kink 효과의 영향을 많이 받아 소자의 신뢰성을 떨어뜨리게 된다. 또한 그레인 경계와 채널에 존재하는 트랩의 영향으로 MOS 보다 누설전류가 많이 나타난다. 이런 열화특성을 줄이기 위해 사용되는 방법으로 Lightly Doped Drain(LDD) 구조의 도입이다.^[1] 본 논문에서는 유리기판 위에 저온공정의 고상 결정화(SPC)를 이용해서 제작된 탑 게이트 구조의 n-채널 다결정 박막 트랜지스터를 제작하여 LDD에 따른 소자의 출력특성과 전달특성을 분석하고, 전기적 스트레스에 따른 특성의 변화를 분석하였다.

II. 본론

1. 소자 제작 공정

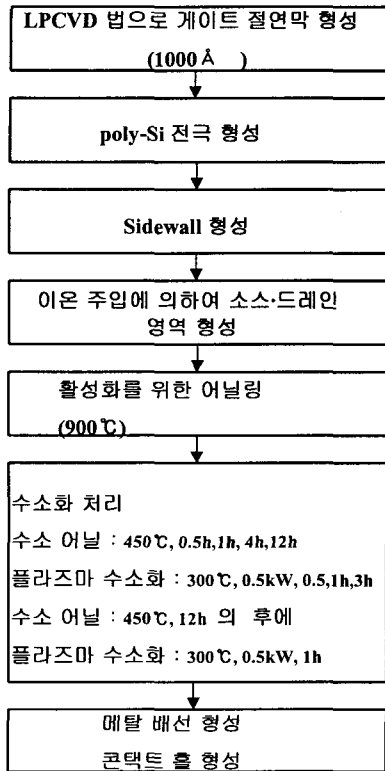


그림1. 공정 순서도
Fig. 1 Charts of Process Sequence

그림 1은 본 연구를 위한 소자를 제작하기 위한 공정 순서도로 이 다결정 실리콘 TFT는 유리 기판에 저온 공정 기술($\leq 600^\circ\text{C}$)로 제작되었다.

다결정 실리콘 박막을 형성 후, LPCVD법에 의하여 게이트 절연막을 형성하였고 그때의 게이트 산화막의 두께는 1000\AA 이다. 그 다음 게이트 절연막 상에 패터닝 하여, 게이트 전극을 형성한 후, 스페이스 산화막을 퇴적시켜서, 반응성 이온 에칭 (RIE)에 의하여 이방성 에칭 하여, 사이드 월 스페이스 막을 형성하였다. 그리고 게이트 전극을 마스크에 이온 주입법에 의하여 소스·드레인 영역에 인(P)을 주입하고 n 채널 TFT를 제작하였다. 이때 활성화 어닐링은 900°C 로 행하였고, 인(P)의 이온 주입 조건은 각각 80 keV , $3 \times 10^{15}\text{ cm}^{-2}$ 이다. 또한, 상압 화학 기상 증착법으로 층간막을 성장시킨 후, 활성층의 poly-Si 박막의 결함을 절감하기 위해, 수소화 처리를 가하였고, 그 후, 콘택트 홀을 형성하고, 메탈 배선을 행하였다. 그리고 소자의 패턴은 채널길이와 폭을 각각 LDD(Lightly

Doped Drain)의 길이를 각각 1μ , 1.5μ , 2μ 로 하여 제작하였다.

2. 실험 결과

다결정 실리콘 박막 트랜지스터는 입자 경계면의 많은 트랩으로 인해 핫 캐리어 스트레스의 영향을 많이 받아서, 누설 전류가 높고, 높은 드레인 전압에서 킥 효과(Kink effect)도 심하게 나타난다. 다결정 실리콘 박막 트랜지스터에서 측면 영역을 줄이는 LDD 구조를 사용하면 이러한 문제점들을 향상시킬 수 있을 것이다.^[2]

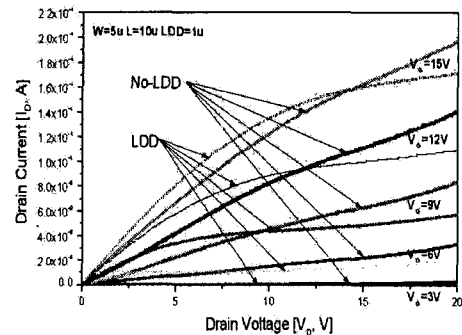


그림 2. No-LDD와 LDD의 I_D-V_D 곡선 비교
Fig. 2 I_D-V_D curve comparison of No-LDD and LDD

그림2은 채널 폭이 5μ 이고 채널 길이가 10μ 일 때 No-LDD와 LDD 길이가 1μ 인 소자의 게이트 전압에 따른 I_D-V_D 곡선을 나타낸 결과로서 그림에서 보듯이 No-LDD에 비해 LDD의 드레인 전류가 2.0×10^{-5} 오더 정도 작게 나타남을 알 수 있다. 이는 LDD의 직렬 저항 성분에 의한 드레인 전류의 감소이다.

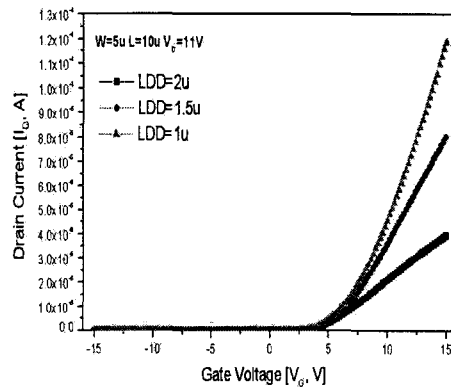


그림 3. LDD 길이에 따른 I_D-V_G 곡선
Fig. 3 I_D-V_G Curve by LDD length

그림 3은 LDD의 길이에 따른 I_D-V_G 그래프로 LDD의 길이가 1μ , 1.5μ , 2μ 이다. 여기서 각 소자의 LDD 길이에 구동 전류의 차이가 나타났는데 이는 LDD 길이에 따라 직렬 저항값이 다르므로 LDD의 길이가 길수록 저항값이 커져 구동 전류가 감소한 것이다.^[3]

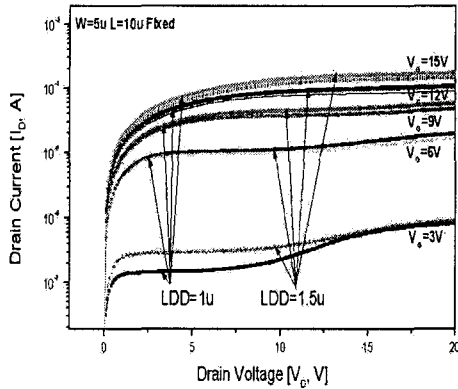


그림 4. LDD 길이 변화에 따른 I_D-V_D 곡선
Fig. 4 I_D-V_D curve by LDD length variation

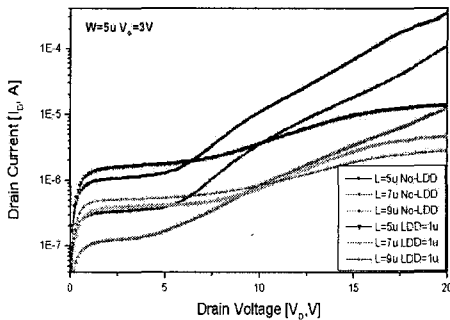


그림 5. 채널 길이에 따른 Kink 전류
Fig. 5 Kink Currents with different channel length

그림 4, 5는 LDD의 길이에 따른 I_D-V_D 곡선과 채널 길이에 따른 kink 전류를 나타내고 있는데 그림4에서 보면 게이트 전압이 증가함에 따라 LDD의 길이에 따른 전류의 증가가 거의 차이가 없는 것을 볼 수가 있다. 그러나 게이트 전압이 3V일 때 LDD의 길이가 더 긴 쪽에서 kink 전류를 감소됨을 볼 수 있다. 그리고 그림5는 채널 폭은 5μ 로 게이트 전압을 3V로 고정하고 채널 길이를 변화시켰을 때의 kink 전류를 나타낸 것으로 No-LDD 일때와 LDD가 1μ 일 때를 비교하면 No-LDD 일 때 보다 LDD 일 때 kink 전류가 현저히 줄어들음을 알 수 있다. 이는 충격 이온화에 의한 전류 증가에 기인한 kink 전류를 LDD가 드레인에 걸리는 전계를 분산하여 드레인 쪽에 생기는 강한 필드를 완충시키는 작용

에 의한 것이라고 알 수 있다.^[3]

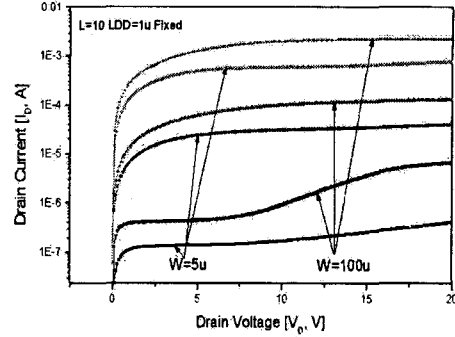


그림 6. 채널 폭에 따른 I_D-V_D 곡선
Fig. 6 I_D-V_D curve by channel widths

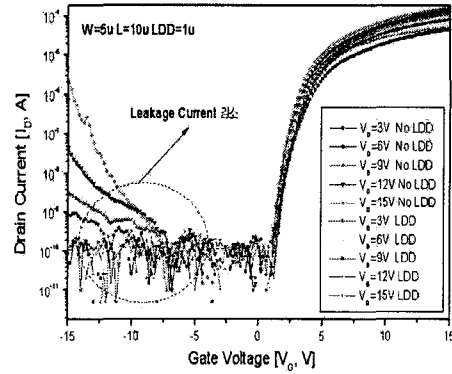


그림 7. 누설 전류의 감소를 나타내는 I_D-V_G 곡선
Fig. 7 I_D-V_G curve by decrease of leakage current

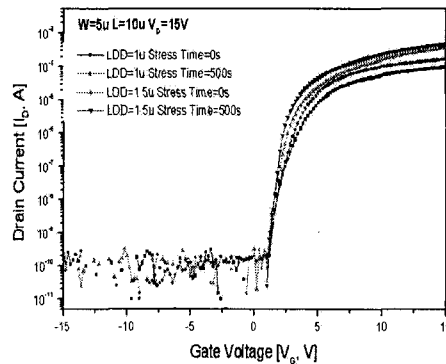


그림 8. 전기적 스트레스에 의한 I_D-V_D 곡선
Fig. 8 I_D-V_D curve by electrical stress

그림6은 채널 폭이 5μ 일 때 보다 100μ 일 때 드레인 전

류가 훨씬 증가함을 보여주는데 이는 기존의 MOSFET와 같은 경향을 보여주었다. 그림7은 드레인 전압 변화에 따른 I_D-V_G 곡선으로 LDD구조를 이용했을 때 누설 전류를 감소된다는 것을 알 수 있다. 이는 앞서 언급한 바와 같이 LDD가 완충작용을 하는데서 그 이유를 찾을 수 있다. 그리고 그림8은 드레인 전압을 15V로 하고 LDD 길이를 달리 하여 전기적 스트레스를 인가 하였을 때의 I_D-V_G 곡선으로 LDD 길이에 따른 스트레스는 LDD의 길이가 1.5 μ 일 때 1 μ 보다 적게 받는 것으로 나타났다 LDD의 길이가 너무 작으면 스트레스 완충 작용을 못해 스트레스에 의한 영향을 많이 받는 것으로 나타났다.

III. 결론

유리 기판 위에 SOI 구조를 하고 있는 600°C이하의 저온 공정인 고상결정화 방법을 이용한 LDD 구조를 가지는 n 채널 다결정 실리콘 박막 트랜지스터의 전기적 특성을 분석하였다. 채널 폭과 채널 길이에 따라 출력 특성의 변화를 보면, 채널 폭과 길이가 큰 소자가 출력 특성에서 채널 폭과 길이가 작은 소자보다 선형 영역과 포화 영역의 구분이 더욱 명확하게 나타났고, LDD의 길이에 의한 것은 LDD의 길이가 길어지면 드레인과 벌크사이의 직렬저항이 증가하여 구동 전류가 감소하게 되었고 LDD의 길이가 짧으면 측면 영역의 증가로 인하여 핫 캐리어에 의한 스트레스를 받게 되므로 LDD의 길이를 여러 조건에 따라 조절해야 할 것이다. LDD 구조를 이용한 다결정 실리콘 박막 트랜지스터는 누설 전류와 kink 전류와 스트레스 영향에서 기존의 다결정 실리콘 박막 트랜지스터 보다 더욱 신뢰도가 향상됨을 알 수 있었다.

IV. 참고 문헌

- [1] Do-Hyun Baek, Yong-Jae Lee, "Stress-Bias Effect on Poly-Si TFT's of Glass Substrate", ITC-CSCC2000, Vol.2, pp. 933-936, 2000
- [2] Anish Kumar K.P. and K.O.Sin. "Influence of Lateral Electrical Field on the Anomalous Leakage Current in Polysilicon TFT's", IEEE Electron Device Lett., vol. 20(1), p27, 1999
- [3] Yong-Sang Kim and Min-Koo Han. "Degradation Due to Electrical Stress of Poly-Si Thin Film Transistors with Various LDD lengths.". IEEE Electron Device Lett., vol16(6), P245, 1995