

A 0.25- μm CMOS 1.6Gbps/pin 4-Level Transceiver Using Stub Series Terminated Logic Interface for High Bandwidth

Jin-Hyun Kim , Woo-Seop Kim and Suki Kim

Department of Electronics Engineering
Korea University □ Seoul, Korea
Email: kjh4074@samsung.co.kr

Abstract

As the demand for higher data-rate chip-to-chip communication such as memory-to-controller, processor-to-processor increases, low cost high-speed serial links become more attractive. This paper describes a 0.25- μm CMOS 1.6Gbps/pin 4-level transceiver using Stub Series Terminated Logic for high Bandwidth. For multi-gigabit/second application, the data rate is limited by Inter-Symbol Interference (ISI) caused by channel low pass effects, process-limited on-chip clock frequency, and serial link distance. The proposed transceiver uses multi-level signaling (4-level Pulse Amplitude Modulation) using push-pull type, double data rate and flash sampling. To reduce Process-Voltage-Temperature Variation and ISI including data dependency skew, the proposed high-speed calibration circuits with voltage swing controller, data linearity controller and slew rate controller maintains desirable output waveform and makes less sensitive output. In order to detect successfully the transmitted 1.6Gbps/pin 4-level data, the receiver is designed as simultaneous type with a kick - back noise-isolated reference voltage line structure and a 3-stage Gate-Isolated sense amplifier. The transceiver, which was fabricated using a 0.25 μm CMOS process, performs data rate of 1.6 ~ 2.0 Gbps/pin with a 400MHz internal clock, Stub Series Terminated Logic over in 2.25 ~ 2.75V supply voltage, and occupied 500 * 600 μm of area.

I. INTRODUCTION

시스템의 속도가 증가함에 따라서 반도체 칩 사이의 연결에서는 더욱더 빠른 데이터의 이동이 필요하게 된다. 보다 고속의 데이터 전송을 위해서 병렬로 핀을 연결하게 되면 고 비용과 핀 간의 외부조화가 더 큰 문제로 작용하게 되는데 이를 해결하기 위해 고속 직렬 연결 기술이 필요하게 된다. 고속의 직렬 송수신기는 비용을 최소화하면서 고속으로 통신하여 높은 데이터 율(Data Rate)을 얻는다. 고속 직렬 통신에서 가장 문제가 되는 것은 임피던스 조화, 부호간 간섭 문제와 직렬 통신 거리, 그리고 고속 클럭(CLK) 주파수에 따른 데이터 스큐(Skew)등이다. 본 회로는 단일 병렬중단 전송선

모델에 있어서 "1", "0" 의 이진법을 사용하여 고속 클럭(CLK) 주파수로 핀 당 데이터 율을 향상시킨 기존의 데이터 복구 방법에서, 일반적인 고속 클럭 동작주파수인 400MHz 를 이용하면서도 데이터 천이시 반사 신호에 의한 파형 왜곡이 적은 Push-Pull 방식의 구동회로를 갖는 4-레벨 펄스 진폭변조를 Stub Series Terminated Logic : SSTL 에 적용시키면서 더블 데이터 레이트(Double Data Rate: DDR)을 이용하여 4 배로 데이터 율을 향상시킨 고성능 저 진폭 입출력 인터페이스를 위한 1.6G bps per pin 직렬 송수신기이다.

II. TRANSCEIVER ARCHITECTURE

송수신기에 있어서 출력신호의 형태에서 구동회로의 부호전환은 V_{SS} 에서 V_{DD} 사이의 중단전압을 스위칭하는데, 이 때문에 구동회로는 모든 동작 범위 안에서는 선형적이기를 원한다.

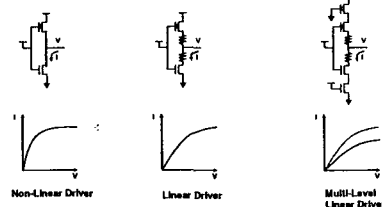


그림 1. Multi-Level Linear Driver

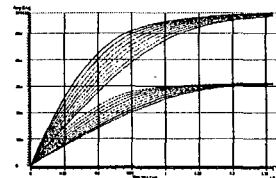


그림 2. Multi-Level Driver I-V Characteristics

그림 1.에서 임피던스 제어회로를 사용했다 하더라도 평범한 전압모드 구동회로는 동작 범위 안에서 비선형적인 I-V 특성을 가진다. 이를 개선하기 위해 직렬의 저항을 연결하면, 스위칭하는 동안의 선형적인 구간이 늘어나 회로전류의 손해는

보지만 이보다 더 중요한 구동회로의 선형적인 특성을 유도할 수 있다. 여기에 부하 트랜지스터를 직렬 연결하여 전압 감소에 의한 스윙전압의 제어와 출력파형의 선형적인 특성을 동시에 얻을 수 있다. 구동회로는 5 개의 마디로 구성된 이진 영향성(Binary-Weighted) 집합으로 구성할 수 있고, 이는 폐쇄 루프 제어를 사용하여 출력 임피던스를 일정하게 가져갈 수 있다. 그림 2.에서 실제 구동회로를 부하의 저항성분과 직렬 저항을 변화하면서 I-V 특성곡선을 통해 선형성과 레벨차이를 확인할 수 있다. 제안한 고속 직렬 송수신기의 채널은 그림 3.에서와 같이 기본적으로 Stub Series Terminated Logic (:SSTL)의 단일병렬종단 구조의 Loaded Push-Pull 구동회로 형태로 이루어져 있고 입력 데이터와 직렬 트랜지스터의 코딩에 의해 4-Level 로 채널에 실린다. 이때 오픈 드레인 방식의 구동회로와 달리 V_{ref} 를 기준으로 똑같이 스윙하게 되고, 이를 수신단에서는 3 개의 기준전압을 중심으로 데이터를 샘플링하게 된다.

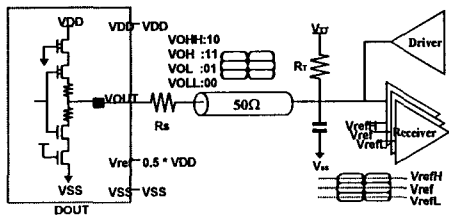


그림 3. PUSH-PULL SSTL CHANNEL

II.1 TRANSMITTER BLOCK

그림 4.의 송신부는 칩 내부의 클럭 발생기를 이용하여 내부의 메모리에서의 출력 데이터와 위상을 동기 시키고 송신용 클럭 (이하 TCLK) 위상분할기를 이용하여 반복계수(Duty Cycle)와 스큐(Skew)를 보정한 차동의 TCLK 으로 2-Bit 데이터를 그레이(Gray) 코딩한다. 클럭 발생기에서 나온 TCLK/TCLKB 는 각각 Even/Odd Gray 인코더의 활성화 클럭으로 쓰이고 이는 더블 데이터 레이트(DDR)로 채널을 구동하게 된다. 구동기는 그림 7.과 같이 알맞은 V_{OH}/V_{OL} 레벨을 유지해 주는 스윙 전압 보정 회로에 의해 공정, 전압, 온도에 대해서 둔감한 적정 준위를 유지해줄 수 있다. 구동기의 O_n -저항을 검출하여 선형성을 유지해주는 출력 선형 보정회로는 출력 임피던스를 일정하게 맞추어서 외부 신호의 간섭에 영향을 받지않게 할 수 있고, 정확한 O_n -저항의 유지에 의해 출력준위의 안정성을 도모할 수 있다. 공정, 전압, 온도에 따른 슬루 레이트(SLEW RATE)조절 회로에 의해 적당한 형태의 신호파형을 채널에 실어준다.

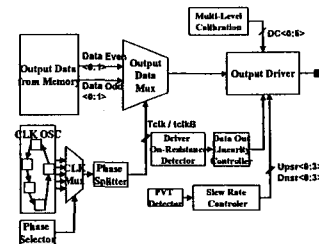


그림 4. TRANSMITTER BLOCK

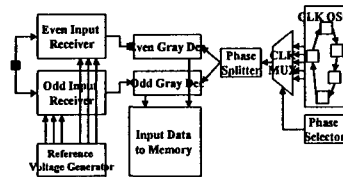


그림 5. RECEIVER BLOCK

II.2 RECEIVER BLOCK

그림 5.의 수신부에서 채널에서 들어온 4-level 의 데이터는 3 개의 기준전압과 비교하여 송신부의 클럭 발생기와 같이 차동의 수신용 클럭(이하 RCLK)으로 4 레벨 채널 데이터를 2bit 디코딩하여 내부 메모리에 쓰여지게 된다. 수신부는 EVEN/ODD 로 나눠져서 채널에 직접 물러 있게 되고 이렇게 증폭된 데이터가 기존의 2bit 데이터로 디코딩하기 위해서는 각각의 수신부의 기준 전압 레벨이 채널 데이터 스윙 레벨을 정확히 구별할 수 있게 여유를 가지고 있어야 검출오류를 최소화하면서 그레이(Gray) 디코딩할 수 있다

III. CALIBRATION CIRCUITS

고속 직렬 송수신에서 모든 잡음의 원인이 될 수 있는 변화에 대해 둔감하게 자신의 올바른 수준을 유지해야 할 필요가 있다. 이를 위해 여러 가지 폐쇄회로를 이용하여 잡음으로 여유값을 줄일 수 있는 경우를 보정할 수 있다. V_{DD} 에서 V_{SS} 까지의 전압차를 4-레벨로 스윙하기 위해서는 무엇보다도 정확한 전압스윙제어가 필수적이며 또한 고속데이터통신으로 가면서 넓은 심벌의 유지하기 위해서는 전력 잡음이 크지 않으면서도 넓은 Eye-Diagram Graph 를 얻고, 빠른 천이시간을 유지하면서 모든 변화요인에서도 일정하기를 원한다. 또한 출력파형의 일정한 선형성을 유지하기 위해서 O_n -저항 감시 회로를 통해 선형 보정을 해서 일정한 선형적 특성을 유지한다.

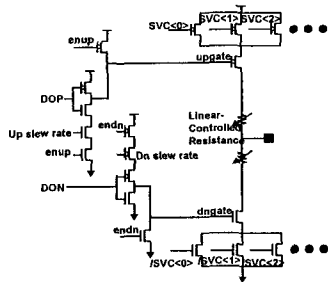


그림 6. OUTPUT DRIVER

그림 6.은 구동회로를 좀더 자세히 나타낸 것으로 기본적으로는 Push-Pull 형태로 출력 데이터가 $1/2V_{DD}$ 보다 높으면 UPGATE 가 활성화되지만 DNGATE 는 비 활성화되어 상대적으로 PULL DOWN 방식의 구동기에 비해 전류 소모를 줄일 수 있고 SVC<0>와 /SVC<0>는 각각 논리적으로 10, 00 을 나타내어 최대한의 문턱전압의 차이 없이 출력되어지지만 SVC<1>, SVC<2>, /SVC<1>, /SVC<2> 는 각각 문턱전압을 이용해 출력의 수직적 중간 레벨인 논리적 11, 01 를 유지시킨다. 구동기의 입력 노드인 DOP 와 DON 과 직렬로 연결된 Up/Dn Slew Rate 장치는 공정, 전압, 온도변화에 따라 데이터의 천이시간이 달라질 수 있는 경우를 일정하게 유지시켜주는 회로로 바이어스의 직류값으로 보정이 가능하다. 출력 임피던스 제어 조합과 신호파형조절 조합이 직렬 연결된 앞 단 인버터를 통해 그림 7.과 같은 DC 패쇄 루프 보정 회로의 조합을 받은 직렬 트랜지스터의 코딩에 의해 4-Level 를 구동하고, 각각의 DC 레벨은 그림 7.과 같이 V_{OH} / V_{OL} 레벨을 유지 할 수 있다. 데이터 11 를 V_{OH} , 01 를 V_{OL} 이라 하면

$$V_{OH} = \frac{\{(R_T * V_{DD}) + (R_S + R + R_{PON} + R_{PPON}) * V_{T1}\}}{\{R_T + (R_S + R + R_{PON} + R_{PPON})\}}$$

$$V_{OL} = \frac{\{(R_S + R + R_{NON} + R_{NNON}) * V_{T1}\}}{\{R_T + (R_S + R + R_{NON} + R_{NNON})\}}$$

로 나타낼 수 있다.

III. 1 SWING VOLTAGE CONTROL

스윙 전압 제어는 부하 트랜지스터의 크기를 조절한 일정한 전압차를 이용하여 조절할 수 있다. 그림 7.은 스윙 전압 제어 장치를 나타낸 것으로 스윙 전압 제어 비트(Swing Voltage Control Bit : SVC Bit)을 이용하여 PMOS 를 이용한 Up SVC 와 NMOS 를 이용한 Down SVC로 나뉘어진다. 그림 7.은 Down 스윙 전압 제어회로를 나타낸 것으로

구동기의 NMOS 에 직렬로 연결된 보정 회로에서 일정한 SVC Bit 에 의해 비교기에서 기준전압과 비교하여 보정이 활성화 되면 내부 카운터가 동작하여 1Bit 씩 증가하면서 기준 전압에 맞추게 되고 일정시간이 지나면 보정 활성화 회로가 카운터의 증가를 막아서 송수신기가 동작하는 동안에는 정해져서 움직이지 않고 다시 전원을 키거나 Reset 과 같이 특별한 경우에만 보정 회로가 동작한다. 모든 데이터핀에 이런 스윙 전압 제어 회로가 필요한 것은 아니고 변화의 요지가 있는 큰 블록에 하나씩으로 충분하다. 그림 9.는 스윙 전압 제어회로에 의해 보정이 가능한 레벨을 나타낸 것으로 2Bit 으로 보정한 결과이다.

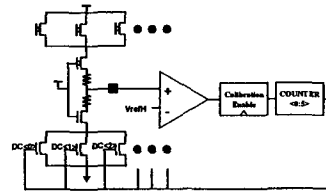


그림 7. Swing Voltage Control Block

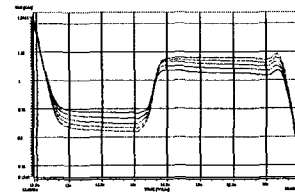


그림 8. SVC Calibration Level

III. 2 SLEW RATE CONTROL

송수신부가 고속화되고 고정, 전압, 온도의 변화를 고려하고 순간적인 잡음의 중첩효과를 고려하면 데이터의 천이시간을 조절할 필요가 있는데 이것은 크게 두 가지의 목적을 가지고 있다. 하나는 모든 외부 변화에 대해서 일정한 천이시간을 보장하여 시스템에서 항상 일정한 데이터 이동 시간과 이득을 보장하는 것이고, 또 하나는 순간적인 잡음의 중첩에 의해 다른 회로나 다른 반도체에 영향을 줄 수 있는 부분을 천이시간의 크게 하여 미연에 방지하는 것이다. 공정, 전압, 온도에 따른 N/PMOS 의 특성을 살펴보는 PVT Detector 가 NPMOS 의 특성(SS/SF/FS/TT/FF)을 결정하면 그 내용에 따라서 upsr<0:3>, dnsr<0:3>을 조절하여 Up/Down Slew Rate 의 레벨을 조정하여 전체적으로는 다른 반도체 환경하에서도 데이터의 천이시간을 일정하게 가져갈 수 있다.

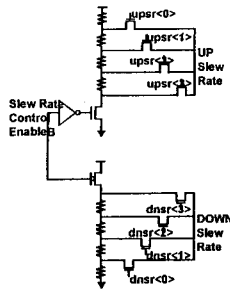


그림 9. Slew Rate Control

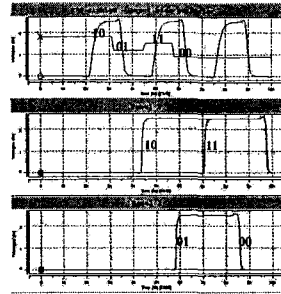


그림 12. Sampling Timing Diagram

III. 3 NOISE-ISOLATED REFERENCE CONTROL

수신부에서는 Flash 방식의 수신기를 사용했는데, 여기서 기준전압 발생기가 잡음에 둔감하기를 원하며 회로동작에 의한 di/dt 잡음과 kick-back noise 가 기준 전압 레벨에 영향을 주는 것을 막기 위해 그림 7과 같은 주머니모양의 웰 구조(pocket well)를 사용할 수 있다.

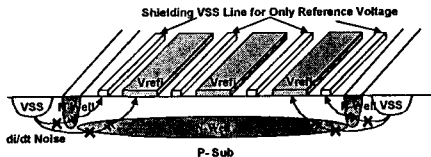


그림 10. Di/Dt Noise-Isolated Reference Structure

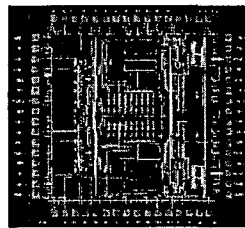


그림 13. Transceiver Layout

IV. SIMULATION RESULT

그림 11은 0.25 μ m 공정을 이용한 1.6G bps Transceiver 의 4-레벨 출력채널파형을 나타낸 것으로 BER 를 최소화하기 위해 Gray 코딩하였다. 1.6V ~0.3V 사이를 4-Level 로 나눠서 송신하여 300 ~ 400mV 의 Eye Diagram 에서 여유를 유지할 수 있다. 400MHz 의 내부 클럭을 이용하여 더블 데이터 레이트(Double Data Rate: DDR)를 사용하면 제안한 Push-Pull 4-Level 송수신기는 핀 당 1.6Gbps 의 Bandwidth 를 가진다. 그림 12는 송수신기의 샘플링과정의 Timing Diagram 를 나타낸 것으로 클럭의 Rising/Falling 에 각각 데이터 10/01/11/00 가 Even/Odd 로 나눠져서 수신되어 샘플링되는 것을 볼 수 있다. 그림 13.에서 1 개의 송수신기는 0.25 μ m 공정으로 600*500 μ m 의 크기를 가진다.

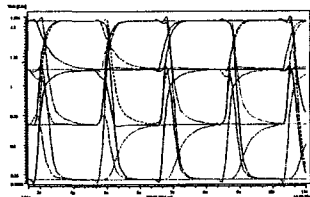


그림 11. Transceiver Output Eye-Diagram

V. SUMMARY

본 논문은 Push-Pull 방식의 구동회로를 가지고 SSTL 로 구성된 채널을 구동하고 공정, 전압, 온도 변화에 따른 보정을 하고, Flash 방식의 수신기를 가지면서 400MHz 의 내부 클럭을 가지면서 Double Data Rate 과 4-Level 신호를 처리하는 1.6Gbps/pin 송수신기이다.

References

- [1] Ramin Fajad-Rad "A 0.3- μ m CMOS 8Gb/s 4-PAM Serial Link Transceiver" 2001 ISSCC
- [2] David J. Foley "A Low-Power 8-PAM Serial Transceiver in 0.5- μ m Digital CMOS" IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL.37. NO.3.MARCH 2002 pp310~316
- [3] Zared L. zerbe "1.6Gb/s/pin 4-PAM Signaling and Circuits for a Multi-Drop BUS" 2000 VLSI Symposium