

# CMOS 기판 노이즈 모델을 위한 Layout으로부터 1차원 substrate 저항 추출 방법 및 guard ring의 효과 고찰

김 범 수, 배 승 준, 장 영 찬, 박 흥 준  
포항공과대학교 전자전기공학과  
전화 : 054-279-5025 / 핸드폰 : 018-318-5939  
E-mail : sharkky@postech.ac.kr

## Abstract

This paper presents an 1-D substrate resistance value expression and compares the measured wave-form data with the calculated 1-D resistance network model. The remaining part is devoted to the effectiveness of guard ring varying its width and number.

## I. 서론

시스템의 성능을 개선시킬 수 있는 방법으로, 여러 모듈을 단일 chip에 집적화하는 SoC(System on a Chip) 기술이 있다. 그러나 triple-well이나 SOI와 같은 공정 기술을 사용하지 않는다면, chip 내의 모든 회로들은 하나의 실리콘 기판을 공유하게 되고, 이로 인해 한 모듈내의 노이즈가 실리콘 기판을 통해 다른 모듈의 회로에 영향을 미치는 문제점이 발생한다. 특히 mixed-mode 회로의 경우 디지털 회로의 노이즈는, 상대적으로 노이즈에 민감한 아날로그 회로에 영향을 미쳐서 아날로그 회로의 성능 저하를 유발한다. chip의 성능을 시뮬레이션 하여 정확히 예측하기 위해서는 실리콘 기판 노이즈와 같은 효과를 고려해야 하며, 이를 위해서 실리콘 기판 저항의 값을 추출하고 모델하는 것이 우선 과제이다.

본 논문에서는 실리콘 기판의 1차원적 저항 값을 layout으로부터 추출하고, 측정치와 비교하기 위해서 test pattern을 만들었다. Test pattern에서는 노이즈를 chip 외부에서 clock으로 직접 인가하여 실리콘 기판을 통해 reference ground로 흐르도록 하였다. 노이즈 전파 경로 중간에는 MOS들을 두고 body effect를 이용

해 노이즈 파형을 간접 측정할 수 있도록 하였다.[1] 측정된 파형은, 계산된 저항 network 모델의 simulation 결과와 비교된다. 추가로 guard ring의 효과를 알아보기 위해서 1차원적 test pattern을 만들고 측정하여 그 효과를 정량적으로 실험하였다.

## II. Test Pattern에 대한 설명

### 2.1 저항 모델 검증에 위한 패턴

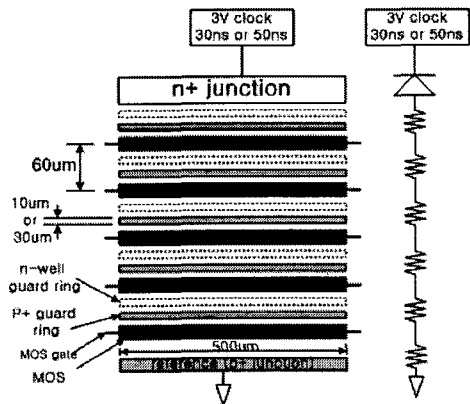


그림 3. 저항 모델 검증에 위한 layout top view 및 등가 1차원 저항 network

기판에 유기되는 디지털 노이즈는, chip의 외부에서 rising(or falling) time을 30ns, 50ns로 변화하면서 3V 크기의 clock으로 발생시켜 주었다.[그림 1] Clock은 기판 위 n+ junction에 인가되어, capacitively coupling 되어 기판에 전파된다.[1] 전파된 노이즈는 실리콘 기판을 타고 reference(p+ junction)에 도착하여, chip 외부의 PCB ground로 빠져나간다. 노이즈의 전파가 1차원적으로 이루어지게 하기 위해서 노이즈 전파 방향과 수직 방향의 길이 ( $W=500\mu m$ )를 상대적으로 길게 하였

다. 노이즈 전파 경로 중간에는 5개의 MOS ( $\frac{W}{L} = \frac{500\mu m}{0.6\mu m}$ )를, 간격이 60 $\mu m$ 씩 되게 배치하여 거리에 따른 노이즈를 검출할 수 있도록 하였다. MOS의 노이즈 검출 방법은, 노이즈 전파시 기판 전압이 변화될 때 MOS의 문턱 전압이 변화되어 동작점을 변화시키는 효과를 이용하였다.[1] 한편, MOS앞 부분에는 n-well guard ring과 p+ guard ring을 배치하여 거리와 clock edge의 변화에 따라 guard ring이 노이즈에 얼마나 효과가 있는지 측정해 볼 수 있도록 하였다.

### 2.2 기판 Resistivity 값 추출을 위한 패턴

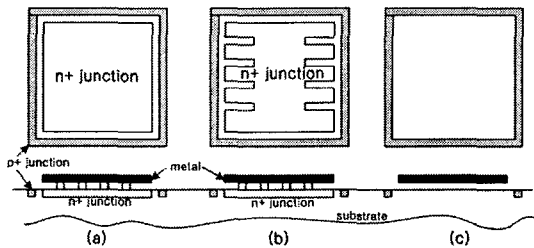


그림 4. n+ junction과 substrate 사이 junction cap을 구하기 위한 test pattern의 layout top view 및 side view

그림 1의 (sensing) MOS간 실리콘 기판 저항 값을 계산하기 위해서는 실리콘 기판의 resistivity를 알아야 한다. 이를 위해서 다음 단계를 거친다.

1. n+ junction과 p- 실리콘 기판에 의해 형성되는 junction capacitance 측정
2. 1에서 구한 junction capacitance로부터 실리콘 기판 doping 농도 구함
3. doping 농도 대 resistivity 곡선으로부터 resistivity 결정

여기서 2와 3번은 수식과 그래프를 이용하는 과정이고, 1은 그림 2와 같은 test pattern을 이용하여 실험적으로 구하게 된다. 그림 2(a)와 그림 2(b)는 n+ junction의 perimeter, area를 달리 함으로써, junction capacitance 값을 fitting에 의해 구할 수 있도록 하였다. 그림 2(c)는 LCR 미터로 측정시 기생 capacitance 성분을 고려하여 제거해 주기 위한 패턴이다.

## III. Layout으로부터 기판 저항 계산

### 3.1 CJ, Nsub, Resistivity 값 추출

Junction capacitance의 식은 다음과 같이 표현된다.[2]

$$C_{junc} = \frac{CJ * (Area)}{(1 + \frac{V_{bias}}{\phi})^{MJ}} + \frac{CJSW * (Perimeter)}{(1 + \frac{V_{bias}}{\phi})^{MJSW}} \quad (식 1)$$

LCR미터의 역전압을 변화시키며, 그림 2의 test

pattern의  $C_{junc}$ 를 측정된 결과를 그림 3에 나타내었다. 한편, 측정된  $C_{junc}$ 의 값들과,  $MJ=0.5$ ,  $MJSW=0.333$ ,  $\phi=0.8V$ 의 이상적인 값으로 data fitting 했을 때,  $CJ$ ,  $CJSW$ 의 fitting 값 중  $CJ$ 는 다음과 같이 얻어졌다.

$$CJ = 2.27 \times 10^{-4} F/m^2 \quad (식 2)$$

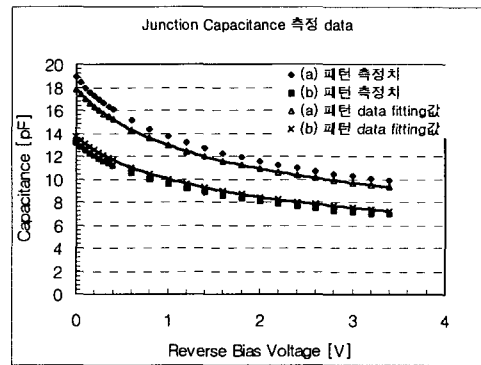


그림 5. junction cap( $C_{junc}$ ) 측정치와 계산치 fitting 비교

그림 3의 실선은, fitting하여 얻은  $CJ$ ,  $CJSW$ 로  $C_{junc}$ 을 다시 계산해서 측정된  $C_{junc}$ 와 비교한 그래프이다.  $CJ$ 의 값으로부터 실리콘 기판의 doping 농도의 값은 다음과 같다.[3]

$$N_{sub} = \frac{2(CJ)^2 \phi}{q \epsilon_{si}} \quad (식 3)$$

$$= \frac{2 \times (2.27 \times 10^{-8} F/cm^2)^2 \times 0.8 V}{(1.602 \times 10^{-19} C) \times (11.8 \times 8.854 \times 10^{-14} F/cm)}$$

$$= 4.36 \times 10^{15} cm^{-3}$$

이 값에 해당하는 실리콘 기판의 resistivity를, 실리콘의 resistivity 대 doping 농도의 그래프[4]로부터 구하면,  $\rho \approx 3.9 \Omega cm$ 가 된다.

### 3.2 MOS간 실리콘 기판 저항 계산식

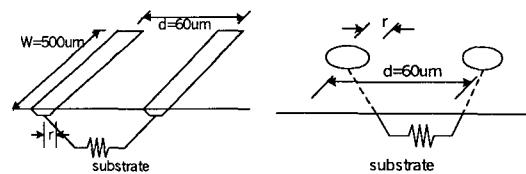


그림 6. 기판 저항 성분(1차원)      그림 7. 기판 저항 성분(2차원)

그림 4의 평행한 사각형들을 각각 MOS의 bulk 영역이라고 하자. MOS 간 기판 저항은 그림 4의 1차원적 저항 성분과 그림 5의 MOS 끝단의 2차원적 효과를 고려한 저항 성분과의 병렬 값에 해당한다. 이들을 유도한 식은 다음과 같다.

$$Rl = \frac{2\rho}{\pi W} \ln \frac{d}{r} \quad (식 4)$$

$$Rp = \frac{\rho}{\pi} \ln \frac{d-r}{dr} \quad (식 5)$$

본 논문의 측정에서는 1차원적 저항 network를 구성하기 위해 노이즈 전과 방향에 대해 수직방향의 MOS 길이를 길게 하였다. 따라서,  $W \gg d$ 이므로,

$$Rsub = Rl \parallel Rp \approx Rl = a \frac{2\rho}{\pi W} \ln \frac{d}{r} \quad (식 6)$$

여기서 a는 fudge factor로써, 1에 가까울수록 계산치와 측정치가 거의 일치한다는 것을 의미한다. 계산치와 측정치는 다음과 같다.

$$Rsub, measured = 214\Omega \quad (식 7)$$

$$Rsub, calculated = \frac{2\rho}{\pi W} \ln \frac{d}{r} = \frac{2 \cdot 30\mu m}{\pi(500 \times 10^{-4} cm)} \ln \frac{50\mu m}{0.251\mu m} = 202\Omega \quad (식 8)$$

fudge factor a가 1.06일때, 측정치와 계산치가 같게됨으로 계산치가 잘 맞음을 확인할 수 있다. 정확한 실리콘 기판 저항값은  $Rsub$ 와 MOS 사이에 존재하는 field implant ( $Rimp$ )에 의한 저항의 병렬 저항값이다. 본 논문에서  $Rimp$ 는 직접 측정을 하여 얻어졌고 모델의 최종 실리콘 기판 저항 값 계산에 사용하였다.

#### IV. 노이즈 측정 및 simulation과 비교

##### 4.1 Bulk 전압에 따른 Drain 전압 변화 측정

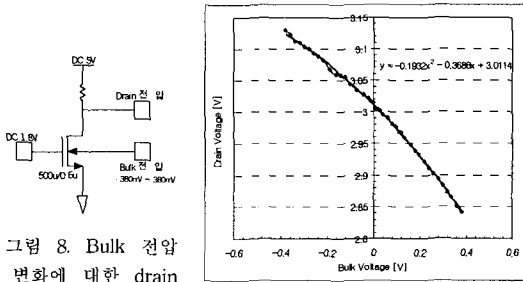


그림 8. Bulk 전압 변화에 대한 drain 전압 측정 회로

그림 9. bulk 전압 대 drain 전압 측정

본 측정에서는 noise 전파의 영향을 알아보기 위해서 MOS의 body effect를 이용하여 간접적으로 noise를 측정하였다. MOS의 drain은 chip의 외부와 연결되어 외부 저항  $500\Omega$ 을 통해 DC 5V에 연결된다. drain의 bias point가 3V가 되도록 하기 위해 MOS의 gate에 1.8V의 전압을 외부에서 인가하였다.[그림 6] Noise의 간접측정은 drain의 bias point가 변화되는 파형을 측정하여 알게 된다. 측정된 drain 전압 파형을 MOS bulk에서의 noise 전압의 절대 파형으로 변환하기 위해서 bulk 전압 대 drain 전압 변화에 대한 식이 필요하다. 이를 위해서 MOS bulk를 chip 외부로 직접 배

내어서, bulk 전압의 DC 값을 변화(-380mV~380mV)시켜가며, drain 전압의 DC 값을 측정하였다. 측정회로와 data는 그림 6, 7과 같다. 그림 7의 data를 fitting하여 얻은 bulk 대 drain 전압의 2차식은 다음과 같다.

$$V_{drain} = -0.1932V_{bulk}^2 + 0.3686V_{bulk} + 3.0114 \quad [V] \quad (식 9)$$

##### 4.2 거리에 따른 noise 전압 peak 값(Bulk 전압)

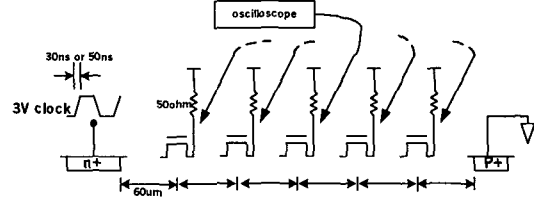


그림 10. 노이즈 측정 회로

그림 1의 layout을 간단한 회로로 보인 것이 그림 8이다. 그림 8의 측정 회로 종류는, 그림 1의 MOS 앞단의 guard ring의 종류에 따라 다음 3가지로 나뉜다.

1. 폭이 10μm인 p+ guard ring이 있는 경우
2. 폭이 10μm인 p+ guard ring과 n-well guard ring이 함께 있는 경우
3. 폭이 30μm인 p+ guard ring이 있는 경우

MOS 앞단의 guard ring은 guard ring의 효과 측정을 위해서 함께 만들어 놓은 것에 불과하지만, field implant의 값을 변화시키므로 실리콘 기판 저항 값을 변화시킨다. 따라서 3경우 모두에 대해 측정했다.

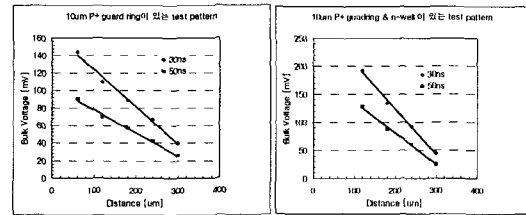


그림 11. 10μm p+ G.R.

그림 12. 10μm p+ & n-well G.R.

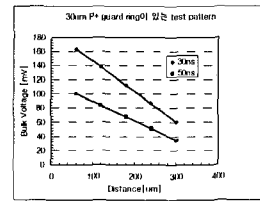


그림 13. 30μm p+ G.R.

Clock의 rising time을 30ns, 50ns로 변화시키면서 각각의 경우에 대해, MOS drain 전압의 bias point가 변화하는 것을 오실로스코프로 측정하여 그 peak값을 MOS 거리에 따라 기록하였다. 이 값을 (식 9)에 의해 bulk 전압으로 변환하여 그래프로 나타낸 것이 그림 9,

10, 11이다. 그래프에서 확인할 수 있듯이, non-epi layer에서는 노이즈의 크기가 거리에 비례하여 감소하는 것을 확인할 수 있다.

4.2 Bulk 전압 측정치와 SPICE simulation 비교

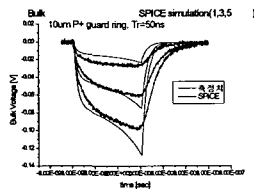


그림 14. Tr=50ns

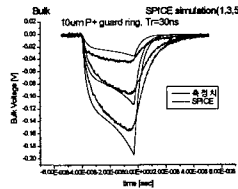


그림 15. Tr=30ns

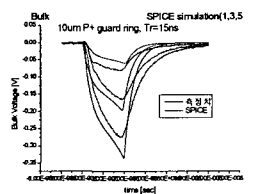


그림 16. Tr=15ns

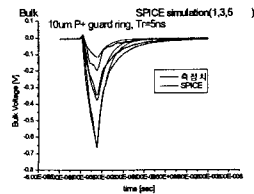


그림 17. Tr=5ns

clock의 rising(or falling) time을 각각 50ns, 30ns, 15ns, 5ns로 변화하며 drain 전압 파형을 측정하고 (식 9)에 의해 bulk 전압으로 변환한 파형이 그림 12, 13, 14, 15이다. 파형은 5개의 MOS중 1, 3, 5번째 MOS에 의해 측정된 파형만 나타내었다.

그림 1의 1차원 등가 저항 회로와 layout으로부터 추출한 실리콘 기판 저항을 이용하여 SPICE simulation 한 결과, 비교적 측정치와 일치하는 것을 볼 수 있다.

V. guard ring의 효과

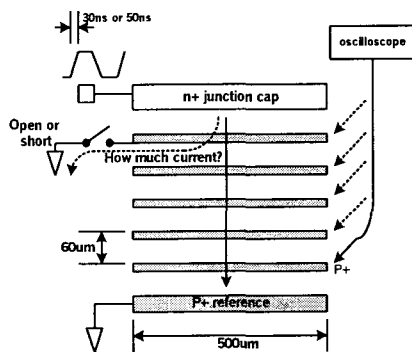


그림 18 guard ring 효과 측정 패턴 setting

그림 1에서 MOS에 전압을 가하지 않고 off시키면 그림 16과 같은 guard ring 효과 측정 패턴이 된다. 5개

의 guard ring들은 각각 chip 외부의 PCB ground와 open 또는 short 될 수 있게 하였다. guard ring이 모두 open 되었을 때, 1번째 guard ring이 short되었을 때, 1 & 2번째 guard ring이 동시에 short 되었을 때의 3가지 경우에 대해서 noise peak 값을 측정하여, guard ring이 있을 때(short) noise 감소 효과가 어느 정도 되는지 측정하였다. 측정은 guard ring의 폭이 10um, 30um인 경우에 대해서 행하였고, 그 결과는 표 1, 2와 같다. guard ring을 하면 10% 미만으로 noise 감소 효과가 있으며, 2중으로 guard ring을 하면 대략 그 배수로 감소 효과가 있는 반면, guard ring의 폭을 두껍게 하여도 감소 효과가 크게 증가하지 않는다는 것을 알 수 있다.

	가울기	percentag		가울기	percentag
open	1.8	100	open	1.54	100
short 1 GR	0.164	9.11	short 1 GR	0.11	7.14
short 2 GR	0.0567	3.15	short 2 GR	0.01	0.65
	[mV/um]			[mV/um]	

표 1. 10um p+ guard ring의 경우 표 2. 30um p+ guard ring의 경우

VI. 결론

본 논문에서는 test pattern을 1차원 저항 network로 구성하고 layout으로부터 실리콘 저항 값을 추출하여 simulation 하였고, 이를 측정 파형과 비교하여 비교적 잘 맞는 것을 확인하였다. 또, guard ring의 폭과 거리에 따라 noise가 얼마나 감소되는지 실험한 결과, guard ring을 사용할 경우 10%미만으로 노이즈 감소 효과가 있었고, guard ring의 폭을 두껍게 해도 크게 효과가 증가하지 않음을 확인하였다.

참고문헌(또는 Reference)

- [1] IEEE JOURNAL OF SOLID-STATE CIRCUITS. VOL. 28. NO. 4. APRIL 1993, "Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits"
- [2] 박홍준, "CMOS 아날로그 집적회로 설계(상)", 시그마프레스, p.80
- [3] Streetman, "Solid State Electronic Devices", Prentice Hall International Edition
- [4] Richard Muller, "Device Electronics for Integrated Circuits", Second Edition, WILEY, p.31