

오디오 신호처리용 $\Delta\Sigma$ DAC 디지털 단의 설계기법

김 선 호, 손 영 철, 김 상 호, 이 지 행, 김 대 정, 김 동 명
국 민 대 학 교
전화 : 02-910-4704 / 핸드폰 : 016-673-9770

Design methodology of digital circuits for an audio-signal-processing $\Delta\Sigma$ DAC

Sun-Ho Kim, Young-Chul Sohn, Sang-Ho Kim, Ji-Hang Lee,
Daejeong Kim, Dong Myong Kim
Kookmin University
E-mail : eric040@hanmail.net

Abstract

This paper proposed a guideline for selecting the arithmetic circuit architecture. The guideline incorporates the new concept of PDSP (power-delay-size product) and the weighting method. HSPICE simulations have been performed to several full adders in order to prove the validity of the proposed guideline. We applied this guideline to select an optimized FA (full adder) architecture and successfully implemented the $\Delta\Sigma$ DAC's digital blocks.

I. 서론

최근 디지털 신호 처리 기술의 발달로 인해 고 해상도의 데이터 변환기의 필요성이 높아지고 있으며 샘플링 주파수에 따라 나이퀴스트 데이터 변환기와 과 표본화 데이터 변환기로 나뉜다. 나이퀴스트 데이터 변환기는 고 해상도를 얻기 위한 정밀도의 한계가 있으므로 16-bit 이상의 해상도가 요구되는 오디오 신호처리 분야에서는 과 표본화 데이터 변환기가 일반적으로 사용된다 [1].

본 논문의 $\Delta\Sigma$ DAC에 사용된 과 표본화 데이터 변환기는 아날로그 신호 주파수보다 20배에서 512배 정도로 높은 표본화 비율로 신호를 샘플링을 한다. $\Delta\Sigma$ DAC의 디지털 블록 내의 FIR 필터, 잡음 변형기, AGC (automatic gain controller)와 같은 핵심적인 디지털 블록을 설계하는데 있어서는 가산기의 사용이 필연적이며, 각각의 용도에 맞는 가장 최적화된 전 가산기의 구조를 선택하기 위한 guideline이 필요하다.

본 논문에서는 PDP (power-delay product) 개념 [2], [3]을 확장한 PDSP와 이의 가중치 기법을 제시하고, 몇가지 구조의 전 가산기 구조에 적용함으로써 제안하는 guideline이 효과적임을 보인다.

II. $\Delta\Sigma$ DAC

2.1 $\Delta\Sigma$ DAC 디지털 단의 구조

본 논문에서 설계된 $\Delta\Sigma$ DAC의 디지털 단의 구조는 그림 1과 같이 디지털 AGC, interpolator

디지털 필터, 잡음 변형기로 구성되어 있다.

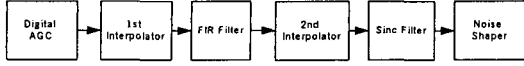


그림 1. ΔΣ DAC 디지털 단의 블록 다이어그램

2.2 ΔΣ DAC 디지털 단의 가산기 구조

그림 2와 같은 디지털 AGC는 MSB (most significant bit), LSB (least significant bit) 단으로 구성되어, 스케일링에 필요한 곱셈기를 사용하지 않고 shifter와 가산기를 이용하여 구현하였다. 첫 번째 단의 출력이 두 개의 가산기를 통과하므로 큰 면적의 고속 가산기가 필요하고 두 번째 단에서는 첫 번째 단에 의한 면적의 증가를 보상하는 작은 면적의 저속 가산기가 필요하다.

그림 3의 FIR 필터에 사용되는 곱셈기와 적분기는 과 표본화에 의해 빠른 속도로 표본화하여 데이터를 출력하므로 고속 가산기가 필요하다.

따라서 곱셈기는 square root 캐리 선택 가산기와 같은 고속 가산기가 필요하며, 적분기에는 곱셈기의 부분 곱을 합하는 블록으로 곱셈기보다 연산 속도의 부담이 작은 가산기가 필요하다.

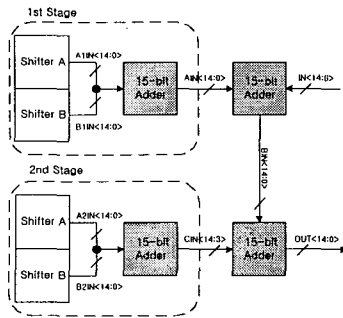


그림 2. AGC 블록 다이어그램

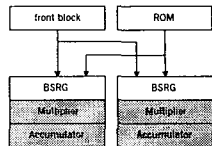


그림 3. FIR 필터의 블록 다이어그램

그림 4의 잡음 변형기는 아날로그 단에 1-bit 출력을 주는 부분으로서 4차 butterworth 단일 루프 1-bit 모듈레이터를 사용해 고속 연산보다는 면적에 중점을 둔 18개의 33-bit 가산기가 필요하다.

따라서 블록 구현에 있어서 각각의 특성에 맞는 가산기의 선택이 중요하다. 하지만, ΔΣ DAC 디지털 블록은 다중 bit 가산기 구조이므로 전체적으로 최적화 될 수 있는 한계가 있다. 따라서 기본적으로 전 가산기의 최적화가 필수적이다.

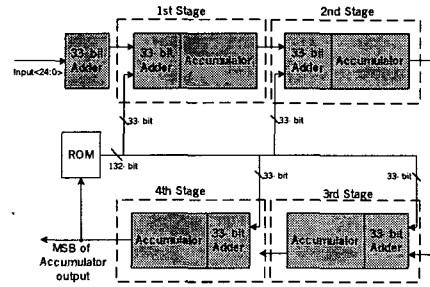


그림 4. 잡음 변형기의 블록 다이어그램

III. ΔΣ DAC 디지털 단의 구조 선택을 위한 PDSP의 정의 및 검증

3.1 PDSP의 정의

PDP의 식 (1)은 식 (2), (3)에서와 같이 전력소모(P)는 전류(I_D)에 비례하고 지연(t_p)은 I_D 에 반비례하는 관계로서 전력소모와 지연은 서로 반비례하므로 PDP는 일정하다 [3].

$$PDP = P \cdot t_p \quad [W \cdot sec = Joule] \quad (1)$$

$$P = \frac{V_{DD} I_D}{2} \quad \text{하게 된다. 식 (3)식 (3)} \quad (2)$$

$$t_p = C_T \left(\frac{V_{OH} - V_{OL}}{I_D} \right) \quad (3)$$

여기서 전력소모, 지연을 N-stage에 대해 정의하면 PDP 식 (2), (3)은 각각의 PDP의 합인 식 (4), (5)로 나타난다.

$$P = \sum_{k=1}^N P^{(k)} = \frac{V_{DD}}{2} \sum_{k=1}^N I_{D^{(k)}} \quad (4)$$

$$t_p = (V_{OH} - V_{OL}) \sum_{k=1}^N \frac{C_T^{(k+1)}}{I_{D^{(k)}}} \quad (5)$$

그림 5와 같이 N=2, 3인 경우에 대해 비교했을 때 (a), (b)의 전력소모와 지연이 동일하다면 각 stage의 칩 사이즈는 전력소모와 지연과는 독립적인 조건으로 제시할 수 있다.

따라서 가산기의 구조를 선택하는 기준으로서 칩 사이즈를 독립 변수로 활용할 필요가 있다.

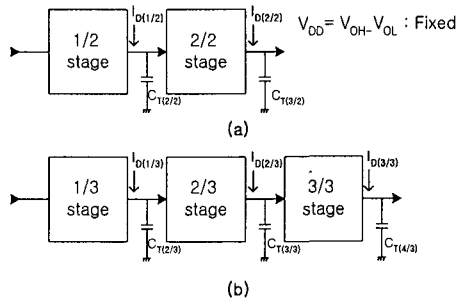


그림 5. PDSP를 위한 N-stage의 구조 비교
(a) N=2인 경우, (b) N=3인 경우

칩 사이즈 s는 식(6)과 같이

$$s = \sum_{i=1}^M n_{p,i} (W_{p,i} L_{p,i}) + \sum_{j=1}^L n_{n,j} (W_{n,j} L_{n,j}) \quad (6)$$

트랜지스터의 width와 length의 함수로써 표시된다. 본 논문에서는 칩 사이즈의 영향을 포함한 PDSP를 제시하고 전력소모, 지연, 크기의 곱을 식 (7)과 같이

$$PDSP = P \cdot t_p \cdot s \quad [W \cdot sec \cdot m^2 = Soule] \quad (7)$$

로써 정의하였다.

3.2 PDSP의 가중치의 정의

디지털 회로 설계 시 EDP (energy-delay product) [4]의 식 (8)에서 확장된 개념을 PDSP의 식 (7)에 적용하여, 고려해야 할 세 가지 가중치 중 하나를 식 (7)에 곱함으로써 식 (9)~(11)과 같이 PDSP의 가중치로 표현할 수 있다.

$$EDP = PDP \cdot t_p = P_{av} \cdot t_p^2 \quad (8)$$

$$PDSP_p = P^2 \cdot t_p \cdot s \quad (9)$$

$$PDSP_{t_c} = P \cdot t_p^2 \cdot s \quad (10)$$

$$PDSP_s = P \cdot t_p \cdot s^2 \quad (11)$$

3.3 PDSP를 이용한 전 가산기의 검증

PDSP와 PDSP의 가중치 기법이 유용함을 보이기 위해 그림 6의 여러 가산기 회로 [5]에 적용하였다. 여기에 사용된 전 가산기들의 PDSP에 사용되는 P, t_p, s를 구하기 위해 공급전압 1.8 [V], 온도 85 [°C], load capacitor 0.5 [pf]의 조건에서 HSPICE로 시뮬레이션하여 그 결과를 표 1에 나타내었다.

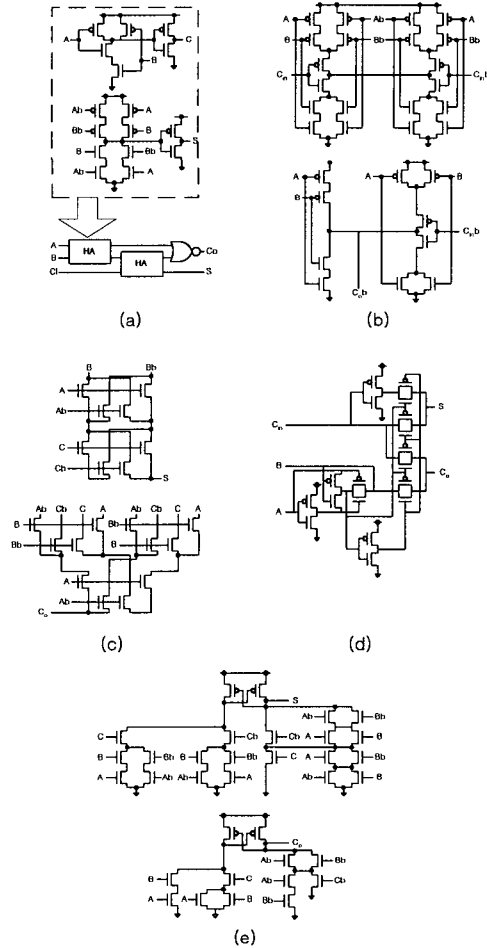


그림 6. 전 가산기의 구조

(a) Basic FA, (b) CMOS FA, (c) CPL FA, (d) TG FA (e) CVSL FA

표 1의 P, t_b, s를 이용해 PDSP와 PDSP의 가중치를 표 2를 제시하였다.

결론적으로 표 2와 그림 7의 (a),(b),(c)를 통해 PDSP와 PDSP의 가중치의 비교 중 그림 6의 (d) 회로가 모든 결과에서 가장 좋은 결과가 나올 것을 볼 수 있다.

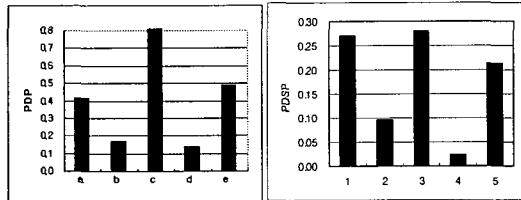
표 4. 전 가산기들의 시뮬레이션 결과

	Power [10 ⁻¹⁵ W]	Delay [10 ⁻⁹ s]	Tr. [#] (n/p)
1	0.310	1.35	46 (23/23)
2	0.159	1.07	40 (20/20)
3	10.173	0.83	30 (25/5)
4	0.147	0.96	18 (9/9)
5	0.183	2.69	44 (35/9)

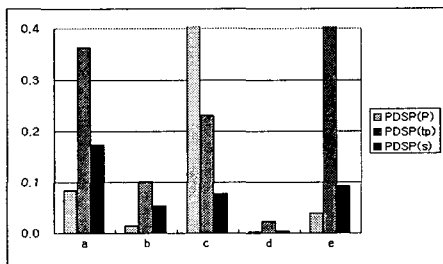
$$(W_p/L_p = 6[\mu\text{m}]/0.35[\mu\text{m}], W_n/L_n = 2[\mu\text{m}]/0.35[\mu\text{m}])$$

표 5. PDP, PDSP와 PDSP의 가중치

	PDP	PDSP	PDSP _p	PDSP _b	PDSP _s
1	0.419	0.270	0.084	0.364	0.174
2	0.170	0.095	0.015	0.102	0.053
3	8.444	0.280	2.848	0.232	0.078
4	0.141	0.024	0.003	0.023	0.004
5	0.492	0.214	0.039	0.575	0.093



(a) (b)



(c)

그림 7 표 2에 대한 비교치

(a) PDP. (b) PDSP. (c) PDSP의 가중치 P, t_b, s

위의 결과를 바탕으로 하여 ΔΣ DAC의 각각의 디지털 블록의 요구조건에 적합한 PDSP 가중치를 guideline으로 사용하여 성능, 칩 사이즈 및 전력소모 측면에서 최적화된 디지털 회로를 설계하였다.

V. 결론

본 논문에서는 multi-stage 다중 bit 가산기의 구조를 선택하기 위한 guideline으로서 기존의 PDP 외에 칩 사이즈를 고려한 PDSP와 각 요소의 가중치를 고려한 PDSP 가중치 기법을 제시하였다. 제시된 PDSP 가중치 기법을 적용하여 ΔΣ DAC의 주요 핵심 블록을 설계함으로써 매우 최적화된 디지털 회로의 설계를 구현하였다. 이러한 guideline은 가산기 뿐 아니라, 일반적인 조합 회로 (combinational circuit)에도 널리 적용될 수 있을 것으로 생각된다.

Acknowledgment

본 논문은 Brain Korea 21 project의 지원과 IDEC(IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사드립니다.

참고문헌(또는 Reference)

- [1] Naus et al. "CMOS Stereo 16-Bit D/A Converter for Digital Audio," *IEEE J. Solid-State Circuit*, vol. sc-22, no. 3, June 1987.
- [2] Ahmed M. Shams, "Performance Analysis if Low-Power 1-Bit CMOS Full Adder Cells," *IEEE Transactions on VLSI Systems* vol. 10, pp. 20-29, Feb 2002.
- [3] David A. Hodges and Horace G. Jackson, *Analysis and Design of Digital Integrated Circuit*, McGraw-Hill, pp. 94-102, 1983.
- [4] Jan M. Rabaey, *Digital Integrated Circuit*, Upper Saddle River, Prentice Hall, pp. 119-147, 1996.
- [5] N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design, A System Perspective*, Addison-Wesley, 1993