

디지털 오디오 신호처리용 1-bit $\Delta\Sigma$ DAC 아날로그 단의 설계기법

이지행, 김상호, 손영철, 김선호, 김대정, 김동명
 국민대학교
 전화 02-910-4704, 핸드폰 019-279-8880

Design methodology of analog circuits for a digital-audio-signal processing 1-bit $\Delta\Sigma$ DAC

Ji-hang Lee, Sang-Ho Kim, Young-Chul Sohn, Sun-Ho Kim, Daejeong Kim, Dong Myong Kim
 Kookmin University
 E-mail : semol85@empal.com

Abstract

The performance of a $\Delta\Sigma$ 1-bit DAC depends on that of the analog circuits. The mixed SC-CT (switched capacitor-continuous time) architecture is an effective design methodology for the analog circuits. This paper proposes a new buffer scheme for the 1-bit digital-to-analog subconverter and a new SF-DSC(smoothing filter and differential-to-single converter) which performs both the smoothing filter and the differential-to-single converter simultaneously.

I. 서론

오늘날 음성모드 신호처리 집적회로를 구현함에 있어 신호의 주파수 범위가 작으며 고해상도를 요구하는 디지털 오디오 신호처리분야에는 과 표본화 데이터 변환기의 사용이 일반적이다 [1]. 입력신호를 Nyquist rate으로 표본화하는 데이터 변환기는 아날로그 수동 소자의 정밀도의 문제와 공정상의 정밀도 한계로 인하여 12-bit 이상의 해상도를 얻기가 어렵다[2]. 이러한 해상도의 한계는 과 표본화 데이터 변환기를 사용하여 해결할 수 있다. 과 표본화 데이터 변환기는 높은

표본화 주파수를 사용하므로 빠르고 복잡한 디지털 신호처리를 요구 하지만 상대적으로 아날로그 수동 소자 사용의 정밀도에 대한 요구가 완화된다. 과 표본화 기법을 사용하는 $\Delta\Sigma$ 1-bit DAC는 잡음 및 수동소자의 정밀도에 영향을 덜 받는 안정된 회로로써 일반적으로 사용되며 [2]. 특히 아날로그 단은 전체 정밀도를 좌우하는 중요한 역할을 한다. 16-bit 해상도를 가지는 $\Delta\Sigma$ 1-bit DAC의 아날로그 단은 1-bit digital-to-analog subconverter의 역할을 수행하는 buffer를 삽입한 mixed SC-CT 형 구조로 설계된다 [3]. 본 논문에서는 기존의 mixed SC-CT 형 구조에 사용된 buffer보다 동작속도가 빠르며 면적을 덜 차지하는 새로운 buffer를 제안한다. 또한 기존 구조에서는 smoothing filter와 differential-to-single 변환기를 각각 설계했으나 본 논문에서는 두 회로의 기능을 통합한 SF-DSC를 제안한다.

II. Mixed SC-CT $\Delta\Sigma$ 1-bit DAC

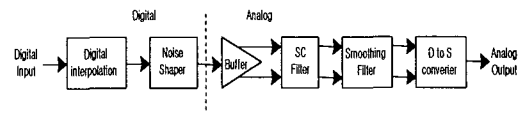


그림 3. Mixed SC-CT $\Delta\Sigma$ 1-bit DAC

그림 1은 mixed SC-CT 형으로 설계된 $\Delta\Sigma$ 1-bit DAC이다. 이 구조는 디지털 interpolator, noise shaper, buffer, SCF (switched-capacitor filter), smoothing filter 및 differential-to-single 변환기로 구성된다. 디지털 interpolator에서 과 표본화된 신호를 noise shaper에서 양자화 잡음을 신호대역 밖으로 밀어내어 신호 대 잡음비 (SNR)를 높인다. Buffer는 noise shaper의 1-bit 출력을 아날로그 차동 신호로서 변환한다. Buffer의 출력은 SCF를 통과하여 양자화 잡음이 제거된 후 연속시간 smoothing filter와 differential-to-single 변환기를 통해 최종 아날로그 신호로 변환된다. Smoothing filter는 출력신호의 replica 성분을 제거하며 아날로그 단 전체는 차동형 구조로 되어 있어 공통모드 잡음 (common mode noise)를 제거한다.

III. 아날로그 단의 설계

A. Buffer

Buffer는 디지털 1-bit 신호를 입력받아서 아날로그 차동신호인 +Vref 와 -Vref를 출력한다. 입력신호는 과 표본화된 넓은 대역폭의 1-bit 디지털 신호이므로 이를 처리하기 위해서 동작속도가 빨라야 한다. 그림 2에 보인 기존 buffer의 시간지연은

$$T_{d1} = T_{dNAND} + T_{dVDD} + 3T_{dREF} \quad (1)$$

이다. 여기서 $T_{dVDD} = \frac{C_L}{2V_{VDD}} \left(\frac{1}{k_p} + \frac{1}{k_n} \right)$

$$T_{dREF} = \frac{C_L}{2V_{REF}} \left(\frac{1}{k_p} + \frac{1}{k_n} \right)$$

T_{dNAND} = Nand gate의 시간 지연

으로 정의되며, T_{dVDD} 는 디지털 전압을 입력으로 받는 inverter의 시간 지연이고 T_{dREF} 는 아날로그 전압을 입력받는 inverter의 시간 지연을 나타낸다. 아날로그 전압은 SCF의 saturation 현상을 막기 위해 내부 생성 전압으로 디지털 전압보다 작은 전압이므로 T_{dVDD} 는 T_{dREF} 보다 작은 시간 지연이다. 그림 3에 보인 제안된 buffer의 시간 지연은 수식 (2)와 같다.

$$T_{d2} = 2T_{dVDD} + T_{dREF} \quad (3)$$

따라서 수식 (1)과 (2)를 비교해 보면 제안된 buffer가 기존 buffer보다 시간 지연이 작다는 것을 알 수 있다.

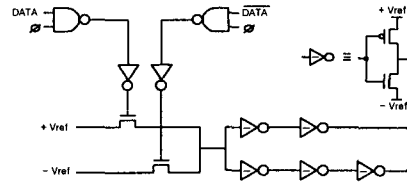


그림 4. 기존 buffer 구조

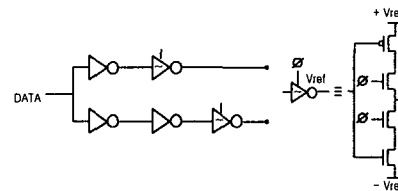


그림 3. 제안하는 buffer 구조

B. Switched-Capacitor Filter

SCF는 보통 ladder 형이나 cascade형의 설계를 하는데, ladder형 설계는 CR (capacitor ratio)이 과 표본화 주파수 f_s 와 차단 주파수 f_c 의 비 f_s / f_c 제곱에 비례한다. 하지만 biquad형을 중속 연결하여 고차 필터를 구현하는 cascade형 설계는 CR이 f_s / f_c 비에 비례하기 때문에 SCF는 cascade형 설계가 적합하다 [3]. 그림 4는 biquad형을 중속 연결하여 cascade형으로 설계한 차동형 5차 cascade SCF이다.

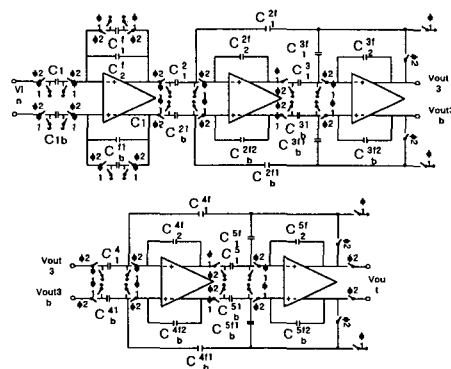


그림 6. 차동형 5차 cascade SCF

C. SF-DSC

기존의 mixed SC-CT구조에서는 smoothing filter를 RC filter로 구현하고 differential-to-single 변환기를 각각 설계하였다. 하지만 그림 5에 나타난 제안된 SF-DSC는 smoothing filter 기능과 differential-to-single 변환기의 기능을 동시에 수행할 수 있도록 하여 그 구조를 단순화하고 회로가 차지하는 면적을 줄였다.

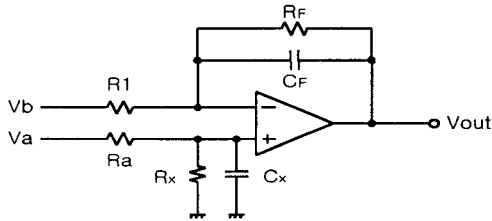


그림 5. 제안하는 SF-DSC

SF-DSC의 출력은 $R_1 = R_a = R_x = R_f, C_x = C_f$ 일 때 식 (4)와 같다.

$$V_{out}(s) = \frac{1}{1 + R_f C_f s} (V_a(s) - V_b(s)) \quad (4)$$

음성신호 대역에서는 SF-DSC의 출력 V_{out} 이 $V_a - V_b$ 가 되어 차동 신호를 single 신호로 변환한다. 또한 신호에 포함된 replica 성분은 고주파 대역에 반복적으로 존재하는데, SF-DSC는 식 (4)에서 $\tau = R_f C_f$ 의해 결정된 차단 주파수에 의하여 replica 성분을 완전히 제거하여 최종 아날로그 출력을 얻는다.

IV. Simulation 결과

그림 6은 차단 주파수가 100 KHz인 SF-DSC를 CMOS 0.35 μ m 공정을 이용하여 HSPICE simulation한 AC 특성 결과이다. 음성신호 대역에서는 일정하게 유지하고 신호의 replica성분이 존재하는 고주파 대역에서는 -20dB 이상의 감쇠 특성을 나타낸다. 그림 7은 SCF를 통과한 10 KHz 입력에 대한 SF-DSC의 transient simulation 결과로서 음성신호 대역의 차동 신호가 single신호로 변환되는 것을 볼 수 있다.

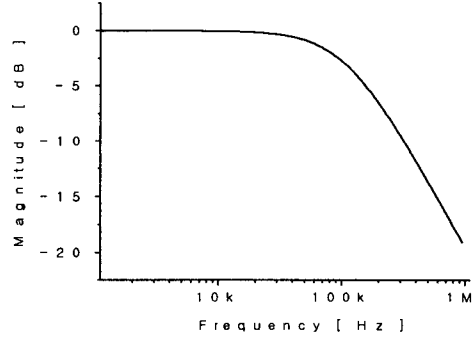


그림 8. AC Simulation 결과

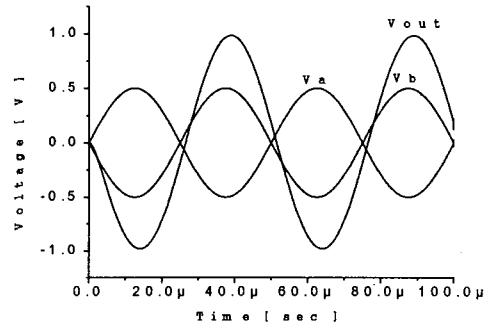


그림 9. 입력 신호의 주파수가 10 KHz 일 때의 transient Simulation 결과

V. 결론

본 논문에서는 $\Delta\Sigma$ 1-bit DAC에 있어서 1-bit subconverter의 용도로 사용되는 clocked CMOS 로직을 이용한 buffer와 smoothing filter기능과 differential-to-single 기능을 동시에 수행할 수 있는 SF-DSC를 제안하였다 제안된 buffer는 기존 buffer보다 안정된 아날로그 출력을 빠르게 switched-capacitor 필터로 전달하여 아날로그 단 성능 향상에 기여할 수 있다. 또한 SF-DSC는 기존 mixed SC-CT형 1-bit $\Delta\Sigma$ DAC에서 독립적으로 존재하던 smoothing filter와 differential-to-single converter의 기능을 통합하여 구조를 단순화하였다. 위의 결과들은 해석적인 증명과 함께 CMOS 0.35 μ m 공정을 이용한 HSPICE simulation을 수행하여 그 유용성을 검증하였다.

Acknowledgment

본 논문은 Brain Korea 21 project의 지원과 IDEC(IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사 드립니다.

참고문헌

- [1] S. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma data converter : in Theory, Design, and Simulation*. New York: IEEE Press 1997.
- [2] H. Schouweenaars et al., "An oversampled multibit D/A converter for digital audio with 115-dB dynamic range." *IEEE J. Solid-State Circuit*, vol. 26, pp. 1775-1780, DEC. 1991.
- [3] Sang-Ho Kim et, al., "Design Methodology of Analog Circuit for a CMOS Stereo 16-bit $\Delta\Sigma$ DAC" 대한 전자공학회 2001년 하계 종합학술 대회 논문집 vol. 24 No.1 pp 93-96, Jun. 2001.
- [4] P. J. A. Naus et al., "A CMOS Stereo 16-bit D/A converter for digital audio" *IEEE J. Solid State Circuit*, vol. 33, pp. 1971-1878 Dec. 1998.
- [5] R. Adams et al., " A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling." *IEEE J. Solid-State Circuits*, vol. 33, pp 390-395, June 1998.