

자동진폭조절 기능을 갖는 CMOS IF VCO 설계

김 유환, 문 요섭, *이 종렬, 박 종태, 유 종근
인천대학교 전자공학과, *(주)FCI

Tel: 032-770-8450, Fax: 032-764-2371, E-mail: schang74@orgio.net

Design of a CMOS IF VCO with Automatic Amplitude Control

Y. H. Kim, Y. S. Moon, J. R. Lee, J. T. Park, C. G. Yu
Department of Electronics Engineering, University of Incheon
Tel: 032-770-8450, Fax: 032-764-2371, E-mail: schang74@orgio.net

Abstract

In this paper, a voltage controlled oscillator (VCO) with automatic amplitude control is designed using a $0.35\mu\text{m}$ CMOS process. A cross-coupled PMOS pair is used for a negative resistance to compensate for the losses in the LC resonator, and an automatic amplitude control function is adapted to provide constant output power independent of the Q-factor of the LC resonator. The designed VCO operates in the 200MHz to 550MHz frequency range using different external resonators. The simulated phase noise is -128 dBc/Hz at 100kHz offset from the carrier frequency of 260MHz. It dissipates 0.7mW from a 3V power supply. The area is $300\mu\text{m} \times 120\mu\text{m}$.

I. 서론

이동통신 단말기의 구조로는 RF(Radio Frequency) 부분과 IF(Intermediate Frequency) 부분으로 구성된 슈퍼헤테로다인 방식이 많이 사용되고 있다. RF 부분은 주로 GaAs를 이용한 MMIC (Microwave Monolithic Integrated Circuits)로 구현되었으며, IF 부분은 주로 BiCMOS(Bipolar Complimentary Metal Oxide Semiconductor) 기술을 이용한 칩과 외부에 수동 소자를 연결하는 구조로 구현되었다. 그러나 최근에는 공정을 이용하기가 용이하고, 가격이 저렴하며, 베이스밴드와의 one-chip화가 가능하다는 CMOS 만이 가지고 있는 장점 때문에, CMOS RFIC에 대한 연구 개발이 활발히 이루어지고 있고, IF단 역시 앞으로는

본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

CMOS 기술이 주로 사용될 것으로 예상된다.[1-2] 이러한 추세에 따라, 본 논문에서는 이동통신 단말기용 IF단 VCO를 CMOS 회로로 설계하였다.

외부의 LC 공진회로(resonator circuit)와 함께 동작하는 IF단 VCO는 그 성능이 LC 공진회로에 의해서 영향을 많이 받게 된다. 외부 공진회로에 의한 영향을 최소화하려면, 발진(oscillation) 신호의 진폭을 일정하게 유지시키기 위한 자동진폭조절 기능을 칩(chip) 내부에 구현할 필요가 있다.[3]

따라서, 본 연구에서는 자동진폭조절 기능을 갖도록 VCO를 설계하여, 시동(start-up) 조건에 무관하게 위상잡음(phase noise)을 최적화 할 수 있도록 하였으며, LC 공진회로의 quality factor(Q-factor)에 무관하게 항상 일정한 진폭의 oscillation 동작이 가능하도록 하였다. 또한, 설계된 VCO는 외부의 LC 공진기에 따라 넓은 주파수 범위(200MHz에서 550MHz이상)에서 동작할 수 있기 때문에 다양한 모드의 단말기에 적용될 수 있다.

II. 회로 설계

2-1. LC 공진회로

설계된 VCO는 그림 1에서와 같이 칩 외부의 LC 공진회로와 함께 동작한다. VCO의 발진 주파수를 조절하기 위해 인가 전압에 따라 가변 용량 특성을 갖는 varactor 다이오드가 많이 사용되고 있다. 그림에서 L1과 C1은 LC 공진회로의 inductance와 capacitance를 나타내며, C2와 C3는 dc blocking을 위한 커패시터이다. Cv는 varactor 다이오드의 가변 용량 (variable capacitance)을 나타낸다.

발진 주파수를 수식으로 표현하면 다음과 같다.

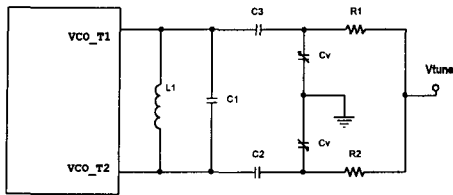


그림 1 칩 외부의 LC 공진회로

$$f = \frac{1}{2\pi \sqrt{L_1 \left[C_1 + \frac{1}{\frac{2}{C_3} + \frac{2}{C_v}} \right]}} \quad (C_3 = C_2)$$

윗 식에서 varactor 다이오드의 가변 용량 C_v 가 변하면 발진주파수가 변하는 것을 알 수 있다. VCO tuning 전압 V_{tuning} 이 증가하면 C_v 는 감소하게 되고, 따라서 발진주파수는 증가하게 된다.

본 연구에서 설계한 LC 공진회로의 주파수 특성을 그림 2에 보였다. VCO tuning 전압이 증가함에 따라 발진 주파수가 증가하는 것을 알 수 있으며, 대략 1.5V의 tuning 전압에서 발진주파수는 260MHz가 된다. 본 연구에서 설계한 VCO는 IF단 용이기 때문에 VCO의 동작 목표 주파수 범위를 200MHz에서 550MHz까지로 설정을 하였다. 이 정도의 주파수 범위면, 다양한 모드의 단말기의 IF단에 적용이 가능하다.

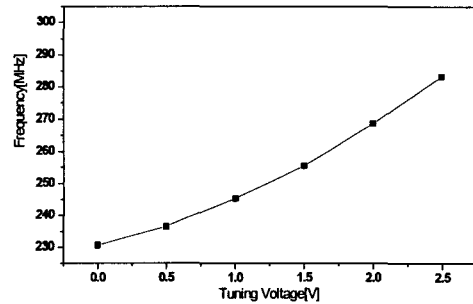


그림 2 VCO tuning 전압에 따른 발진 주파수

2-2. 자동진폭조절 기능을 갖는 VCO

본 논문에서 설계한 자동진폭조절 기능을 갖는 VCO의 회로도를 그림 3에 보였다. Cross-coupled 된 PMOS M1, M2와 bias 전류원으로 동작하는 M3, M4가 negative-Gm oscillator를 구성하며, 나머지 회로는 oscillation 신호의 진폭을 일정하게 조절하기 위한 자동진폭조절 회로이다.

VCO의 위상잡음에 주된 원인으로 작용하는 $1/f$ noise를 줄이기 위해, negative-Gm oscillator의 핵심 소자인 M1과 M2를 PMOS 소자로 설계하였다. 외부의 LC 공진회로는 단지 VCO_T1과 VCO_T2 사이, 즉 M1과 M2의 드레인 단자에 연결되기 때문에 드레인 단자에 존재하는 기생(parasitic) 커패시턴스가 발진

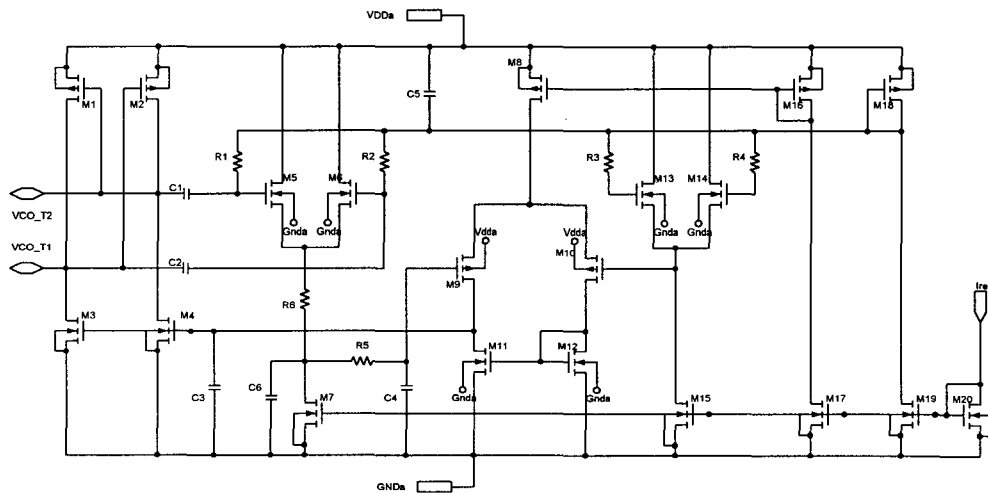


그림 3 자동진폭조절 기능을 갖는 VCO

주파수에 영향을 줄 수 있다. 기생 커패시턴스를 최소화하기 위해서는 M1과 M2의 채널 길이를 작게할 필요가 있다.[4] 본 설계에서는 M1과 M2의 크기로 $W/L=100\mu\text{m}/0.5\mu\text{m}$ 를 사용하였다.

설계된 자동진폭조절 회로는 고주파정류기(M5-M7, R6), 저역통과필터(R6, C6, R5, C4), 증폭기(M8-M12), 기준전압 발생회로(M13-M15) 등으로 구성된다. 기준전압 발생회로의 구조는 정류기 단의 구조와 기본적으로 동일하며, 단지 초기에 발진 가능성을 증가시키기 위해 정류기 단의 R6에 해당하는 저항이 빠져있다. 따라서 발진 초기에는 M9의 게이트 전압이 기준전압(M10의 게이트 전압)보다 낮기 때문에, 증폭기의 출력(M3와 M4의 게이트 전압)은 증가하게 된다. 이는 bias 전류를 증가시키게 되고 M1과 M2의 gm 값을 증가시켜서 발진 확률이 증가하게 된다.

발진이 시작되면 발진 신호는 정류기와 저역통과필터를 거치게 되고, 발진신호의 진폭에 비례하는 dc 전압이 M9의 게이트에 인가된다. 증폭기의 negative feedback 동작에 의해 M9의 게이트 전압은 기준전압과 같아지게 되고, 이 때 일정한 발진진폭을 갖는 정상상태로 진입하게 된다. 발진진폭은 기준전압이나 R6의 값으로 조절할 수 있다.

III. 시뮬레이션 결과

설계된 회로를 $0.35\mu\text{m}$ CMOS 공정변수를 사용하여 HSPICE simulation한 결과를 그림 4, 5, 6에 보였다. 그림 4와 5는 VCO의 과도상태(transient) 특성을 나타낸다. 그림 4의 첫 번째 파형은 발진 파형(VCO_T1 단자 전압)으로, 시동 때의 발진진폭은 약 2.5V이고 정상상태에서는 약 1.1V로 감소하는 것을 알 수 있다. 두 번째 파형은 정류기를 통과한 파형(M5 또는 M6의 소오스 전압)으로 dc level이 shift되고 발진 파형이 전파정류되는 것을 확인할 수 있다.

세 번째 파형은 정류된 신호가 저역통과필터를 통과해서 dc 신호로 바뀐 뒤, 증폭기의 한 쪽 입력단자(M9의 게이트)에 인가된 파형과, 기준전압 발생회로에서 출력된 기준전압 신호(M10의 게이트 전압)를 비교해서 보여주고 있다. 예상대로 발진 초기에는 M9의 게이트 전압이 기준전압보다 작으나, 과도상태가 지나고 나면 기준전압과 같아지는 것을 알 수 있다.

그림 4의 마지막 네 번째 파형은 증폭기의 출력(M3 또는 M4의 게이트 전압)파형으로, 발진 초기에는 어느 정도 발진을 보장하기 위해 큰 값을 보이지만, 발진이 진행되고 정상상태로 진입하게 되면 값이 작아지는 것을 알 수 있다. 그림 5는 발진파형과 정류된 파형을 확대한 그림이다. 발진 주파수는 약 260MHz이다.

그림 6은 LC 공진기를 구성하는 인덕터의 quality factor Q_L 의 변화에 따른 발진특성으로, Q_L 이 6이상인

값에서는 항상 일정한 진폭의 oscillation 동작을 하는 것을 알 수 있다. 또한, R6 값에 따라 발진진폭이 변하는 것을 볼 수 있다.

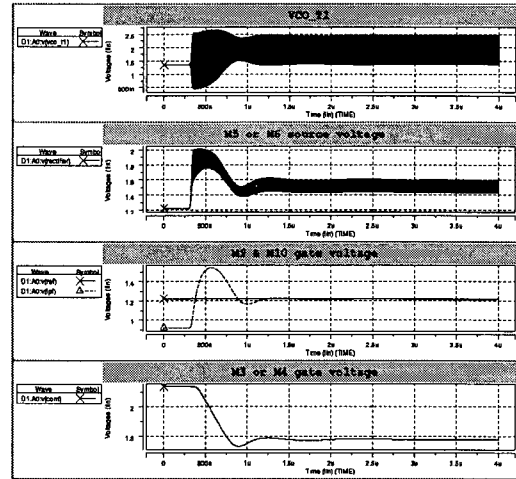


그림 4 설계된 VCO의 과도상태 특성

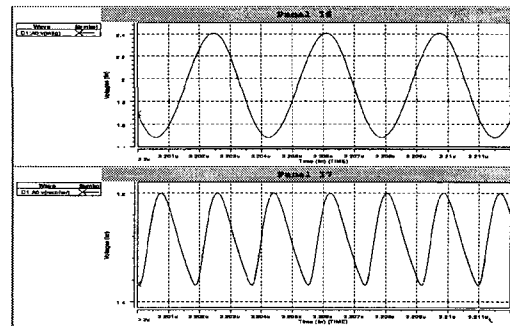


그림 5 발진 파형과 정류된 파형

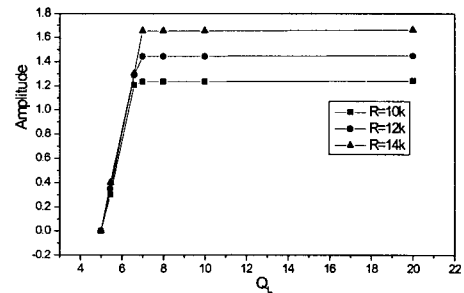


그림 6 LC 공진기의 Q-factor에 따른 발진 특성

그림 7과 8은 설계된 VCO의 위상잡음 특성으로 Cadence의 Spectre를 이용하여 시뮬레이션한 결과이다

다. 그림 7은 260MHz의 동작주파수에서 Q_L 이 10일 때 R6 값의 변화에 따른 위상잡음 특성을 보여준다. R6 값이 증가함에 따라 진폭의 크기가 비례적으로 증가하여 위상잡음이 감소하는 것을 알 수 있다. R6 값이 증가하면 위상잡음 특성은 향상되지만 발진 신호의 진폭이 커지기 때문에 전력소모가 증가하게 된다. R6가 12k Ω 일 때 100kHz offset 주파수에서 위상잡음은 -128.7dBc이고 전력소모는 3V 전원에서 0.7mW이다.

그림 8은 550MHz의 동작주파수에서 Q_L 이 10일 때의 위상잡음 특성이다. R6 값이 12k Ω 일 때 100kHz offset 주파수에서 위상잡음은 -117.9dBc이다. 설계된 회로의 layout 도면을 그림 9에 보였다. 칩 면적은 300 $\mu\text{m} \times 120 \mu\text{m}$ 이다. 260MHz의 동작주파수에서 설계된 VCO의 성능을 표 1에 요약하였다.

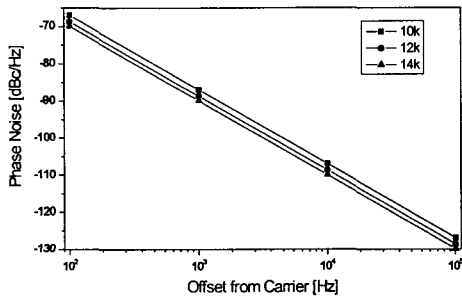


그림 7 260MHz의 동작주파수에서 위상잡음 특성

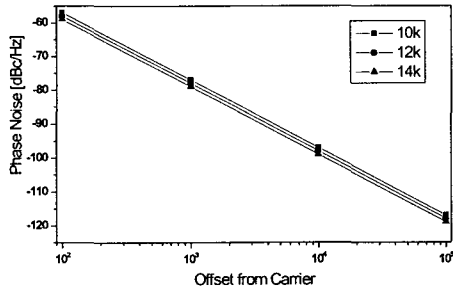


그림 8 550MHz의 동작주파수에서 위상잡음 특성

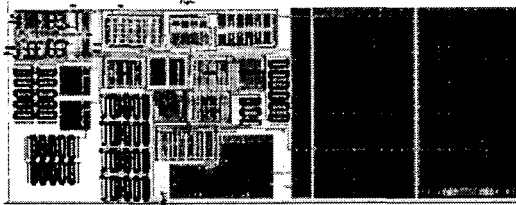


그림 9 설계된 회로의 layout

IV. 결론

본 논문에서는 200MHz에서 550MHz사이의 동작주파수 범위를 갖는 CMOS IF VCO 회로를 설계하였다. 설계된 VCO는 자동진폭조절 기능을 갖기 때문에 시동 조건에 무관하게 위상잡음을 최소화 할 수 있으며, LC 공진회로의 quality factor에 무관하게 항상 일정한 진폭의 발진이 가능하다. 모의실험 결과 설계된 VCO는 260MHz의 주파수에서 -128.7dBc@100kHz의 위상잡음 특성을 보였고, 550MHz의 주파수에서는 -117.9dBc@100kHz의 위상잡음 특성을 보였다. 설계된 회로는 현재 IC 제작 중에 있다.

표 2 설계된 VCO의 성능 요약

Parameters	Value
Supply Voltage	3V
VCO Range	200MHz ~ 550MHz
VCO Gain	20MHz/V
Phase Noise @100kHz offset	-128.7dBc/Hz
Power Dissipation	0.7mW
Process	0.35 μm CMOS

참고문헌

- [1] B. Razavi, "RF Microelectronics", Prentice Hall, 1998.
- [2] W. S. T. Yan and H. C. Luong, "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers", IEEE JSSC, vol.36, no.2, pp.204-216, Feb. 2001.
- [3] M. A. Margarit, J. L. Tham, R. G. Meyer, and M. J. Deen, "A Low-Noise, Low-Power VCO with Automatic Amplitude Control for Wireless Applications", IEEE JSSC, vol.34, no.6, pp.761-771, June 1999.
- [4] Ali Hajimiri and Thomas H. Lee "The Design of Low Noise Oscillators", KAP, 1999.