

CMOS Image Sensor에 사용 가능한 아날로그/디지털 변환기

*노주영, *윤진한, **장철상, ***손상희
*청주대 전자공학과, **(주)세빛아이에스, ***청주대 정보통신공학부
전화 : 043-229-8464 / 핸드폰 : 016-433-8464

Analog to Digital Converter for CMOS Image Sensor

*Ju Young No, *Jin Han Yoon, **Cheol Sang Jang, ***Sang Hee Son
*Dep. of Electronic, Chongju University **Cevit I.S.
***Communication Engineering, Chongju University
E-mail : jyno@chongju.ac.kr

Abstract

This paper is proposed a 8-bit analog to digital converter for CMOS image sensor. A analog to digital converter for CMOS image sensor is required function to control gain. Proposed analog to digital converter is used frequency divider to control gain. At 3.3 Volt power supply, total static power dissipation is 8mW and programmable gain control range is 30dB. The gain control range can be easily increased with insertion of additional flip-flop at divided-by-N frequency divider circuit.

I. 서론

최근 휴대용 통신기기의 발달과, PC의 활발한 보급, 인터넷의 급성장으로 인해 정보를 음성뿐만 아니라 화상으로까지 확대되고 있다. 이러한 추세로 인해 CMOS image sensor에 대한 개발이 많이 이루어지고 있다. CMOS image sensor는 지금까지 image sensor의 주류를 이루었던 CCD(Charge-Coupled Device)의 단점이었던 소비전력과 면적에서 장점을 보이고 있고 standard 공정의 사용으로 인한 on-chip화로 인해 최근 많이 부각되어지고 있다.

CMOS image sensor는 그림 1 처럼 영상신호를 받는

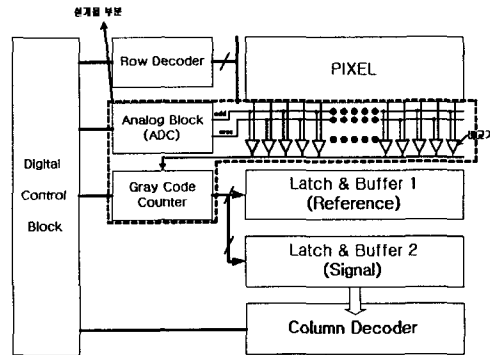


그림 1. 일반적인 CMOS image sensor의 블록도

image sensor부분인 pixel부분, 영상신호를 디지털신호로 바꾸어주는 아날로그 디지털 변환기(ADC), 기타 각각의 회로를 제어해주는 디지털 블록부분으로 나누어져 있고 본 논문에서는 CMOS image sensor에 사용할 수 있는 아날로그 디지털 변환기를 설계하였다.

CMOS image sensor는 영상에 여러 가지 색깔을 나타내기 위해 pixel 위에 빛의 기본색깔인 빨간색, 녹색, 파랑색을 걸러주는 필터를 씌워준다. 이런 필터는 그림 2 처럼 특성이 나타나는데 각각의 색깔별 크기가 달라서 크기를 일정하게 해주어야 한다. 어두운 곳에서의 영상신호의 값은 작은 값을 가지게 된다. 이런 작은 값을 디지털 신호로 바꾸게 되면, 화상의 질이 나빠진다. 이러한 두 가지 이유로 영상신호의 이득을

조절할 필요가 있다.

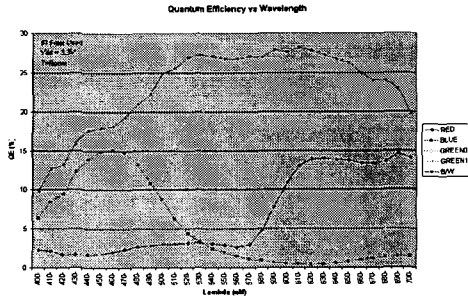


그림 2. 빛의 Red, Green, Blue의 파장과 크기

II. 주파수 분주기를 이용한 이득조절방법 제안

기존의 이득조절 방법은 그림 3 처럼 slope의 기울기

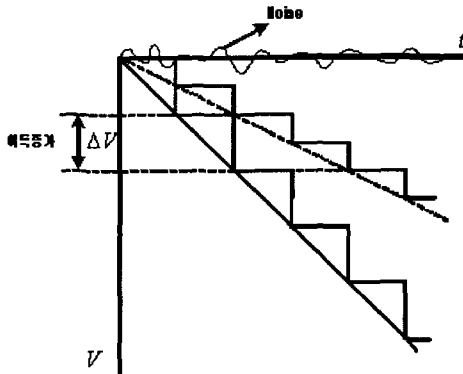


그림 3. 기존의 이득조절 방법

를 바꾸어 이득을 조절하였다.

예를 들어 그림 3 처럼 2배의 이득을 얻으려면 slope의 기울기를 반으로 줄이면 되는데, 기울기를 줄이는 방법으로는 이득을 바꾸기 전의 ΔV 값을 작게 하는 것이다. 그림 3에서 처럼 2배의 이득을 얻기 위해서는

ΔV 를 $\frac{\Delta V}{2}$ 로 그 값을 줄이면 된다. 시간(X축)은 일정하고 V의 값(Y축)을 줄이면 기울기가 변하는 원리 이용한 것이다. 즉, 이득을 늘리기 전 slope에서 한번의 클럭을 셀 때 slope을 반으로 줄이면 두 번의 클럭을 셀 수 있다. 이렇게 되면 1이란 크기가 2라는 크기로 바뀌게 되는 것이다. 즉, 4비트로 표현한다면 0001

이란 값이 0010이란 값이 된다. 이런 방식으로 이득을 2배뿐만 아니라 3배, 4배, 5배로 그 이득을 크게 하여 더 작은 신호까지 그 값을 크게 할 수 있다. 그러나 여기서의 단점은 이득을 크게 할수록 기울기는 X축에 가까워지게 된다. 이렇게 되면, 그림 3처럼 어떤 Noise가 있다면 이득을 조절하기 전보다 Noise에 영향을 더 많이 받을 수 있다.

제안한 이득조절 방법은 slope의 기울기를 변화시킬 때 기존의 방법처럼 ΔV (X축)를 변화키는 방법을 사용하지 않고, 시간(Y축)을 변화시키는 방법을 제안했다. 즉, ΔV 를 변화시키지 않고, 시간을 변화시켜 이득을 조절하였다. 이렇게 하면, slope는 기존의 방법을 사용한 것과 같이 기울기가 변화하게 된다. 그림 4에서 master 클럭은 counter를 동작시키게 되고 시간을 늘려 기울기를 변화시킨 이득을 조절한 클럭은 램프발생기의 실질적인 동작을 담당하게 된다. 이렇게 되면 counter에서 두번 셀 때 실질적인 램프에서는 한 번 counting하는 동작을 하게 된다. 시간을 늘인다는 것은 즉·주파수를 낮춘다고 할 수 있다. 따라서 시간을 늘

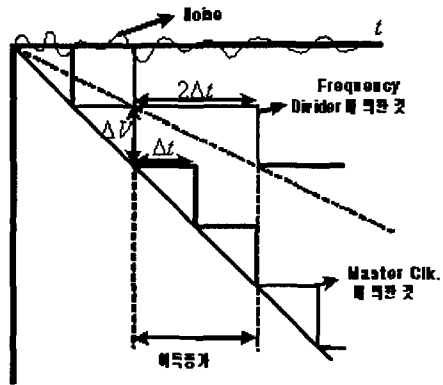


그림 4. 제안한 이득조절 방법

이는 기능을 담당하는 블록으로는 frequency_divider를 사용하였다.

III. 주파수 분주기를 이용한 램프신호 발생기 제안

램프신호를 만들기 위해서는 간단한 방법으로 flash ADC형태의 저항열을 사용한다. 이런 저항열의 사용은 간단한 구조로 되어있어 설계하기가 용이하고, 빠르다는 장점을 가지고 있지만, 디지털 비트수가 증가 할 때 저항의 개수가 많이 늘어나 크기가 커지는 단점을 가지고 있다. 본 논문에서는 이러한 flash ADC형태를

쓰면서 저항의 개수를 줄이는 방법을 제안하여 설계하였다. 그림 5는 본 논문에서 제안한 flash ADC형태의 램프신호 발생이다. 8-bit의 경우, coarse부분에서 16개의 저항을 사용하여 크기를 1/16으로 구분한다. 이때 Fine에서 다시 coarse에서 선택된 전압부분을 16개의 저항을 이용하여 크기를 1/16로 다시 구분하게 만들었다. 결국 $16 \times 16 = 256$ 의 램프신호를 발생하게 된다. 이렇게 되면 기존의 8bit ADC에서 256개의 저항을 사용하는 것에 비해 $16+16=32$ 개의 저항만으로도 램프신호를 발생하게 된다.

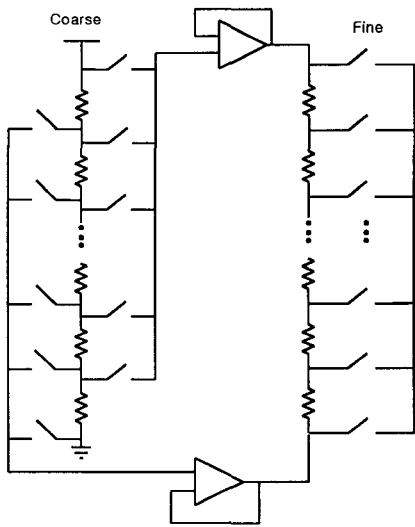


그림 7. 제안한 저항 개수를 줄이는 방법

그림 6은 본 논문에서 제안한 전체 블록도이다.

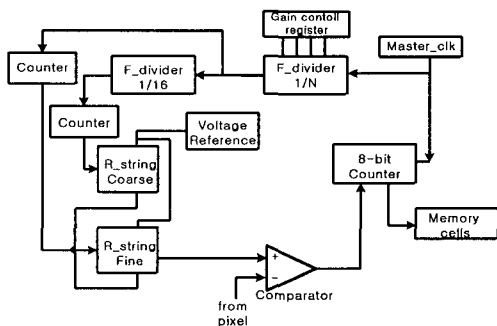


그림 6. 제안한 아날로그 디지털 변환기 전체 블록도

IV. 모의실험결과

본 논문에 제안한 이득조정 방법과 저항을 줄이는 방법을 이용하여 모의실험 하였다.

그림 7은 1.3V일때의 top simulation 결과이다. 그림에서 보는 것과 같이 비교기에 임의의 두 입력신호가 들어왔을 때 출력이 변화한다. 이때의 카운터 신호가 pixel 신호의 크기가 되는 것이다.

그림 8은 그림 7에서 비교기의 신호가 변하는 부분을 확대한 부분이다. 그림에서와 같이 pixel에서의 신호가 그림 7에서처럼 들어왔을 때의 신호크기를 생각해 보면, 그림 7에서 coarse 부분의 클럭 개수는 비교기의 출력이 변하기 전까지 6개이다. 따라서 16×6 이므로 96번의 카운터가 동작한 것이다. 그리고 그림 8에서 비교기의 변화시점을 보면 fine부분에서 한번의 카운팅 했음을 볼 수 있다. 그러면 $96+1=97$ 이다. 따라서 이 신호의 크기는 97 즉, 따라서, 디지털 값은 97 즉, 0110001이 된다. 이다.

그림 9은 memory cell의 출력 값이다. dataout<0><5><6>은 1값을 나머지는 0값을 갖는다. 이 디지털 2진값을 10진으로 바꾸어 보면 $2^0 + 2^5 + 2^6 = 1 + 32 + 64 = 97$ 이 된다. 값은 위의 top simulation을 통해 계산한 97과 같은 값이 된다.

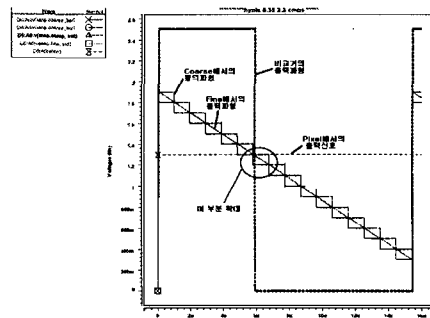


그림 7. Top simulation 결과

본 논문에서 제안한 방법은 Hynix 0.35 μ m를 이용하여 모의 실험 하였다.

V. 결론

CMOS image sensor에 사용 가능한 아날로그 디지털 변환기를 설계하였다. 이를 위해 새로운 방법의 이득 조정 방법과 저항 개수를 줄이는 방법을 사용하여 면적과 소비 전력을 줄이고, 아날로그 블록을 줄여 설

계에 용이한 장점을 가지고 있다. 제안한 8-bit 아날로그 디지털변환기는 공급전원은 3.3V, 소비전력은 약 8mW, 동작 주파수는 16MHz, 이득 조절 범위는 약 30dB의 사양을 갖는다.

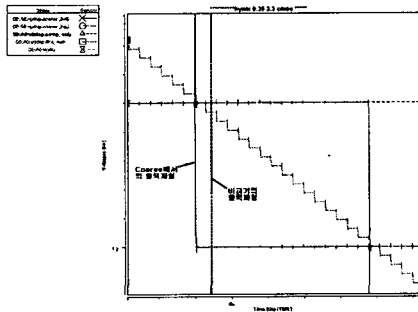


그림 8. 그림 7의 한 부분을 확대한 것

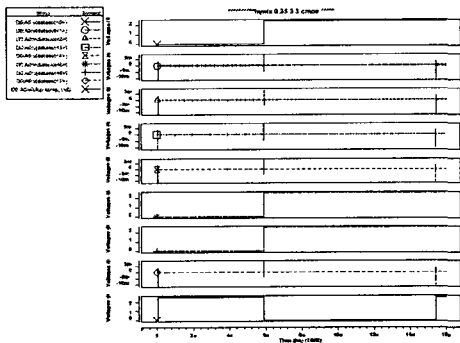


그림 9. Memory cell에서의 data output

표 1. 모의실험 결과

Power supply	3.3V
Power consumption	8mW
Operating Frequency	16MHz
Gain control range	30dB
Resolution	8-bit

Reference

[1] E. R. Fossum, "Active pixel sensors : Are CCD's dinosaurs?" SPIE, vol, 1900, pp. 2~14, July 1993.

[2] N. Koike et al., "MOS area sensor: Part I - Design consideration and performance of an npn structure 484×384 element color MOS imager." IEEE Trans. Elect. Dev., pp. 1676~1681, Aug. 1980

[3] David X. D. Yang, Boyd Fowler, and Abbas El Gamal, "A Nyquist-Rate Pixel-Level ADC for CMOS Image Sensors" IEEE Journal of Solid-State Circuits Vol. 34, No. 3, March 1999 pp. 348~356

[4] A. Dickinson, S. Mendis, D. Inglis, K. Azadet, and E. Fossum, "CMOS digital camera with parallel analog-to-digital conversion architecture." in Proc. 1995 IEEE Workshop Charge Coupled Devices and Advanced Image Sensors, Apr. 1995.

[5] R. Panicacci, B. Pain, Z. Zhou, J. Nakamura, and E. Fossum, "Progress in voltage and current mode on-chip analog-to-digital converters for CMOS image sensors." in Proc. SPIE, San Jose, CA, Feb. 1996, pp. 63~71.

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 연구비 지원에 의해서 연구되었음.

본 연구는 반도체 설계 교육센터(IDEC)로부터 부분적인 지원을 받아 이루어졌음.