

12 비트 100 MS/s로 동작하는 S/H(샘플 앤 홀드) 증폭기 설계

허예선, 임신일
서경대학교 컴퓨터공학과
전화 : 02-940-7183 / 핸드폰 : 011-494-3499

A Design of 12-bit 100 MS/s Sample and Hold Amplifier

Ye-Sun Hur, Shin-II Lim
Dept. of Computer Engineering, Seokyeong University
E-mail : yesun11@home.skuniv.ac.kr

Abstract

This paper discusses the design of a sample-and-hold amplifier(SHA) that has a 12-bit resolution with a 100 MS/s speed. The sample-and-hold amplifier uses the open-loop architecture with hold-mode feedthrough cancellation for high accuracy and high sampling speed. The designed SHA is composed of input buffer, sampling switch, and output buffer with additional amplifier for offset cancellation Hard Ware. The input buffer is implemented with folded-cascode type operational transconductance Amplifier(OTA), and sampling switch is implemented with switched source follower(SSF).

A spurious free dynamic range (SFDR) of this circuit is 72.6 dB at 100 MS/s. Input signal dynamic range is $1 V_{DD}$ differential. Power consumption is 65 mW.

Digital to Analog(이하 DAC) 변환기의 glitch 제거에 사용된다. 전자의 경우, ADC의 입력 신호 오차(error)의 원인으로 작용하는 여러 가지 요인-제한된 대역폭, 내부 비교기의 샘플링 jitter 등-을 제거하기 위해 SHA 회로를 앞단에 넣음으로써 ADC의 성능을 향상시킨다. 후자의 경우, DAC의 뒷단에서 발생하는 전류의 순간적 이상현상(glitch)을 제거하기 위해 SHA가 사용된다.

고속 ADC용 SHA는 속도 조건을 만족하기 위해 폐루프(Closed Loop) 구조 대신 개루프(Open Loop) 구조를 사용한다. 한편, 고속 SHA 회로는 샘플링 된 신호의 감소(degradation)로 인해 발생하는 잡음(noise)을 최소화하고 ADC가 받아들이는 입력 범위(input range)와 매칭 시키는 문제를 고려해야 한다.

본 논문에서는 고속 ADC의 앞단에서 사용하기 위해 $1 V_{DD}$ 의 입력 신호 범위에서 12 Bit의 해상도를 갖고 100 MS/s의 샘플링 속도에서 동작하는 SHA를 설계하였다.

I. 서론

Sample and Hold Amplifier(이하 SHA) 회로는 주로 Analog to Digital 변환기(이하 ADC)의 앞단이나

II. Sample and Hold 회로의 구조

2.1 기본 구조

에서 SW1이 ON되어 MP_SSF를 통해 입력 신호가 샘플링 커패시터(C_{sample})에 저장된다.

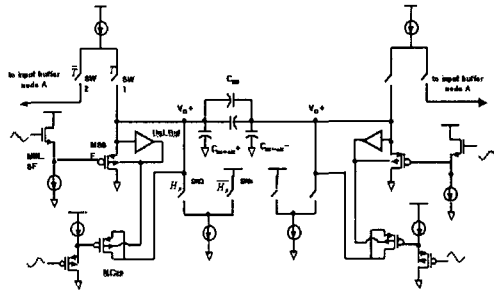


그림 6. SSF (differential)

홀드 모드가 되면 SW2가 오프 되고, 전류가 공급되지 않는 P_SSF 또한 오프 된다. 입력이 끊어지면 C_{sample} 에 저장되어 있던 신호가 출력으로 나간다.

MSSF의 source와 bulk 사이의 unity-gain 버퍼는 기생 커패시턴스인 C_{sb} 가 출력노드에서 보이지 않게 하기 위해 추가한 회로이다. 이 버퍼 때문에 출력노드에서의 기생 커패시턴스는 MOS 커패시터의 C_{gd} , C_{gs} , 그리고 MSSF의 C_{gd} 가 보이게 된다. MCap의 크기가 MSSF의 0.5배라면 출력노드에서 양쪽으로 보이는 커패시턴스는 동일한 크기가 된다. 따라서 여기에 부호가 다른 신호가 축적되면 홀드 모드 시에 두 신호는 서로 상쇄되게 된다.

본 논문에서 사용되는 MSSF 외의 스위치는 saturation-mode switch로써 일반 스위치보다 pedestal error가 줄어드는 효과를 얻는다. 그림 5는 saturation-mode switch를 나타낸다.

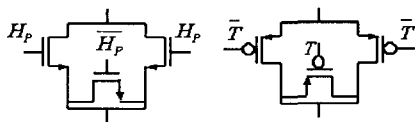


그림 5. Saturation-Mode Switch (nMOS, pMOS)

출력 노드에서 공통 전압이 흔들리는 현상으로 인해 발생하는 에러성분을 제거하여 해상도를 좀더 높이기 위해서 SW3를 통해 공통 전압을 맞추어 준다. 이들 스위치는 정류회로를 가진 커패시터-저항 필터를 사용하여 구동한다.

마지막으로 출력 노드의 샘플링 커패시터를 그림4와 같이 배치하여 커패시터의 bottom plate 에러를 제거

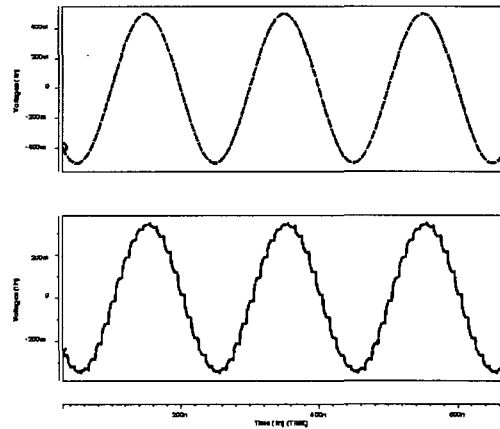


그림 6. SHA의 입출력 파형 : 5 MHz의 입력 파형(Top), SHA를 통한 출력 파형(Bottom)

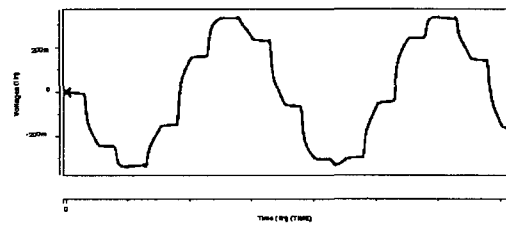


그림 7. 입력 15 MHz의 출력 파형

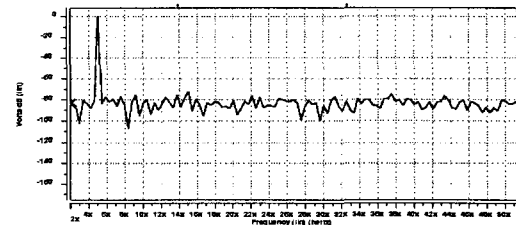


그림 8. fft 시뮬레이션 결과

하도록 하였다.

2.3 Sample and Hold 회로의 시뮬레이션 결과

그림 6은 입력 주파수 5 MHz인 경우의 입력 파형과 출력 파형이다. 샘플링 주파수는 100 MHz이며, 신호의 입력 범위(dynamic input range)는 $V_{pp} = 1$ V이다.

그림 7은 위와 동일한 상황에서 입력이 15 MHz인 경우의 출력 파형이다.

그림 8은 입력 주파수가 5 MHz일 때 fft 시뮬레이

선을 수행한 결과이다. Spurious Free Dynamic Range(SFDR)가 약 73 dB이다.

III. 결론

본 논문에서 설계한 SHA는 100 MHz의 샘플링 주파수에서 동작하여 12 비트의 해상도를 갖는 회로이다. 고속의 동작을 위해서 개루프 구조를 사용하였고, Hold-mode feedthrough cancellation을 통하여 정밀도를 향상시켰다. 또한 회로가 받아들일 수 있는 신호 범위를 넓히기 위해 Folded-Cascode 구조의 입력 버퍼를 사용하였다. 마지막으로 SSF의 샘플링 스위치를 통해 선형성을 증가 시켰다.

이와같은 설계를 통해 구현된 SHA 회로는 고속 ADC의 앞단에 사용될 수 있다.

감사의 글

이 논문은 정보통신연구진흥원의 대학기초과제(과제 번호 2001-0054-0001)의 지원으로 이루어진 것입니다.

참고문헌

- [1] Andrea Boni, "A 10-b 185-MS/s Track-and-Hold in 0.35-um CMOS," IEEE J. Solid-State Circuits, Vol. 36. NO. 2, Feb 2001
- [2] A. N. Karanicolas, "A 2.7-V 300-MS/s track-and-hold amplifier," IEEE J. Solid-State Circuits, vol. 32, Dec 1997
- [3] T. Baumheinrich, B. Pregardier, and U. Langmann, "A 1-GSample/s 10-b full nyquist silicon bipolar track and hold IC," IEEE J. Solid-State Circuits, vol. 32, Dec 1997