

InP의 습식식각특성과 InP/InGaAs HBT의 제작

김강대, 박재홍*, 김용규**, 황성범***, 송정근
동아대학교 전기전자컴퓨터공학부, *춘해대학 컴퓨터정보과
거창기능대학 메카트로닉스과, *경남정보대학 전자정보학부

Wet etching characteristics of InP in InP/InGaAs HBTs and their fabrication

K. D. Kim, J. H. Park*, Y. K. Kim**, S. B. Hwang***, C. K. Song
School of Electrical and Electronics and Computer Eng., Dong-A Univ.
cksong@daunet.donga.ac.kr

*Dept. of Computer Technology, Choonhae College

**Dept. of Mechatronics, Geo-Chang Polytechnic College

***Dept. of Electronics Information Communication, Kyungnam College

요 약

In this paper, InP-based HBTs have been optimally designed by numerical simulation and fabricated by the self-aligned process. The structure of HBT was designed in terms of the current gain β_{max} for the base and $f_T\beta_{max}$ for the collector. The designed structure produced the current gain of about 50 and the cutoff frequency and the maximum oscillation frequency of 87GHz and 294GHz respectively. In addition, we present a study of the vertical and lateral etching of InP with the mask sides parallel to the principal crystallographic axes, [010] and [001]. This etching characteristics are used to fabricate self-aligned HBT structures with reduced parasitic effects.

I. 서 론

21세기 정보사회의 근간이 되는 정보통신망은 입체영상서비스, 가상현실서비스 그리고 인터넷의 폭발적인 확산을 수용하기 위해서 초고속화, 대용량화되어 가고 있다. 이러한 정보통신망을 수용하기 위한 광통신시스템의 정보통신용량은 수십GHz에 머물고 있는 핵심 광

전자소자에 의해 제한되고 있고 이를 위한 구체적 핵심 기술로서 광 송수신기용 초고속 전자소자의 설계 및 제작기술의 개발이 매우 중요한 현안이 되고 있다.

InP를 기반으로 하는 HBT는 InP의 낮은 표면재결합 속도와 높은 기판 열전도도, InGaAs의 작은 에너지갭과 그에 따른 낮은 턴온전압, InP는 물론 InGaAs의 뛰어난 캐리어 이동도 덕분에 우수한 초고속특성을 보이며, GaAs 기반의 재료 시스템을 대체할 유력한 대안으로 주목받고 있다. 그러나 이러한 우수한 특성을 최적화하기 위한 HBT 설계와 제작에 있어서 소자성능지수 파라미터의 trade-off관계는 소자설계에 있어서 매우 중요하며 기생 성분의 감소, 소자 크기의 감소를 효과적으로 실현하기 위해 자기정렬 기술은 매우 중요한 요소이다.

II. 본 론

1. 에피설계

최적설계는 먼저 기본적인 구조 Ref.[4] InP/InGaAs HBT 구조를 바탕으로 각영역의 파라미터의 변화에 따른 소자성능지수 변화를 검토하였다. 에미터 도핑농도는 E/B 접합정전용량에 직접적으로 관련되어 에미터 충전시간에 영향을 주므로 소자의 고주파 성능에 크게

영향을 미친다. 그림-1에 에미터 농도에 따른 차단 주파수를 나타내었다. 에미터 도핑을 낮출수록 접합정전 용량이 감소하여 차단주파수는 증가한다. 그러나 도핑을 너무 낮출수록 콜렉터 전류가 감소하여 오히려 차단 주파수가 감소하는 형태를 나타내게 된다.

$$\tau_e = \frac{kT}{qJ_C} \frac{\epsilon_s}{\left(\frac{2\epsilon_s}{qN_E}(\phi_{BE} - V_{BE})\right)^{1/2}} \quad (1)$$

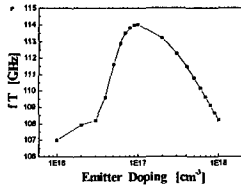


그림-1 에미터 도핑농도변화에 따른 f_T 의 변화

베이스 두께를 450Å으로 고정한 상태에서 도핑농도의 변화에 따른 소자성능지수의 변화를 검토하였다. 최대 공진주파수는 베이스도핑이 증가할수록 베이스저항의 감소로 인해 최고점까지 증가하다가 그후부터 베이스에서 산란에 의한 이동도 감소로 감소하게 된다[그림-2]. 게다가 도핑을 증가시킬 때 소수캐리어의 확산이 증가하여 전류이득이 감소하는 문제점이 있다[그림-3]. 따라서 전류이득과의 trade-off관계를 고려하기 위하여 그림-4처럼 전류이득과 최대발진주파수의 곱을 이용하여 최적화된 베이스 도핑농도를 선정하였다.

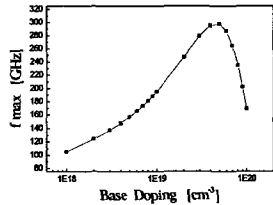


그림-2 베이스 도핑농도에 따른 f_{max} 의 변화

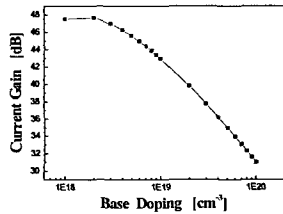


그림-3 베이스 도핑농도변화에 따른 이득의 변화

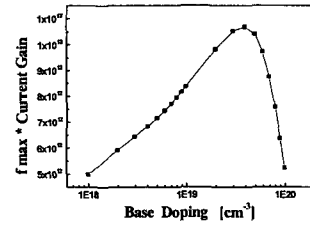


그림-4 베이스 도핑농도변화에 따른 $f_{max} \times \beta$ 의 변화

콜렉터 두께를 3000Å으로 고정한 상태에서 도핑농도의 변화에 따른 소자성능지수의 변화를 검토하였다. 콜렉터 도핑을 증가시키에 따라 공핍층 두께의 감소로 인해 콜렉터 지연시간이 감소하게 되며 그 결과 차단주파수가 증가하게 된다[그림-5]. 그러나 최대공진주파수의 경우에는 도핑이 증가함에 따라 콜렉터 정전용량이 증가하여 감소하게 된다[그림-6]. 따라서 f_T 와 f_{max} 의 trade-off관계를 고려하여 곱한 결과로써 최적화된 콜렉터 도핑농도를 선정하였다[그림-7].

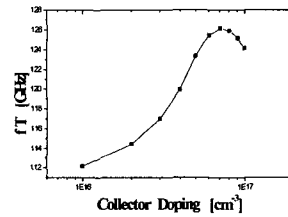


그림-5 콜렉터 도핑농도에 따른 f_T 의 변화

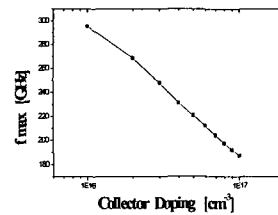


그림-6 콜렉터 도핑농도에 따른 f_{max} 의 변화

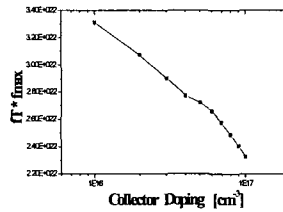


그림-7 콜렉터 도핑농도에 따른 $f_T \times f_{max}$ 의 변화

앞의 결과를 바탕으로 한 최적화된 HBT소자구조를 표-1에 나타내었다. 에미터의 두께는 에미터와 베이스의 전기적인 쇼트를 방지하기 위하여 충분히 두껍게 하였고 콜렉터의 InP층은 콜렉터와 부콜렉터 InGaAs를 선별적 식각하기 위해 삽입되어 졌다. 최적설계된 HBT는 이득이 49.1, 차단주파수 87GHz, 최대공진주파수 294GHz로 나타났다[그림-8,9].

표-1 최적설계된 InP/InGaAs HBT 에피구조

Layer	Material	Thickness(A)	Doping(cm ⁻³)
Cap	n ⁺ - InGaAs	1000	Si 3×10 ¹⁹
	N ⁻ - InP	500	Si 2×10 ¹⁹
Emitter	N - InP	1500	Si 2×10 ¹⁷
Base	i - InGaAs	50	-
	p ⁺ - InGaAs	450	Be 4×10 ¹⁹
Collector	n - InGaAs	3000	Si 1×10 ¹⁶
	N - InGaAs	500	Si 5×10 ¹⁸
	N - InP	300	Si 5×10 ¹⁸
Subcollector	N - InGaAs	4000	Si 5×10 ¹⁸
Buffer layer	i-InAlAs	3000	-
S.I InP substrate	InP		

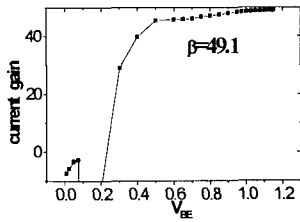


그림-8 최적설계된 HBT의 전류이득

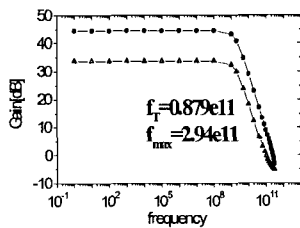


그림-9 최적설계된 HBT의 f_T와 f_{max}

2. HBT 제작공정

HBT의 f_{max}는 다음 수식과 같이 표현될수 있다.

$$f_{max} = \frac{\sqrt{f_T}}{\sqrt{8\pi R_B C_{BC}}}$$

여기서, R_B는 베이스 저항이고, C_{BC}는 베이스-콜렉터정전용량이다. HBT의 f_{max}를 높일 수 있는 방법중의 하나는 베이스 저항과 콜렉터커패시턴스를 감소시키는 것이다. 베이스 영역에 의한 저항을 감소시키기 위해서는 베이스 결정층의 두께 및 농도를 최적화시키고 베이스 금속을 자기정렬방식으로 증착하여 에미터 영역에 최대한 가깝게 형성하여야한다. InP의 비등방성 식각특성은 self-aligned HBT제작에 있어서 매우 중요한 특성이다. 이에 식각 방향에 따른 InP의 식각특성을 분석하였다. [010] 와 [001] 방향에 평행한 측면의 식각율은 [011] 과 [01 $\bar{1}$] 방향에 평행한 측면의 식각을 보다 빠르며 [01 $\bar{1}$] 방향에 평행한 측면의 언더컷의 부재는 과도한 식각 없이는 self-aligned HBT제작을 어렵게 한다[그림-10,11].

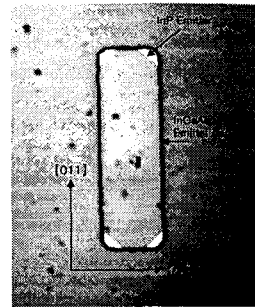


그림-10 [011] 과 [01 $\bar{1}$]에 평행한 방향의 InP 식각특성

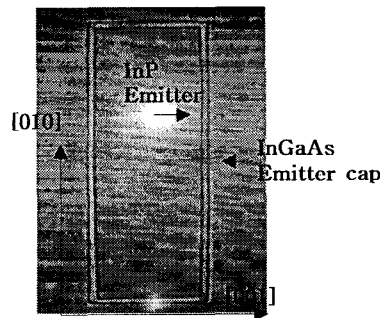


그림-11 [010] 과 [001]에 평행한 방향의 InP 식각특성

맨 처음 InGaAs와 InP를 [010], [001]방향에 각각 평행한 방향으로 습식식각하였다[그림-12]. 그 다음 Ti/Au 에미터-베이스금속을 lift-off공정법을 사용하여 증착하였고 베이스-콜렉터를 습식식각한뒤 Ti/Au 콜렉터 금

속을 증착하였다. 그림-13에 자기정렬된 InP/InGaAs HBT의 Gummel plot을 나타내었다.

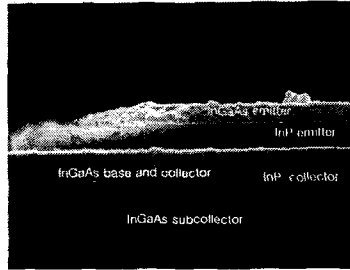


그림-12 InP/InGaAs HBT의 SEM사진

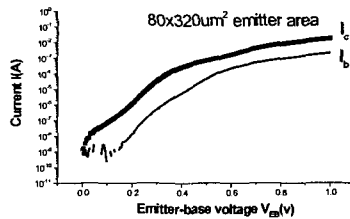


그림-13 Self-aligned InP/InGaAs HBT의 Gummel plot

III. 결 론

소자 설계에 있어서 베이스의 경우 전류이득과 최대발진주파수의 곱을 이용하여 설계하였고 콜렉터의 경우 차단주파수와 최대발진주파수의 곱을 이용하였고 최적 설계된 HBT는 이득이 49.1, 차단주파수 87GHz, 최대공진주파수 294GHz로 나타났다. InP의 식각방향에 따른 식각특성을 분석하였고 자기정렬된 HBT를 제작하였다.

감사의 글

본 연구는 2001년도 한국과학재단의 연구비지원 (R02-2000-00271)에 의해 수행되었음.

IV. 참 고 문 헌

- [1] W. Liu, Handbook of III-V Heterojunction Bipolar Transistor, Wiley, P.1255, (1988)
- [2] B. Jalali and S. J. Pearton, InP HBTs; Growth, Processing, and Applications, Atrech House, P.93,

1995

- [3] S. Datta, et al., IEEE Trans. Electron Dev., vol.45, no.8, p.1634 1998
- [4] H. Nakajima, et al., Electron Lett., vol.29, no.21, p.1887, 1993
- [5] N. Matine, et al., J.J.Appl.Phys. vol.38 p.1200, 1999