

Hot carrier에 의한 GAA MOSFET의 열화현상

최락중, 이병진, 장성준*, 유종근, 박종태
인천대학교 전자공학과, *여주대학 컴퓨터정보관리과
전화 : 032-770-8445

Hot Carrier Induced Device Degradation in GAA MOSFET

Nag-Jong Choi, Byung-Jin Lee, Sung-Jun Jang, Chong Gun Yu, Jong-Tae Park
Dept. of Electronics Engineering, University of Incheon
E-mail : cnj00@hanmail.net

Abstract

Hot carrier induced device degradation is observed in thin-film, gate-all-around SOI transistor under DC stress conduction. We observed the more significant device degradation in GAA device than general single gate SOI device due to the degradation of edge transistor. Therefore, it is expected that the maximum available supply voltage of GAA transistor is lower than that of bulk MOSFET or single gate SOI device.

I. 서론

개인휴대용 단말기의 증가와 이동통신용 단말기의 증가로 저전력 및 고주파 장점을 갖는 SOI 기술을 이용한 집적회로에 대한 연구가 활발하다. MOSFET의 소자크기를 sub $0.1\mu\text{m}$ 레벨로 축소하면 소자의 단채널 현상이 심하게 되는데 이를 줄이기 위하여 다양한 구조의 SOI MOSFET가 제안되고 있다.[1, 2]

Gate-All-Around구조의 SOI MOSFET는 실리콘 박막을 게이트 전극이 둘러싼 구조로 구동전류 및 transconductance가 일반적인 SOI MOSFET보다 4배 정도 큰 것으로 보고 되고 있으며 단채널 현상이 가장 적은 이상적인 소자로 알려지고 있다.[3, 4]

본 연구에서는 SOI 기술을 이용하여 제작된 GAA

소자의 hot carrier현상에 대한 소자열화를 측정 분석하였다.

II. GAA MOSFET 구조 및 측정

Gate-All-Around(GAA)구조의 SOI MOSFET는 드레인과 소스사이의 실리콘 박막을 다결정 실리콘 게이트가 둘러싼 구조로 다음과 같이 만들어진다.

GAA는 실리콘 박막 중앙부분의 buried oxide를 에칭하여 구멍을 만든다. 이때 실리콘은 bridge 모양의 형태가 되며, 실리콘 박막의 양쪽 끝 부분은 buried oxide 위에 존재하며, 이 부분은 후에 드레인과 소스부분이 된다.

그 후 실리콘의 위와 아래 그리고 측면을 산화하여 oxide층을 만들고, 다결정 실리콘을 입혀 게이트 층을 만들게 되는데, 이렇게 만들어진 구조는 다결정 실리콘 게이트가 실리콘 박막을 둘러싼 모양의 GAA 구조가 된다. 본 연구에서는 $T_{ox}=300\text{\AA}$, $L/W=1/3\mu\text{m}$ 인 GAA 소자를 사용하여 측정하였다.[5]

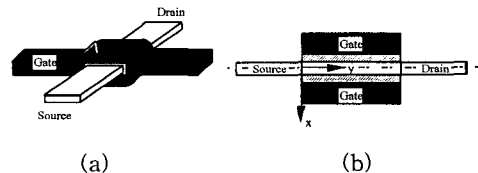


그림 1 GAA MOSFET의 구조 및 단면도

그림 1은 본 연구에서 사용되는 SOI기술을 이용한 GAA MOSFET의 소자 구조(a) 및 단면도를(b) 나타낸 것이다.

GAA MOSFET의 소자열화를 알아보기 위해 HP4145B를 이용하여 최대 60분까지 스트레스를 주어 소자의 열화정도를 측정하였다.

III. 결과 및 고찰

그림 2는 게이트 전압 0.6V에 드레인 3.8V의 스트레스 전압을 60분간 주었을 때의 I-V 곡선의 변화를 나타낸 것으로 스트레스 후 전류가 감소한 것을 알 수 있다. 일반적인 hot carrier로 인한 기본적인 열화메커니즘은 채널 hot electron과 드레인 부근에서의 충격이온화로 생성된 hot electron에 의하여 Si-SiO₂ 계면에 interface state를 생성하게 되고 이 계면 상태에 전자가 포획되어 음전하를 갖게 되는데 이에 따라 드레인 전류가 감소하게 된다.

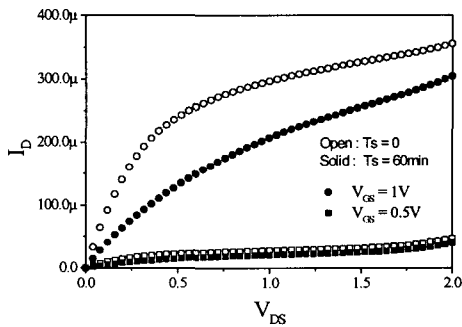


그림 4 스트레스 전·후의 드레인 전류 특성(stress $V_{GS} = 0.6V$, $V_{DS} = 3.8V$)

그림 3은 그림 2와 동일조건에서 스트레스를 후 Gm의 변화를 나타낸 그림으로 스트레스 후 게이트전압이 낮은 곳에서는 Gm이 감소하고 게이트전압이 높은 곳에서는 증가함을 알 수 있다. 또한 그림 3을 통해 스트레스 후의 ΔV_t 는 약 0.24V정도 증가한 것을 알 수 있으며, Gm의 최대 점의 스트레스후의 변화를 통하여 mobility가 감소한 것을 알 수 있다.

그림 4는 DC스트레스 전후의 subthreshold 전류특성을 나타낸 것이다. 아래 그림의 subthreshold 전류특성 곡선의 경우 게이트 전압이 낮은 경우 edge transistor가 먼저 ON이 되어 전류가 흐르며, 게이트 전압이 증가함에 따라 main transistor도 ON이 되어 그림 4와 같은 그래프가 나타난다. 스트레스 후에

subthreshold swing이 크게 된 것을 알 수 있다. 일반적인 single gate 소자보다 게이트의 면적이 많으므로 계면상의 증가에 의하여 subthreshold 특성이 나빠져 있었음을 알 수 있다. 또한 드레인 전류가 main transistor보다 edge transistor에서 전류의 감소가 큰 것을 알 수 있는데, 이것을 통해 transistor의 다른 부분보다 edge부분의 소자열화가 큰 것을 알 수 있다.

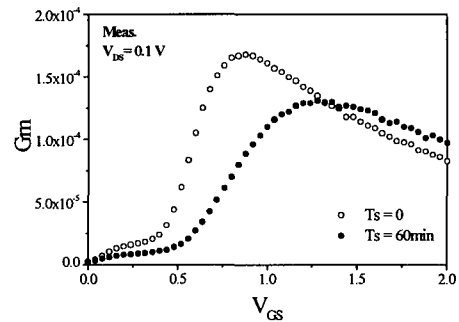


그림 3 스트레스 전·후의 Gm 특성 (stress $V_{GS} = 0.6V$, $V_{DS} = 3.8V$)

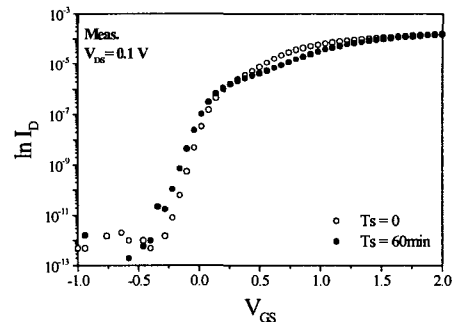


그림 4 스트레스 전·후의 subthreshold 특성(stress $V_{GS} = 0.6V$, $V_{DS} = 3.8V$)

그림 5은 스트레스 드레인 전압을 3.5V로 고정하고 서로 다른 스트레스 게이트 전압을 인가한 후 선형영역에서 스트레스 시간에 따른 드레인 전류 변화를 나타낸 것이다. 게이트 전압이 0.6V 일 때 소자가 많이 열화 되었음을 알 수 있으며 degradation rate는 약 0.6으로 전하와 홀이 산화 층으로 주입되어 계면 상태가 많이 생성되었음을 알 수 있다.

그림 6는 포화영역에서의 스트레스 시간에 따른 드레인 전류 변화를 나타낸 것이다. 선형영역보다 드레인

인 전류 변화가 적음을 알 수 있다.

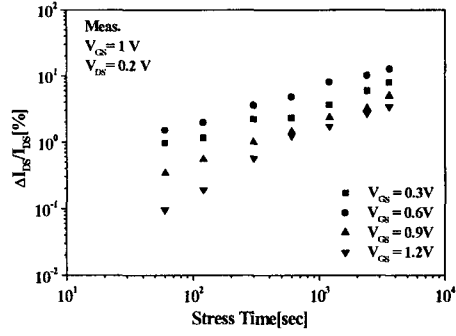


그림 5 스트레스 시간에 따른 선형영역에서의 드레인 전류 변화량 (stress $V_{DS} = 3.5V$)

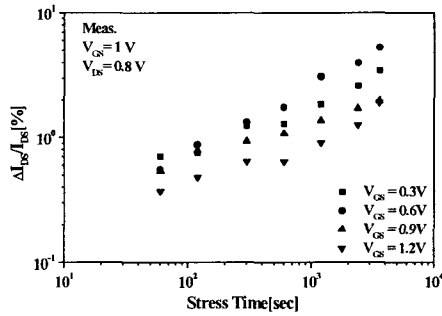


그림 6 스트레스 시간에 따른 포화영역에서의 드레인 전류 변화량

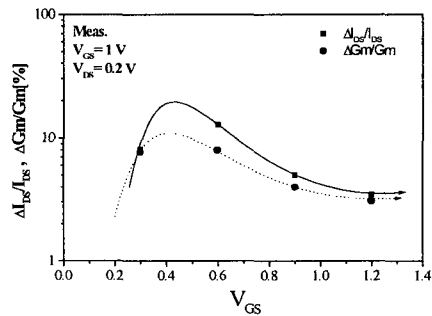


그림 7 스트레스 게이트전압에 따른 드레인 전류 변화량과 Gm 변화량 (stress $V_{DS} = 3.5V$)

그림 7은 스트레스 게이트 전압에 따른 드레인 전류

및 transconductance 변화를 스트레스시간이 60분일 때 측정하여 나타낸 것으로 게이트 전압이 0.6V일 때 소자 열화가 가장 많이 되었음을 알 수 있다.

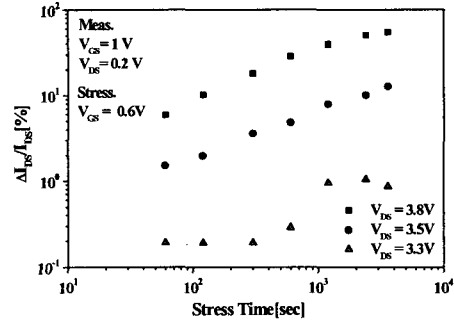


그림 10 스트레스 드레인 전압이 다른 경우의 스트레스시간에 따른 드레인 전류 변화량

그림 8은 스트레스 게이트 전압을 0.6V로 고정시키고 서로 다른 드레인 전압을 인가했을 때의 선형영역에서의 드레인 전류변화를 나타낸 것으로, 드레인 전류가 증가함에 따라 소자의 열화가 큰 것을 알 수 있다.

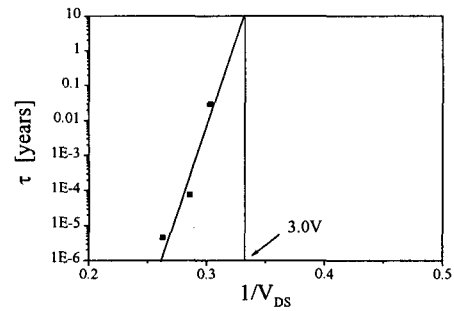


그림 11 최대 허용 공급전압 결정

그림 9는 hot carrier 현상에 의한 소자열화를 고려하여 소자의 드레인 전류변화가 10%인 시간을 수명시간으로 정의하였고, 소자의 수명시간을 10년으로 정의하였을 때의 드레인 전압을 이용하여 $1/V_D$ 관계로부터 최대허용공급전압을 결정하였다. 본 연구에 사용된 소자의 최대허용공급전압은 3V정도로 degradation rate가 일반적인 bulk MOSFET 소자 보다 크게되어 최대 공급전압이 예상보다 적음을 알 수 있다.

IV. 결론

본 실험을 통하여 GAA MOSFET소자의 hot carrier 의한 열화정도를 알기 위해 드레인 전압을 고정시키고 게이트전압을 변화시켜 그때의 소자열화 정도를 측정하였다. 스트레스 후에 드레인 전류와 Gm은 감소하였으며, Gm의 스트레스후의 변화를 통해 ΔV_t 와 mobility의 변화를 알 수 있었다. subthreshold 전류특성곡선을 통해 소자의 edge부분의 열화가 다른 부분보다 심함을 알 수 있었으며, 스트레스 후 subthreshold swing이 크게 된 것을 알 수 있었다. 또한 게이트 전압이 0.6V, 드레인 전압이 3.8V에서 소자열화가 가장 큰 것을 알 수 있었으며 degradation rate는 약 0.6정도가 나옴을 알 수 있었다.

드레인 전압의 변화시키면서 스트레스를 준 후 이를 이용하여 최대허용공급전압을 결정하였다. 본 연구에서는 degradation rate가 일반 bulk MOSFET 소자 보다 크게되어 최대허용공급전압이 3V정도로 예상보다 적게 나왔다.

참고문헌

- [1] Jong T. Park, J. P. Colinge, and C. N. Diaz, "Pi-gate SOI MOSFET", IEEE Electron Device Lett, vol.22, No.8, pp. 405-406, 2001.
- [2] X. Huang, W. C. Lee, C. kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. J. King, J. Bokor, and C. Hu, "Sub-50nm FinFET: PMOS", Tech. Digest of IEDM, pp. 67-70, 1999.
- [3] J. P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes, and C. Clayeys, "Silicon-On-Insulator Gate-All-Around Device", Tech. Digest of IEDM, pp.595-598, 1990.
- [4] J. P. Colinge, X. Baie, and V. Bayot, "Evidence of Two-Dimensional Carrier Confinement in Thin n-Channel SOI Gate-All-Around(GAA) Devices", IEEE Electron Device Lett, vol.15, No.6, pp.193-195, 1994
- [5] Anne Marie-Paule Vandooren, "Advanced Characterization of Double-Gate (Gate-All-Around) Devices and Circuits", Ph. D. Thesis, UC Davis, 2000