

SDH 기반의 동기식 네트워크 시스템 구현

김 정 동, *권 정 규, 최 태 중, 허 응, 김 정 국
 명지대학교 전자공학과, *(주)비전텔레콤
 전화 : 031-336-6347 / 핸드폰 : 016-280-1719

Design of Synchronous Network System based on SDH

Jeongdong Kim, J. Kwon, T. Choi, W. Huh, J. Kim
 Dept. of Electornics Eng., Myongji Univ.
 E-mail : bis1@mju.ac.kr

Abstract

In this paper, we implemented a SDH synchronous network system based on ITU-T recommendation G.707 - Network node interface for the synchronous digital hierarchy(SDH). For the system, we used signal processing SDH ASIC, and designed a FPGA_Control chip for various signal control and a FPGA_Alignment chip for data alignment using VHDL(Very high speed integrated circuit Hardware Description Language). For system monitoring, an operation system was developed using ANSI C and executed in CPU (Motorola MPC-860). The system was evaluated by using ANT-20 for data transmission error detection, jitter detection, pointer checking, and overhead determination.

I. 서론

SDH/SONET은 POINT TO POINT 형태의 광통신이 발전해 나가면서 광대역 종합 정보 통신망 표준화의 결과로 생겨난 것으로 동기식 전송 방식이다.

SDH 구조를 사용하면 다중화/역다중화가 단순하고, 저속 계위 신호에 접근하기가 용이하며, 운용 및 유지 보수 기능을 향상시킬 수 있고, 장래의 높은 비트율로의 확장이 수월하다.

본 연구에서는 ITU-T 규격인 G.707 - Network node interface for the synchronous digital hierarchy (SDH)을 기준으로 하고, G.782, G.783 등에서 명시된 SDH/SONET 이론을 참고로 하여, 데이터를 전송하는 시스템을 구현하는 것을 연구목적으로 하였으며, PDH 신호인 DS1/DS1E (T1/E1), DS3 (T3) 신호를 다중화하여 광신호로 전송하는데 주안점을 두고 시스템을 설계하였다.

II. SDH 이론

2.1 SDH의 신호 구성

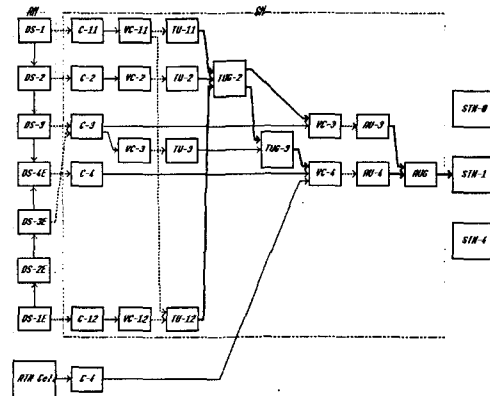


그림 3. SDH 신호

동기식 다중화 과정의 첫 단계로서 각 계위신호들은 해당 상자(C)에 매핑된다. 동기화를 위해서는 비트단위의 정/영/부 위치 맞춤이 사용된다. 상자에 경로 오버헤드(POH)를 추가하면 가상 상자(VC)가 되고, 그 위에 포인터를 덧붙이면 계위신호 단위(TU)가 된다. 이때 VC-4, VC-3의 경우에서와 같이 다른 VC를 거치지 않고 직접 STM-1에 매핑되는 경우에는 TU가 관리단위(AU)가 된다.

2.2 프레임의 구성과 오버헤드

STM-n 프레임은 그림 2와 같은 구조를 갖는다. 이 구조는 125 μ s 시간 동안에 9B \times n \times 270의 공간을 점유

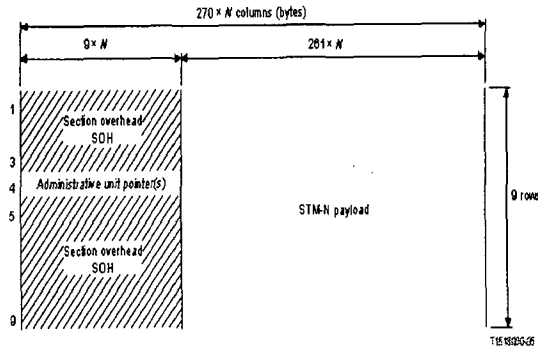


그림 2. STM-n의 프레임 구조

하므로 $n \times 155.520\text{Mbps}$ 의 비트율을 갖는다. 이 중 $9B \times n \times 9$ 만큼이 구간 오버헤드 및 AU 포인터 공간으로, 나머지 $9B \times n \times 261$ 이 STM-1 유료부하공간으로 할당된다. AU 포인터는 관련 VC 신호의 위치를 표시하는데 사용된다. 동기식 다중화에 있어서 사용되는 오버헤드는 구간 오버헤드(SOH)와 경로 오버헤드(POH)로 구분된다. 이 중 SOH는 중계기 구간 오버헤드와 다중화기 구간 오버헤드를 포함한다. 또한 경로 오버헤드(POH)는 고위 가상상자인 VC-4, VC-3의 고위 경로 오버헤드와 저위 가상상자인 VC-1, VC-2에 부착되는 경로 오버헤드로 나뉜다.

2.3 포인터 처리

포인터는 신호의 초기화를 위해서 사용되며, 그 위치는 그림 3에 나타나 있다. 포인터는 STM-1, TU-3, TUG-2, TU-1 등의 신호와 해당 유료 부하들간에 나타나는 위상 차이를 해소시켜주는 역할을 한다. 포인터의 동작을 위해서는 H1, H2, H3 세 바이트가 필요하며, 이 때 H1, H2는 정상시에는 유료부하 시작주소 기록용으로, 위치 맞춤시에는 위치맞춤 표시용으로 각각 사용되며, H3는 위치맞춤 집행용으로 사용된다.

III. SDH 시스템의 설계 및 검증

3.1 시스템 설계의 목적과 과정

이 시스템에서는 DS-1/DS-1E(T1/E1) 신호와 DS3 (T3) 신호를 광급인 STM-1에 다중화하여 전송할 수 있도록 하는 것을 목적으로 그림 3과 같은 시스템을 구성하였다. 이것은 CAD를 이용하여 설계한 후에, PCB 기판 제작과 부품 조립 및 디버깅까지의 단계를 거쳐서 완전한 시스템으로 제작하였다.

3.2 각 블록의 기능과 구성요소

1) Optic_intf 파트

이 파트는 광신호를 받아서 내부 소자에 그 신호를 공급하며 받은 광신호를 분석하여 데이터에서 클럭과 프

레이م 펄스를 복원하고 이것을 serial 이나 parallel 로 데이터를 정렬하여 SOP4A에 전송한다.

155Mbps의 STM-1급 광신호를 입력받기 위한 광모듈로는 Agilent 사의 HFCT-5205B를 사용하고, 데이터에서 클럭을 복원하기 위해서 AMCC 사의 S3026을 사용하였다. 신호를 광모듈에서 받을 때는 S3026에서 신호를 먼저 받아서 먼저 클럭을 추출한 다음에 AMCC 사의 S3028로 pECL 방식의 데이터와 복원된 클럭을 넘겨주게 되고, S3028에서는 이 신호를 TTL 방식으로 변환하여 전송한다. 또한 S3028에 레퍼런스 클럭을 제공하기 위해서 Lucent 사의 1041LG를 사용하였다.

2) SOP4A 파트

optic_intf에서 전송된 신호가 이 ASIC으로 들어오게 된다.

SOP4A는 155.520Mbps의 STM-1급 광신호를 받아서 프레임 검출 및 생성을 하고 RS/MS-overhead를 검출 및 생성 처리한 후 AU3/AUG 단위(51.84Mbps)로 재정렬된 parallel data stream이나 AU3 Serial data stream으로 출력한다. 이 칩에서는 STM-1(STM-4) 신호를 받아 SOH 신호를 해석·처리하여 경보사항을 출력하고 SOH(Section OverHead)를 제외한 나머지 포인터를 포함한 신호를 다음 ASIC인 LOPP에 넘겨준다.

3) LOPP 파트

LOPP는 나머지 ASIC 칩들이 시작 번지가 J1 다음 번지를 기본적으로 522번째 번지로 인식하여 신호를 처리하는데 비하여, J1의 다음 번지를 첫 번째인 1번지로 인식하여 신호를 재정렬 시켜준다.

STM-1급 155Mbps의 신호를 받아서 AU/TU 포인터 프로세싱을 수행하고 TU 단위인 TU-11, TU-12 신호 단위의 위상 정렬을 한 다음 오버헤드 프로세싱을 수행해서 STM-1 프레임을 생성/출력한다.

4) ATUDX

ATUDX는 LOPP에서 수신된 신호를 받아서 이 신호들을 AU-3 또는 TU 신호 단위별로 TSI(Time Slot Interchange)를 수행하는 ASIC이다. TU-3, AU-3 Data Stream에 대해서는 AU-3 채널별로 TSI 기능을 제공하고 TU-11, TU-12 Data Stream에 대해서는 TU 채널별로 TSI 기능을 수행한다.

5) FPGA_Control

이 파트는 Xilinx사의 FPGA를 사용하여 원칩화하였으며 VHDL의 schematic 기능을 이용하여 설계하였다. 이것은 시스템상의 주요 경보와 더욱 세부적인 보드의 상태를 컴퓨터의 모니터에서 관찰하기 위해서 만들었다. 또한 시스템의 상태를 LED를 통하여 선택적으로 ON/OFF 하는 기능과 VCXO 파트에서 시스템 클럭을 공급받아 각 칩에 제공하며 그밖에 리셋 신호, 모드 선택 신호 등을 제어하는 기능도 포함하고 있다.

또한 TE1 LIU 파트의 구성요소인 릴레이 AGN2004H에 원활한 제어를 목적으로 하는 전류 공급을 위하여

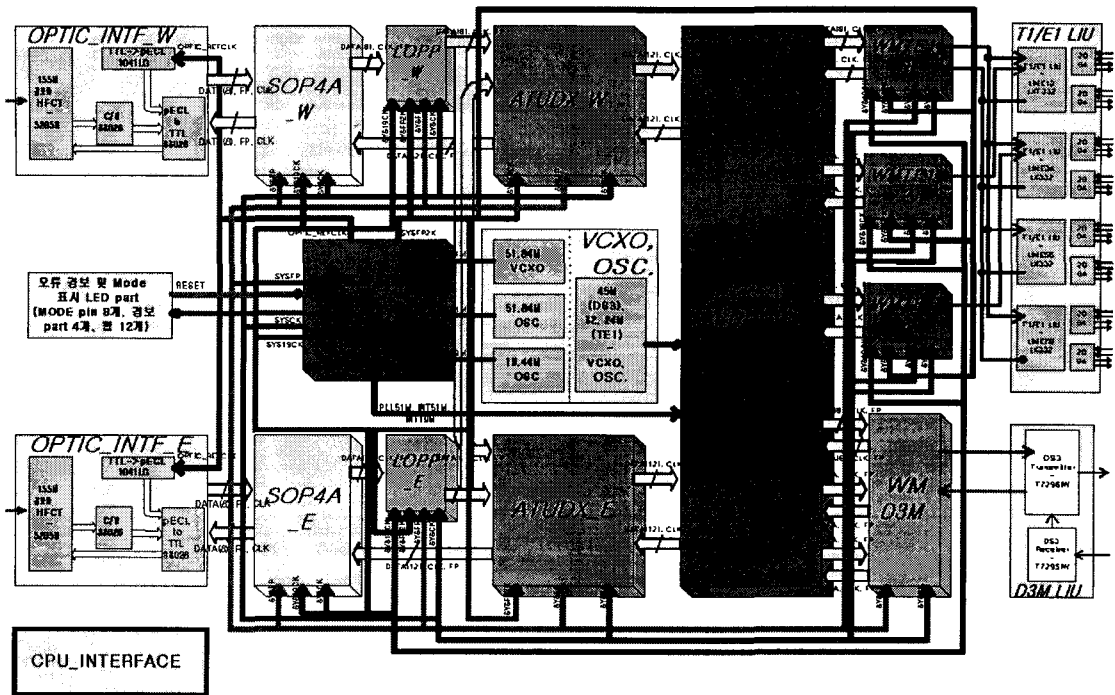


그림 5. 전체적인 시스템 구성도

TOSHIBA 사의 TD62003AF를 사용하였다.

6) FPGA_Alignment

이 ASIC은 ATUDX에서 넘어온 데이터를 WMTE1이나 WMD3M으로 데이터를 넘겨줄 때 데이터들의 위상 정렬을 목적으로 설계되었다.

ATUDX에서는 클럭과 프레임 펄스, 데이터 신호를 입력받은 다음, 클럭과 프레임 펄스 신호를 기준으로 데이터들의 위상정렬을 수행하여 출력함으로써, 지터 발생을 최소화하도록 하였다.

FPGA_CONTROL과 마찬가지로 FPGA 칩을 사용하여 원칩화하여 설계하였으며 VHDL(Very high speed intergrated circuit Hardware Description Language) 언어로 구현되었다. 이 칩은 시스템 클럭(19Mhz, 51Mhz)과 24MHz, 32Mhz, 45MHz의 클럭 신호를 받아서 WMTE1과 WMD3M에 공급한다.

7) WMTE1

WMTE1 ASIC은 비동기 신호인 DS-1(T1) 신호 및 DS-1E(E1) 신호를 다중화 경로를 통해서 AU-3 Data Stream을 출력하거나 SOH를 붙여서 51.84Mbps (STM0)급 광 신호를 인터페이스 한다.

이 칩은 최대 28채널의 DS-1 신호나 최대 21채널의 DS-1E 신호를 처리하거나, 또는 TUG-2 그룹 단위로 DS-1이나 DS-1E 신호를 혼용해서 처리할 수 있다.

이 ASIC은 AU-3 단위의 신호 중 포인터를 제외한 84×9의 payload 데이터만을 처리한다.

8) WMD3M

D3M은 유사 동기 신호(PDH)인 44.736Mbps의 DS3 신호 3개를 수신하여 이들 각각을 유료부하에 매핑하고 VC-3 POH(Path OverHead)를 삽입한다. 또한 시스템에 동기된 포인터를 재생성하고 신호의 다중화 경로를 거쳐서 AU-3 신호를 구성하여 데이터를 출력한다.

9) CPU 파트

CPU로는 Motorola의 MPC860 계열의 CPU를 사용하여 본 보드와는 별도의 보드에 설계하였다. 이것을 구동하기 위한 프로그램은 ANSI C로 작성하였으며 이 프로그램은 CPU와 ASIC 또는 FPGA 칩들간의 어드레스의 데이터 정보를 CPU에 보내고 그 내용에 맞는 정보나 상태 출력을 목적으로 사용한다.

10) LIU(Line Interface Unit) 파트

LIU는 WMTE1 LIU와 WMD3M LIU의 두 파트로 나누어 설계하였다. LIU 파트는 각각 WMTE1과 WMD3M의 신호를 TP와 Coaxial Cable 단자로 송수신한다.

① TE1 LIU 파트

이 파트는 WMTE1에서 출력된 신호가 TP line을 통하여 신호를 전송되거나 수신하는 기능을 가진다. 이것은 Level One 사의 LXT332QE와 NAI s의 AGN2004H로 구성되어 있다.

LXT332QE는 DS-1/DS-1E신호의 LIU 기능을 하는 칩이며, AGN2004H는 DS1이나 DS1E 신호를 선택적으로 사용하기 위한 릴레이이다.

② D3M LIU 파트

이 파트는 DS3 신호를 Coaxial Cable을 통하여 송수신하는 기능을 가진다.

이 블록에서는 EXAR 사의 XRT7295와 XRT7298을 사용하여 구성하였다.

XRT7298은 DS3 신호의 송신단을 담당하는 칩으로 데이터를 Coaxial Cable에 전송한다. XRT7295는 데이터의 수신을 담당하는 칩으로 Coaxial Cable에서 수신된 데이터를 WMD3M으로 전송하는 역할을 한다.

11) PLL(Phase-Locked Loop)

PLL 파트에는 내부 클럭을 위한 오실레이터와 외부 클럭과 동기를 맞추기 위한 VCXO(Voltage Controlled Crystal Oscillator)를 사용하였다.

여기서는 크게 ASIC의 주요 클럭으로 쓰이는 51.84MHz와 19.44MHz의 오실레이터와 VCXO를 한 곳에 배치하였으며 WMD3M에 쓰이는 44.736MHz의 오실레이터와 VCXO, WMTE1에 쓰이는 32.768MHz, 24.704MHz의 오실레이터와 VCXO는 FPGA_Control과 WMTE1, WMD3M의 부근에 위치시켜 신호 왜곡현상을 최소화하도록 설계하였다.

IV. 실험 및 고찰

4.1 시스템 디버깅

설계한 시스템을 디버깅하는 데에는 여러 가지 신호에 대한 검사를 실시하는 ANT-20 장비와 메인보드와는 따로 제작되어 있는 CPU를 이용하여 동작되는 ANSIC언어로 작성된 상태표시 프로그램, 그리고 오실로스코프가 사용되었다. ANT-20 장비는 송수신 신호의 이상 유무 판별, 지터 검사, 포인터 검사, 그리고 오버헤드 검사 등을 수행하는 기능을 가지고 있다.

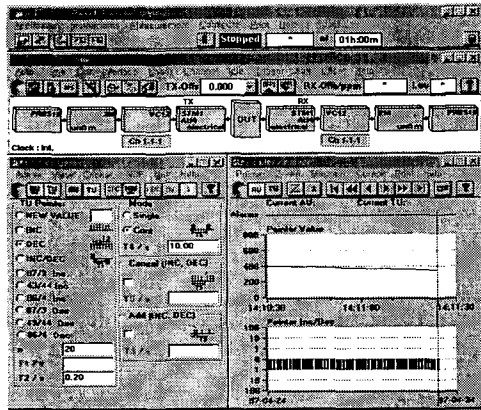


그림 4. Pointer 동작 실험

4.2 최종적으로 구현된 시스템

이런 디버깅 단계를 거쳐서 잡아낸 오류를 다시 수정하고 디버깅된 회로를 바탕으로 보드를 새로 제작하여 완전한 시스템을 제작하였다. 각 파트의 구성위치는 그림 3의 위치와 거의 동일하게 제작되었다.

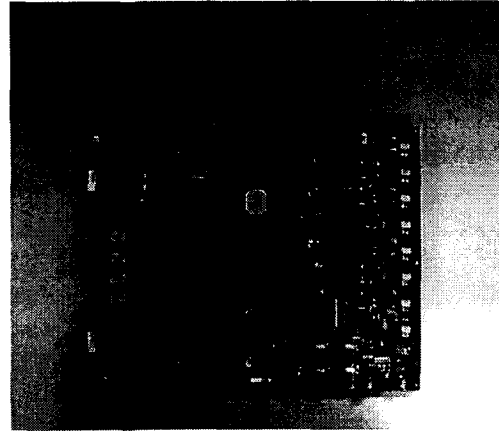


그림 5. 구현된 시스템

V. 결론

본 논문은 현재 우리나라에서 기간망으로 구축되어 있는 SDH 망을 사용하여 광통신이 가능하도록 해주는 SDH 동기식 전송 시스템을 구현한 것이다.

SDH 동기식 계위 중 우리나라에서 현재 많이 사용되는 신호단위인 DS-1(T1) / DS-1E(E1) 신호와 DS-3(T3) 급 신호를 155Mbps의 STM-1급 광신호로 다중화하여 전송하는 것을 목적으로 시스템을 제작하였으며 디버깅과 시스템 재구성의 단계를 거쳐 시스템이 이상 없이 동작함을 확인하였다.

이 논문에서 제작된 시스템 보드는 이중화가 안 되어 있다는 것만 제외하면 실제 상용화 될 수 있는 SDH 기반의 시스템과 거의 대등한 것으로 볼 수 있으며, 실제 상용화되는 SDH 동기식 전송 시스템을 설계할 때 충분한 레퍼런스 가이드의 역할을 할 수 있으리라고 사료된다.

참고문헌

- [1] 이병기, "BISDN과 동기식 전송", 전자공학회지 제 20권 4호, pp.12-33, 1993.4
- [2] 이병기, "광대역 디지털 전송방식", 전자공학회지 제 15권 4호, pp.22-34, 1988.8
- [3] 이병기, 강민호, 이충희 공저, "광대역 정보통신", 교학사, pp. 4-226, 2000.7
- [4] "SOP4A Data Book", 비전텔레콤, 1999.7
- [5] "LOPP Data Book", 비전텔레콤, 2000.12
- [6] "ATUDX Data Book", 비전텔레콤, 2001.1
- [7] "WMTE1 Data Book", 비전텔레콤, 2001.10
- [8] "WMD3M Data Book", 비전텔레콤, 2001.4