

DPRAM과 흐름 제어를 이용한 프로토콜 변환 장치의 구현

이강복, 김용태, 이형섭
한국전자통신연구원 액세스기술연구부
Tel : 042-860-5142

An Implementation of Protocol Converter using DPRAM and Flow Control

Kang Bok Lee, Yong Tae Kim, Hyung Sub Lee
Access Technology Department, Electronics and Telecommunication Research Institute
E-mail : kblee@etri.re.kr

Abstract

This paper relates to the FPGA that is referred to as the UTOSPI. The design goal of the FPGA is to convert the UTOPIA-3 bus interface to the SPI-3 bus interface, so that the SAR chips on the ATM interface board can be interfaced to the packet processor through this FPGA. We propose a new architecture that has two Dual Port RAMs and flow control signals. To buffer data, the UTOSPI has a Dual port RAM in the receive direction and the same size of that in the transmit direction. This design has been implemented, compiled, and tested using a Xilinx Virtex-E XCV-300E FPGA.

I. 서론

인터넷은 전 세계의 가입자들을 하나로 연결해 주는 통신 수단이다. 따라서 인터넷과 관련한 프로토콜의 표준화 작업은 여러 단체에 의해 추진되고 있으며 인터넷 기술의 발전 방향에 따라서 표준화 방향 및 표준화 기술도 달라지게 된다. 현재 사용되고 있는 인터넷 장비의 프로토콜은 여러 가지의 표준에 의해 상이한 접속 장치로 나뉘어져 있으며, 이러한 이종간의 프로토콜을 연결하기 위해서는 네트워크의 한 장치에서 다른 장치로 정확하게 데이터를 전송 할 수 있어야 한

다.

라우터는 대표적인 인터넷 장비로써 백본망에서부터 가입자단의 에지망까지 네트워크의 여러단계에서 사용되고 있다. 따라서 사용 영역에 따라 여러 가지 형태의 네트워크 프로토콜을 지원해야 하며, 동일한 장비 내에서도 가능한 한 많은 종류의 네트워크에 대한 정합 방법을 제시하는 것이 장비 개발의 추세이기도 하다.

본 논문은 현재 일반적으로 널리 사용되고 있는 IP/ATM의 오버레이 네트워크 구조에서, IP 데이터망과 ATM 교환망을 연결하는 프로토콜 변환에 관한 구현 방법을 제시하고 있다. ATM망의 표준 인터페이스인 UTOPIA-3와 IP 데이터망의 표준 인터페이스인 SPI-3를 상호 연동하기 위하여, 본 논문에서는 DPRAM(Dual Port RAM)을 사용하여 패킷의 우선 순위를 저장 및 제어하고, 흐름제어를 이용하여 프로토콜 변환 장치내의 버퍼 오버플로우를 방지함으로써 패킷의 손실을 방지하고 고속으로 데이터를 전달할 수 있는 장치를 구현하였으며, 이를 고속 라우터에 적용하여 622Mbps ATM망에 정합 하는 실험을 병행하였다.

본 논문의 구성은 다음과 같다. 2장에서는 본 논문을 통해 구현된 FPGA가 적용되는 ATM 정합 방법에 대한 설명이 이루어지고, 3장에서는 본 논문에서 제안하는 FPGA의 설계와 구현 결과에 대해 설명하고 4장에서는 본 논문의 결론을 맺는다.

II. ATM 정합 방법

고속 라우터 시스템은 IP 기반의 에지형 라우터로서, 이종의 네트워크에 정합하기 위해서 오버레이 구조를 채택하고 있다. 그림 1은 이러한 오버레이 구조에서 거치게 되는 프로토콜 스택을 보여주고 있다. IP 스위치에서부터 622Mbps ATM망으로 정합 하기 위해서는 AAL5라는 중간 단계를 거치게 된다. 스위칭 되는 모든 IP 데이터그램은 ATM AAL5(Application Adoption Layer Type 5) 형태의 프레임으로 변경되고, 그 결과는 다시 48 byte 크기의 ATM 셀로 분할된다.

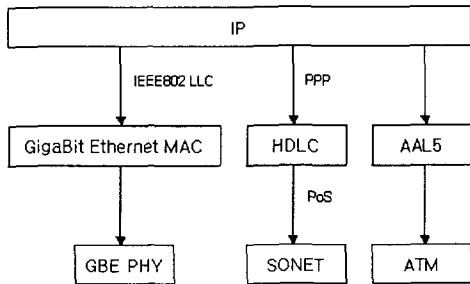


그림 1 프로토콜 스택

그림 2는 이러한 ATM의 프로토콜 스택을 구현하기 위한 정합 보드의 구성을 보여주고 있다. 정합 보드는 2개의 SAR 기능 블록과 ATM용 물리 계층으로 구성되며, 상위 계층과의 연결을 위하여 패킷 프로세서 블록과의 인터페이스를 제공하고 있다. 이러한 계층간의 접속에 있어서, ATM 계층과 IP 계층은 서로 다른 접속 프로토콜을 제시하고 있다. 즉 ATM 망에서의 접속 표준은 UTOPIA-3이고, 3계층에서의 접속 표준은 SPI-3라는 표준이다.

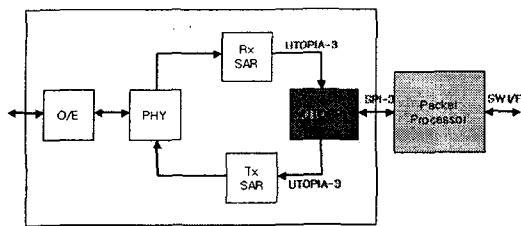


그림 2 ATM 정합 구조

UTOPIA 규격은 ITU-T의 ATM 포럼에서 제정한 물리층과 ATM층간의 정합 규격을 의미하는것으로써, 처리 속도면에서 25MHz, 33MHz, 50MHz, 100MHz 등이 있으며 선로 속도에 따라 데이터 처리 비트수는 8비트, 16비트, 그리고 32비트가 있다. SPI는 OIF (Optical Internet Forum)에서 제정한 시스템 내부의 패킷 인터페이스 규격으로써, 패킷 기반의 프로토콜을 구현하기 위해 사용되는 물리 계층과 링크 계층의 디바이스들을 서로 연결하기 위하여 사용된다. 규격은 전송 속도 및 데이터 처리 비트수에 따라 SPI-1, SPI-2, SPI-3, 그리고 SPI-4로 나뉘져 있으며, 본 문에서는 SPI-3를 다룬다.

III. 변환장치 구현

UTOSPI는 UTOPIA 정합으로부터 수신되는 패킷을 내부 Rx DPRAM을 이용하여 저장하고 SPI 정합으로부터 패킷 프로세서의 수신 허용 상태를 감지하여 패킷 프로세서 블록으로 전달하게 된다. 또한 내부 Tx DPRAM이 꽉 차 있는 상태가 아니라면 패킷 프로세서 블록으로부터 32비트 단위로 전달되는 패킷을 수신하여 TxSAR의 패킷 수신 상태를 확인하고 전달하는 기능을 수행한다. 그림3은 UTOSPI의 기능 블록도를 보여 주고 있다.

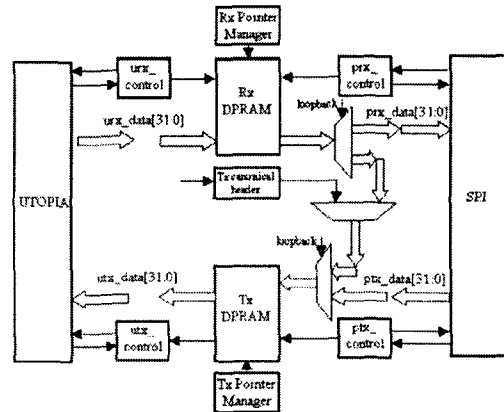


그림 3 UTOSPI의 기능 블록도

3.1 UTOSPI의 인터페이스 변환 장치

UTOPIA-3 인터페이스는 점대점 연결로써 Single PHY 인터페이스 모드로 동작하게 설정되었다. 따라서

32비트의 데이터 경로를 가지고 있으며, 데이터 스트림 내에 핸드셰이킹을 위한 신호들이 포함되어 있다. RxDPRAM은 2개의 입출력 포트를 가진 메모리로써 읽기와 쓰기가 동시에 가능하다. 따라서 UTOPIA로부터 수신되는 패킷을 저장하는 버퍼의 역할을 하며 또한 프로토콜 변환 상태에 따라 패킷의 흐름을 제어할 수 있는 신호를 발생 시키기도 한다. 즉 Rx DPRAM이 충분한 데이터 패킷을 채울 만한 빈 공간이 확보되지 않은 상황이 되면, RXSAR로 제어 신호를 송신함으로써 더 이상 패킷을 송신하지 못하도록 하고 있다. 전체적인 수신부의 흐름제어는 다음과 같이 동작한다.

```

if (sysrstN) then
    urx_clav is high;
elsif(dpram is almost full) then
    urx_clav is transited to low;
elsif(dpram is almost empty) then
    urx_clav is transited to high;
end if;
    
```

또한 Almost_full은 수신되는 패킷의 수(urx_cnt)와 송신되는 패킷의 수(utx_cnt)의 차이를 이용하여, 정해진 영역 이상의 값을 가지는 경우 almost_full로 규정하고, 또 다른 정해진 값 이하의 값을 가지는 경우는 almost_empty로 규정하여 적절한 흐름제어를 수행하도록 하고 있다.

```

if (rx count > tx count ) then
    if (0& rx count - 0 & tx count > Nfull )
        almost full
    end if;
    if (0& rx count - 0 & tx count > Nempty )
        almost empty
    end if;
else
    if (1& rx count - 0 & tx count > Nfull )
        almost full
    end if;
    if (1& rx count - 0 & tx count > Nempty )
        almost empty
    end if;
end if;
    
```

SPI측과 RxDPRAM 사이의 제어는 패킷 프로세서로부터 전달되는 핸드셰이킹 신호와 흐름 제어 신호에 의해 제어된다. 즉 패킷 프로세서가 내부의 FIFO 메모리로부터 버퍼의 상태를 감지한 후 UTOSPIO로 송신

가능 신호를 보내고 이에 따라 데이터를 전송하게 된다.

3.2 루프백 제어 기능

ATM 물리층으로 전달되는 IP 패킷은 AAL5 구조를 따르며 RxSAR로부터 수신되는 패킷의 헤더 구조는 Reassembly Canonical Header 와 L2 Encapsulation 정보, 그리고 IP 헤더 및 Payload 영역 순으로 구성되며, TxSAR로 전달되는 패킷 구조는 Segmentation Canonical Header 와 L2 Encapsulation 정보, 그리고 IP 헤더 및 Payload 영역 순으로 구성된다.

따라서 루프백 제어 기능은 UTOPIA측의 루프백과 SPI측의 루프백으로 구분하여 처리한다. SPI측의 루프백은 RxSAR -> RxDPRAM -> TxDPRAM -> TxSAR로 패킷이 전달 되도록 제어한다. 이때 Rx Reassembly Canonical Header는 Tx Segmentation Canonical Header로 변환되어야 한다. 그림 4는 송신 및 수신 패킷의 헤더 구조를 보여 주고 있으며, Tx Canonical Header는 레지스터에 저장하며 Tx SAR측의 채널을 열 경우 레지스터의 값을 반영하여야 한다. 루프백을 위하여 필요한 값은 CHannel ID 값이며, Channel ID값은 르프백 설정

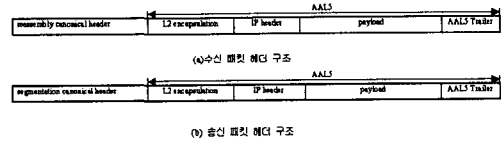


그림 4 헤더 구조

과 동시에 레지스터에 저장되어야 한다.

UTOPIA측의 루프백도 동일한 방법으로 제어되며 패킷은 TxDPRAM -> TxSAR -> RxSAR -> RxDPRAM으로 전달 되도록 제어되어야 한다. 이때 패킷의 헤더도 그림 4의 패킷 헤더를 참조하여 적절한 형태로 변환되어야 한다.

3.3 FPAG 구현 및 시험용 보드 구성

본 논문에서 제시한 프로토콜 변환 장치는 XCV-300E-FG456-6(사용 가능한 I/O 312개)을 이용하여 구현 하였다. 클럭은 2가지 종류를 사용하고 있

으며, UTOPIA 인터페이스측으로부터 50MHz의 클럭을 공급 받고, 또한 SPI 인터페이스측으로부터 50MHz의 클럭을 공급 받는다.

구현된 FPGA는 622Mbps ATM 정합 장치를 통해 시험 되었다. 그림 5는 구현된 ATM 정합 보드의 구성을 보여 주고 있다. 물리 링크 정합 블록은 622Mbps ATM망에 대한 물리 정합을 담당하며, 수신된 ATM 신호는 수신 SAR 기능부를 통해 패킷 단위로 재조립되어 UTOSPI를 통해 3계층 처리를 위한 패킷 프로세서로 전달된다. 반대로 송신시에는, IP 스위치를 통해 패킷 프로세서로 전달된 패킷은 UTOSPI를 통해 UTOPIA 패킷으로 변환되며, 송신 SAR를 통해 ATM 셀로 최종 변환되어 ATM망으로 전달된다.

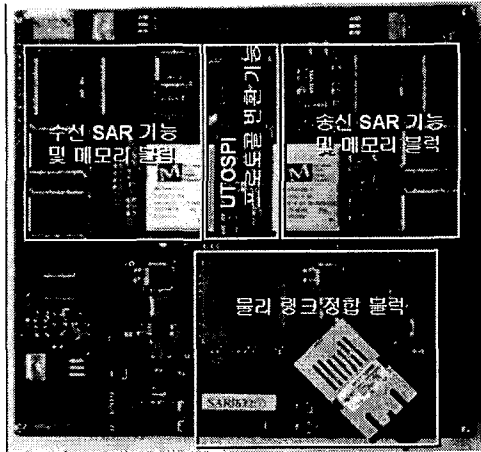


그림 5 ATM 정합 보드

제작된 ATM 정합 보드는 MPC860 프로세서를 사용하여 레지스터 제어 시험, 패킷 전달 시험, 그리고 루프백 제어 시험등이 실시되었으며 실시간 운영 체제는 VxWorks를 사용하였다. FPGA 기능 시험은 MPC860의 패킷 송신 및 수신 기능을 이용하여 2개의 시험용 경로를 이용하였다. 하나는 MPC860을 이용하여 패킷을 전송하고 이를 UTOPIA를 통해 FPGA로 전달 하는데 사용하고, 다른 하나는 FPGA로부터 UTOPIA를 거쳐 들어온 패킷을 MPC860이 수신하는데 사용하였다. 시험 결과 루프백의 설정, 패킷 송신 및 수신이 정확함을 확인하였으며, SmartBit를 이용한 622Mbps의 통신 시험에서도 동일한 결과를 얻을 수 있었다.

IV. 결론

본 논문에서는 DPRAM과 흐름 제어를 이용하여 ATM 계층과 패킷 인터페이스 계층을 상호 연결 할 수 있는 프로토콜 변환 장치의 구현에 관해서 설명하였다. 구현된 프로토콜 변환기는 수신부와 송신부가 각각 독립적으로 동작하여 동시에 양 방향의 패킷을 처리할 수 있고 선로 속도와 동일하게 인터페이스를 변환 할 수 있다. 또한 UTOPIA 버스와 SPI 버스상의 루프백을 지원함으로써, 구현된 칩의 시험 및 검증을 가능하게 하였으며 또한 보드 탑재 상태에서 시험을 용이하게 하였다.

현재의 인터넷의 특징은 서로 다른 프로토콜을 사용하는 네트워크들이 혼합되어 사용되고 있다. 따라서 네트워크 장비들은 이러한 상이한 프로토콜을 만족 하기 위하여, 각기 다른 표준 단체들에 의해 추진되는 표준화 규격을 서로 변환 할 수 있는 유연함을 가지고 있어야 한다. 본 논문에서 제시하는 프로토콜 변환 장치는 대표적인 인터넷 망인 ATM과 IP망을 연결하는 장비 내에서, 서로 다른 표준화 규격을 만족 할 수 있도록 실시간으로 프로토콜을 변환 할 수 있게 하였다.

[참고 문헌]

- [1] ATM Forum Technical Committee, "UTOPIA 3 Physical Layer Interface", AF-PHY-0136.000, November 1999.
- [2] ATM Forum Technical Committee, "UTOPIA Level 4", AF-PHY-0144.001, March 1999.
- [3] Optical Internetworking Forum, "System Packet Interface Level 3 (SPI-3): OC-48 System Interface for Physical and Link Layer Devices", OIF-SPI3-01.0, June 2000.
- [4] Optical Internetworking Forum, "System Physical Interface Level 4 (SPI-4) Phase 1: A System Interface for Interconnection between Physical and Link Layer, or Peer-to-Peer Entities Operating at an OC-192 Rate (10Gb/s)", OIF-SPI4-01.0, April 2001.
- [5] Optical Internetworking Forum, "System Packet Interface Level 4 (SPI-4) Phase 2: OC-192 System Interface for Physical and Link Layer Devices", OIF-SPI4-02.0, January 2001.