

2세대 / 3세대 혼용 디지털 채널화기

이 선 익, 이 주 협, 이 원 철
승실대학교 정보통신전자공학부
전화 : 02-826-7980 / 핸드폰 : 018-357-0884

2G / 3G Dual Mode Digital Channelizer

Sun-Ik Lee, Joo-Hyub Lee, Won-Cheol Lee
School of Electronic Engineering, Soongsil University
E-mail : loadseeker@amcs.ssu.ac.kr

본 논문은 한국전자통신연구원의 연구비 지원 결과임

요약

본 논문은 2세대 규격인 IS-95와 3세대 규격인 W-CDMA 혼용 디지털 채널화기 구조에 대한 제안 및 동작원리를 기술하고 성능을 분석한다. 실제적인 1.25MHz 대역폭을 갖는 IS-95와 5MHz의 대역폭을 갖는 W-CDMA 혼용 디지털 채널화기를 위한 DFT 필터 뱅크 적용시의 문제점을 지적하고 혼용 디지털 채널화기의 구조로 별도의 정류자를 사용하는 폴리페이즈 필터 뱅크 구조를 제안하고 성능을 분석한다.

I. 서론

현재 전 세계적인 무선 통신, 특히 이동 통신 환경은 IS-95 CDMA와 같은 다양한 2세대 디지털 시스템들이 주류를 이루고 있으며, 이와 더불어 3세대 IMT-2000 규격[1]이 상용화될 예정이다. 결국 조만간 2세대 및 3세대 무선통신 시스템이 혼재하는 상황이 조성될 것으로 예상된다. 따라서 이중 규격을 동시에 지원 가능한 기지국 시스템의 필요성이 심각하게 대두되고 있으며, 이를 위한 공용 무선 인터페이스 구현에 관한 연구가 활발히 진행되고 있다. 이러한 이중 규격들의 혼용 인터페이스를 하드웨어의 수정 없이 모듈화된 소프트웨어의 변환만을 통해 복합적으로 수용할 수 있는 SDR 기술이 부각되고 있으며, 본 논문에서는 이를 위한 디지털 IF를 기반으로 한 채널화기를 소개한다.

II. DFT 필터 뱅크 채널화기

2.1 DFT 폴리페이즈 필터 뱅크 기본 구조

DFT 폴리페이즈 필터 뱅크 구조를 이용하여 채널화기를 구현하면, 데시메이션 과정에 필요한 폴리페이즈 경로별 필터링을 실제 샘플링을 데시메이션으로 나눈 처리속도로 계산할 수 있으며, 폴리페이즈 경로별 필터링 과정을 별도로 병행할 수 있다는 장점을 갖고 있다. 또한 샘플링율보다 낮은 속도로 처리할 수 있다는 점에서 실제 구현상에 처리에 필요한 소모 전력이 줄어든다는 장점도 내포한다. DFT 폴리페이즈 필터 뱅크 구조를 이용한 채널화기는 $M=K$ 인 경우에 가장 쉽게 구현될 수 있다. 즉 다시 말해서 표본화 주파수를 채널 대역폭으로 나눈 결과 값 M 와 데시메이션을 M 과 같은 경우이며, 이 경우 분석단의 출력인 각 채널별 기저대역 신호는 결국 나이퀴스트 표본화된 형태가 된다. k 번째 채널 성분의 추출을 위한 폴리페이즈 필터 뱅크의 ρ 번째 경로 필터는 $\bar{P}_{\rho,k}(m)$ 으로 정의될 수 있고, 각 폴리페이즈 경로의 입력 신호는 다음과 같다.

$$X_{\rho}(m) = X(mM + \rho), \rho = 0, 1, 2, \dots, M-1 \quad (1)$$

여기서 폴리페이즈 구조의 ρ 는 경로 인덱스이고, k 는 필터 뱅크의 채널인덱스이다. 이 때 일반적인 필터 뱅크의 k 번째 경로의 필터가 다음과 같이 정의된다면

$$h_k(n) = h(n)W_M^{kn} \quad (2)$$

여기서 $h(n)$ 프로토타입 저역 분석 필터인 경우, ρ 번째 폴리페이즈 경로에 해당하는 필터는 식(3)과 같이 표현된다.

$$\bar{P}_\rho(m) = h(mM - \rho) \quad (3)$$

이를 토대로 k 번째 채널 성분을 위한 ρ 번째 경로의 폴리페이즈 필터 $\bar{P}_{\rho,k}(m)$ 의 형태는 식(4)으로 표현될 수 있다. 여기서 $K = M$ 인 경우

$$\bar{P}_{\rho,k}(m) = \bar{P}_\rho(m)W_M^{-kp}, \quad \rho, k = 0, 1, \dots, M-1 \quad (4)$$

식(4)에서 $W_M^{kp} = e^{2\pi kp/M}$ 이며, 처음의 항 $\bar{P}_{\rho,k}(m)$ 은 데시메이션 후 샘플 시간 m 의 함수이고, 두 번째 항 W_M^{-kp} 은 폴리페이즈 경로 ρ 와 채널 k 의 함수이다. 이 두 개의 분리는 폴리페이즈 필터뱅크 구조를 설명하는데 매우 중요한 역할을 한다. 식(4)를 사용하여 표본화 주파수가 $1/M$ 으로 축소된 k 번째 채널의 기저 대역화된 신호 표현하면 다음과 같다.

$$X_k(m) = \sum_{n=-\infty}^{\infty} h(mM - n) W_M^{k(mM - n)} x(n) \quad (5)$$

결론적으로 $n = rM - \rho$ 라 놓으면 식(6)과 같이 DFT 변환 식으로 표현된다.

$$\begin{aligned} X_k(m) &= \sum_{\rho=0}^{M-1} [\bar{P}_\rho(m) * x_\rho(m)] W_m^{-kp} \\ &= DFT[\bar{P}_\rho(m) * x_\rho(m)] \end{aligned} \quad (6)$$

전체적으로 축소 표본화되고 기저 대역화된 k 번째 채널 신호 성분은 모든 ρ 에 해당하는 폴리페이즈 경로 필터들과 각각 경로의 입력과의 컨볼루션 결과에 대한 DFT 변환 결과로 표현되며, 그림 1과 같은 구조로 표현된다. [2]

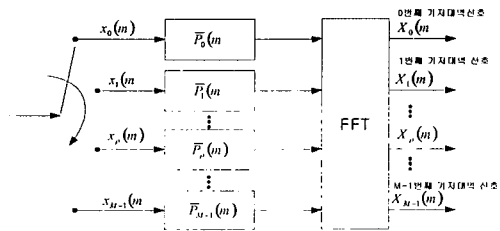


그림 1. DFT 필터뱅크를 이용한 채널화기

이러한 DFT 폴리페이즈 필터뱅크를 사용하기 위한 조건은 일단 표본화 주파수를 각 채널의 주파수 대역으로 나누었을 때 정수 값이 되어야 한다는 점이며, 중간대역 상에 균일하게 분포하는 채널들이 정수개로 정확히 구분되어 있는 주파수 대역 상에 위치하고 있

어야 한다는 점이다. 또한 모든 채널들이 동일한 주파수 대역폭을 가지며 균일한 채널 간 이격 주파수를 가져야 한다.

2.2 DFT 폴리페이즈 필터뱅크의 문제점

일반적인 폴리페이즈 필터뱅크를 이용한 채널화기는 주파수 대역 상에 여러 채널들이 동일한 간격으로 균일하게 분포해 있을 경우 원하는 채널 성분들을 적은 연산과 고속 처리를 추출해내고 이를 각 채널의 대역폭에 준하는 표본화주파수 축소 과정을 거쳐 출력되는 각 채널 성분들을 별도로 기저대역 처리 단계 전달하기 위한 효율적인 처리 과정을 갖는다. 이러한 그림 1과 같은 DFT 폴리페이즈 필터뱅크를 사용하는 경우 디지털 필터링에 필요한 계수 수가 각 경로로 나뉘어 저서 처리되기 때문에 사실상 각 경로에서 필터링에 필요한 연산이 줄어들고 필터링이 표본화 주파수 축소 이후에 실행되므로 낮은 클럭 주파수로 처리가능하게 된다. 각 경로별 폴리페이즈 필터 출력은 최종적으로 FFT(Fast Fourier Transform)변환을 거쳐서 각 채널별 다운 표본화 된 기저대역 신호가 별도로 출력됨에 따라 원하는 채널 성분만을 선택적으로 분리하여 추후 사용할 수 있게 된다. 마찬가지로 DFT 폴리페이즈 필터뱅크를 이용한 역 채널화기도 동일한 장점을 가진다. 그러나 다중 모드 채널화기를 계산량 측면에서나 구현을 위한 비용 측면에서 효과적인 DFT 폴리페이즈 필터뱅크로 구현하기에는 많은 어려움이 있으며, 특히 두 가지 규격의 칩셋, 즉 1.2288Mcps와 3.84Mcps,의 공통배수로 선택되는 표본화 주파수를 현재 설정되어있는 IS-95의 대역폭 1.25MHz[3]나 W-CDMA 대역폭인 5MHz으로 분리할 경우 정수개의 부 밴드가 생성되지 않는 성질로 인해 사실상 DFT 폴리페이즈 필터뱅크의 다수의 채널을 위한 채널화기의 구현이 불가능하게 된다.

III. 2세대 / 3세대 혼용 디지털 채널화기 설계 및 검증

3.1 2세대 / 3세대 혼용 디지털 채널화기 설계

실제적으로 2세대(IS-95) 및 3세대(W-CDMA) 시스템에서 DFT 폴리페이즈 필터뱅크[4]와 같은 효율적인 채널화기를 직접 사용할 수 없다. 일반적인 다중채널을 위한 별도의 채널화기들을 사용할 수밖에 없다. 따라서 IS-95와 W-CDMA의 각 FA 채널 별로 기저

대역으로 내린 다음 저역통과 필터를 사용하게 된다. 각 FA별로 각각의 정류자를 사용하는 복잡한 구조를 하나의 정류자만으로 단순화하여 구성할 수 있다. 각 IF 주파수 대역의 채널성분은 신호를 기저대역으로 내려서 필터링하는 일반적인 채널화기를 아래 수식들로 하나의 정류자를 이용한 폴리페이즈 필터 뱅크로 만들 수 있다. 우선 기저대역에서의 하향 변환된 후 저역필터를 거치고 다시 축소표본화 과정을 통과한 신호 $X_k(m)$ 는 다음 식과 같다.

$$X_k(m) = \sum_{l=-\infty}^{\infty} h_k(nM-l)x(l) \quad (7)$$

기저대역통과 필터 $h(n)$ 는 $e^{j2\pi f_k n}$ 과 곱하여 k 번째 FA가 위치한 주파수로 옮겨진 대역통과 필터가 된다. 식 (7)의 k 번째 기저대역 출력신호를 다시 표현하면 다음과 같다.

$$\begin{aligned} X_k(m) &= \sum_{l=-\infty}^{\infty} h(nM-l) e^{j2\pi f_k(nM-l)} x(l) \\ &= \sum_{l=-\infty}^{\infty} h(l) e^{j2\pi f_k l} x(nM-l) \end{aligned} \quad (8)$$

여기서 폴리페이즈 필터 뱅크로의 전환을 위해 변수 l 을 변수 $r = -\infty, \rightarrow \infty$ 과 $\rho = 0, \rightarrow M-1$ 을 사용하여 바꾸면 다음과 같다.

$$l = rM - \rho \quad (9)$$

식 (8)에서 나타낸 각 폴리페이즈 경로의 출력을 축소표본화하여 최종적으로 출력되는 신호를 식 (9)의 변수 치환을 통해 다시 표현하면 다음과 같다.

$$X_k(m) = \sum_{r=-\infty}^{\infty} \sum_{\rho=0}^{M-1} h(rM-\rho) e^{j2\pi f_k(rM-\rho)} x_p(m-r) \quad (10)$$

여기서 $h(rM-\rho)$ 는 ρ 번째 폴리페이즈 경로의 필터이며, 이를 $\bar{P}_\rho(r)$ 로 표현하면 식 (10)은 다음과 같이 표현된다.

$$X_k(m) = \sum_{r=-\infty}^{\infty} \sum_{\rho=0}^{M-1} \bar{P}_\rho(r) e^{j2\pi f_k(rM-\rho)} x_p(m-r) \quad (11)$$

여기서 다시 $\bar{P}_\rho(r) e^{j2\pi f_k r M}$ 을 $h_{\rho,k}(r)$ 로 정의하고, 식(11)을 다시 표현하면 k 번째 채널의 기저대역성분 $X_k(m)$ 은 다음과 같다.

$$\begin{aligned} X_k(m) &= \sum_{\rho=0}^{M-1} e^{-j2\pi f_k \rho} \left\{ \sum_{r=-\infty}^{\infty} h_{\rho,k}(r) x_p(m-r) \right\} \\ &= \sum_{\rho=0}^{M-1} e^{-j2\pi f_k \rho} y_{\rho,k}(m) \end{aligned} \quad (12)$$

여기서 $\left\{ \sum_{r=-\infty}^{\infty} h_{\rho,k}(r) x_p(m-r) \right\}$ 은 $y_{\rho,k}(m)$ 으로 정

의한다. 위의 식을 통해 k 번째 채널의 기저대역 신호를 얻기 위한 채널화기 구조는 그림 2와 같다. 이 때 $f_k M$ 이 정수 값으로 표현되지 못할 경우 모든 채널에 대하여 그림 2와 같은 별도의 채널화 모듈을 가져야 하며, 일반적인 NCO를 사용하고 채널 추출을 위한 저역통과 필터를 사용하는 일반적인 필터 방법에 비해 동일한 계산량을 갖게 된다. 따라서 계산량 측면에서 이득은 전혀 없게 되지만 정류자를 사용하게 되므로 계산속도 측면에서 일반적인 방법에 비해 느린 처리속도로 동작할 수 있다는 장점과 처리에 필요한 소모 전력이 줄어든다는 장점을 갖게 된다.

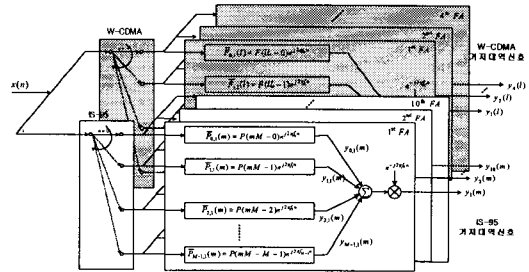


그림 2. 2세대/3세대 혼용 디지털 채널화기 구조

3.2 2세대 / 3세대 혼용 디지털 채널화기 성능 검증

본 논문에서 실제적인 혼용 디지털 채널화기의 구조로 그림 2와 같은 별도의 정류자를 사용하는 폴리페이즈 필터 뱅크 구조를 제안하였다. 본 절에서는 PN 형태인 의사 잡음 부호를 채널 신호로 생성하여 채널화 성능을 검증한다. 각 채널의 구분을 위해 서로 다른 의사 잡음 부호를 사용한다. 이에 대한 결과는 각 채널에 해당하는 의사 잡음 부호와 더불어 인근 채널에 대한 의사 잡음 부호들로 이루어진 정합 필터군을 형성하여 부호 영역에서 성능을 살펴보았다.

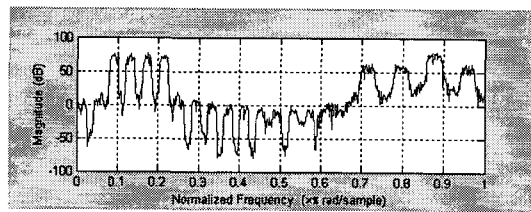


그림 3. 검증에 사용한 4채널 IS-95 신호와 4채널 W-CDMA 신호

위의 그림 3은 IS-95의 4개의 채널과 W-CDMA의 4개의 채널이 수신되어 모두 더해진 신호의 주파수 특성을 나타낸 것으로 IS-95의 칩율 1.2288Mcps 칩율과 W-CDMA 칩율 3.84Mcps의 공용 클럭 주파수를 두 시스템의 칩율 공배수인 30.72MHz의 배수 중 FA 주파수들에 의해 밴드패스 표본화시 발생하는 에일리어징을 피하기 위하여 W-CDMA 신호의 대역폭과 IS-95 신호의 대역폭을 고려하여 122.88MHz 샘플링된 신호이다. 이때 그림에서 왼쪽 부분에 나타나는 4개의 신호가 1.25MHz의 대역폭을 갖는 IS-95의 각 채널이며, 오른쪽 부분에 나타나는 4개의 신호가 5MHz 대역폭을 갖는 W-CDMA의 각 채널이다. 그림 4와 5는 각 채널의 분리된 신호의 해상도를 판단하기 위하여 정합 필터를 적용한 후에 나타나는 신호들의 전력 특성을 dB 스케일로 나타낸 것이다. 그림 4는 IS-95를 그림 5는 W-CDMA의 각 채널을 분리하여 나타낸 결과이다. 각각의 그림들은 특정 채널 하나를 분리하였을 때를 나타내며, 그 특정 채널에 대해서 모든 채널의 PN 코드와 정합 필터를 수행하여 특정 채널의 해상도를 판단하게 된다. 그림에서 수평축은 채널 번호를 말한다. 그림에서 볼 수 있듯이 IS-95와 W-CDMA 모두 분리된 채널에 대한 정합 필터 결과와 그 외의 채널의 특성이 약 45~60 dB의 차이를 보이므로 정확히 채널이 분리 되었다고 할 수 있다.

IV. 결론

본 논문에서는 IS-95와 W-CDMA 기지국 시스템에서 이론적으로 두 규격의 신호들을 IF 대역으로부터 기저대역으로 변화하기 위한 공용 채널화에 대한 방안으로써 계산량 측면에서나 구현을 위한 비용 측면에서 효과적인 DFT 폴리페이즈 필터 뱅크로 구현하기에는 많은 어려움이 있으며, 특히 앞서 두 가지 규격의 칩율의 공통배수로 선택되는 표본화 주파수를 현재 설정되어있는 IS-95의 대역폭 1.25MHz나 W-CDMA 대역폭인 5MHz으로 분리할 경우 정수개의 부 밴드가 생성되지 않는 성질로 인해 사실상 DFT 폴리페이즈 필터 뱅크로의 채널화기나 역 채널화기의 구현이 불가능하게 됨을 알았으며, DFT 폴리페이즈 필터 뱅크를 대신하여 별도의 정류자를 사용하는 폴리페이즈 필터 뱅크 구조를 제안했다. 그리고 각 채널간의 분리 특성을 살펴보기 위하여 PN 형태인 의사 잡음 부호를 채널 신호로 생성하며 부호 영역에서 성능을 살펴보았다.

참고문헌

- [1] Harri Holma and Antti Toskala, *WCDMA for UMTS*, WILEY, 2001
- [2] R. E. Crochiere and L. R. Rabiner, *Multirate Digital Signal Processing*, Prentice-Hall, 1983
- [3] Jhong Sam Lee and Leonard E. Miller, *CDMA Systems Engineering Handbook*, Artech House Publishers, 1998
- [4] Chonghoon Kim, Yoan Shin, Sungbin Im and Woncheol Lee, "SDR-Based Digital Channelizer/De-Channelizer for Multiple CDMA Signals," *VTC 2000*, 52nd, Volume: 6, pp. 2862-2869, 2000

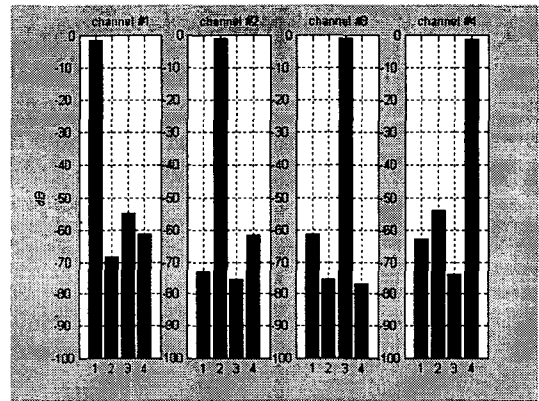


그림 4. 부호 영역에서의 IS-95 신호 채널 분리 성능

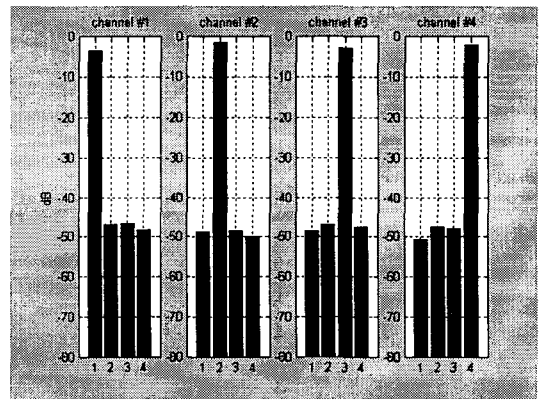


그림 5. 부호영역에서의 W-CDMA 신호 채널 분리 성능