

# IEEE 802.11a Wireless LAN에서의 PLCP 설계 및 구현

박 준호, 임 명섭  
전북대학교 전자정보공학부 정보통신연구센터  
전화 : 063-270-2479 / 핸드폰 : 019-9140-0399

## PLCP Design and Implementation for IEEE 802.11a Wireless LAN

Joon ho Park, Myoung seob Lim  
Faculty of Electronics & Information Engineering, Chonbuk National University  
Research Center of Information & Communication  
E-mail : shaver@hanmail.net

### Abstract

The IEEE 802.11a PLCP H/W for processing efficiently control message between MAC and PHY is designed. State machine and clock control according to rate is designed and timing diagram is verified on the FPGA simulation environment.

행함으로서 MAC과 Physical Layer 간에 교환되는 Primitive의 형태와 역할에 대한 정의, 송신 Mode와 수신 Mode에서의 알고리즘 분석하여 제어신호 및 각각의 Mode에서 Rate에 따른 인접 Layer로 데이터 전송이 효율적으로 이루어질수 있도록 H/W 설계를 하고 구현 하였다.

### I. 서론

인터넷 서비스의 보편화와 사용급증에 따른 기존의 IEEE 802.3 Ethernet 방식보다 이동성의 장점이 있고 쉽게 정보 접근이 가능한 Wireless LAN에 대한 관심이 높아지고 있다. 또한 1M~2Mbps의 전송속도를 갖는 초기의 IEEE 802.11b에 비해 12Mbps 이상의 고속 데이터 전송이 가능한 IEEE 802.11a에 대한 연구가 활발히 이루어지고 있다. 하지만 현재 그 연구는 IEEE 802.11의 MAC Layer와 IEEE 802.11a Physical Layer의 각 계층간 연구만 있을뿐 이 두 Layer 사이의 Interface에 대한 서로의 의견교환이 미비하므로 이에 그 역할을 하는 IEEE 802.11a사의 PLCP(Physical Layer Convergence Procedure)에 대한 연구는 필히 이루어 져야 한다. 본 논문은 802.11a의 PLCP 프로토콜 대한 연구를 수

### II. PLCP frame format 및 Service primitive parameter

#### 2.1 PLCP의 정의 및 위치

PLCP(Physical Layer Convergence Procedure)는 여러 station이 공유하고 있는 매체에 접근을 제어하는 MAC(Medium Access Control)과 Base Modem 및 RF단을 포함하여 변조 및 여러 station과의 데이터를 송수신 하는 역할을 가진 PMD(Physical Medium Dependent) 사이의 Interface의 역할을 하는 부분이다. 각 Layer에서 필요로 하는 데이터 형태와 정보를 변화 및 제공함으로써 MAC과 PHY간의 독립적인 동작을 보장한다. PLCP의 위치는 아래 그림1.에서 확인할 수 있다.

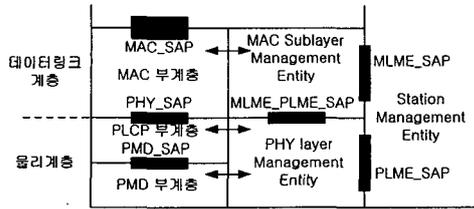


그림 1 Portion of the ISO basic model

## 2.2 PLCP frame format

상위 계층에서 전달되어진 데이터는 각각의 필요한 정보를 가진 Header 와 tail bits들이 삽입되어져 내려온다. MAC에서 내려온 데이터 또한 PHY Layer에서 필요한 형태로 변화되어야 하는데 그 Type은 아래 그림 2와 같다.

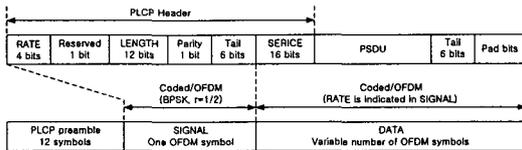


그림 2 PPDU(PLCP Protocol Data Unit) Type

그림2는 MAC에서 전달되어진 데이터(PSDU)에 40bits의 Header와 가변적인 Tail bit가 붙어 PPDU를 형성함을 확인할 수 있다.

우선 Header부분중 데이터에 대한 주요 정보를 가지는 24bits는 SIGNAL field라 하여 하나의 Symbol을 형성하며 채널의 상태에 따라 변하는 데이터 전송속도와는 달리  $r=1/2$ 과 BPSK로 변조되어 안정적인 6M rate로 전송된다.

SIGNAL field의 내용은 아래와 같다.

- RATE : 변조 방법 및 coding rate에 대한 정보 전달이 목적으로 한다.
- Reserved : 차후를 위해 비워둔 bit로 '0'으로 셋팅된다.
- LENGTH : MAC과 PHY사이에 전달되는 DATA길이 정보로서 octet 단위로 전달된다.
- Parity : 앞의 17bit들에 대한 even parity bit이다.
- SIGNAL Tail : Convolutional encoder에 대한 초기화를 위해 삽입되는 bits들로 '0'으로 mapping 된다.
- SERVICE : scrambler의 초기화를 위한 7bits와 차후사용을 목적으로 하는 9bits의 null로 구성된다.
- PPDU Tail : Convolutional encoder 초기화
- Pad bits : multiple symbol로 만들기 위한 bits로

RATE와 Length에 따라 그 수는 가변적이다.

## 2.3 Service primitive parameter

그림 1에서 보면 Service Access Point(SAP)를 통해 전달 되어지는 모든 신호를 primitive라 하며 그 속성에 따라 parameter로 구분되어져 정의 할 수 있다.

PLCP에서는 PHY\_SAP와 PMD\_SAP를 통하여 전달되는 Primitive를 살펴보면 아래 표와 같다.

파라미터	관련 프리미티브	값	비고
DATA	PHY-DATA.request PHY-DATA.indication	Octet value 00-FFh	Peer to peer
TXVECTOR	PHY-TXSTART.request	A set of parameters	Sublayer to sublayer
STATUS	PHY-CCA.indication	BUSY, IDLE	
RXVECTOR	PHY-RXSTART.indication	A set of parameters	
RXERROR	PHY-RXEND.indication	NoError, FormatViolation, CarrierLost, UnsupportedRate	

표 1 PHY\_SAP Primitive Parameter

표 1은 PHY\_SAP을 통해 전달되는 Primitive들을 나타낸 것으로 TXVECTOR 와 RXVECTOR는 데이터를 전송하는데 기본이 되는 정보로서 LENGTH 및 RATE, POWER LEVEL등을 나타낸다.

파라미터	관련 프리미티브	값
TXD_UNIT	PMD_DATA.request	One OFDM symbol value
RXD_UNIT	PMD_DATA.indicate	One OFDM symbol value
TXPWR_LEVEL	PMD_TXPWRlvl.request	1-8(max of 8 levels)
RATE	PMD_RATE.request	12Mbit/s (for BPSK) 24Mbit/s (for QPSK) 48Mbit/s (for 16QAM) 72Mbit/s (for 64QAM)
RSSI	PMD_RSSI.indicate	0-8 bits of RSSI

표 2 PMD\_SAP Primitive Parameter

표 2는 PMD\_SAP을 통해 전달되는 Primitive들로 이중 RSSI값은 전체 256레벨로서 이값에 따라 CS(carrier sense)와 수신시 CCA(Clear Channel Assessment)를 측정하는데 기준이 되는 값이다.

## III. PLCP 설계 및 검증

### 3.1 송신부

PLCP 전송 알고리즘은 아래 그림 3과 같다.

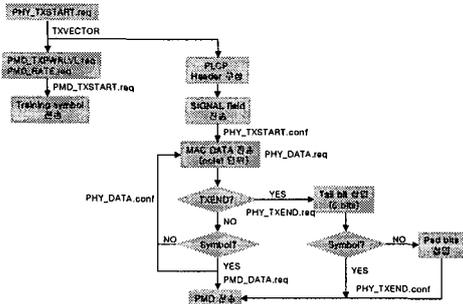


그림 3 PLCP Tx 알고리즘

단계적으로 살펴보면 CCA로 비어있는 채널 확인후 PHY\_TXSTART를 통해 송신모드 전환, TXVECTOR로 전송조건에 맞게 셋팅후 데이터 전송을 시작한다. 마지막 octet를 받고 symbol 검사후 필요하면 pad bits를 삽입후 끝내게 된다. 위의 알고리즘에 대한 대략적인 Block 설계가 아래 그림 4와 같다.

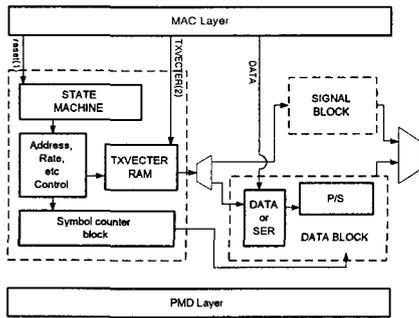


그림 4 PLCP Tx module

전체 PLCP는 크게 세블럭으로 나눌 수 있는데, PPDU format을 형성하는 SIGNAL Block과 전달되어진 octet 형태의 DATA를 serial로 변환하는 DATA Block 그리고 timing count와 제어 신호를 관리하는 Control Block으로 나눌 수 있다. 이중 Control Block은 MAC으로부터 전달되어진 TXVECTOR를 저장하는 RAM과 이에 address 및 실질적인 Counter를 내장하여 전체를 관리하는 Block, 각 Rate에 따른 Symbol계산과 pad bits의 수를 제어하는 Block들로 나눌 수 있다. PLCP에서의 주요 제어요소는 MAC으로 부터 정해진 순서의 데이터를 전달하고 묶는 과정을 수행하므로 Timing 제어가 효율적으로 이루어 져야 하므로 Moore Machine을 사용한 State 구분 방식을 사용하였다. 그림 5는 State 구분도 이다.

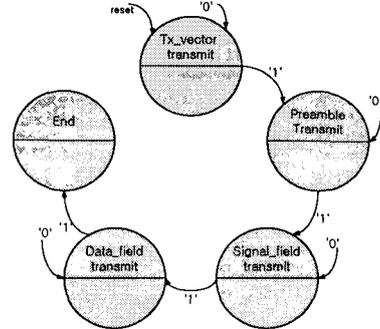


그림 5 Tx state machine

위의 state 전환은 그림 3의 순차적인 알고리즘을 좀더 구체적으로 보여주는 그림이다. 여기서 Preamble Transmit는 수신시 동기를 목적으로 전송되는 Preamble Time을 전체 Base Modem의 latency와의 관계속에서 timing 지연 역할을 한다. 즉, 전체 Preamble의 전송시간은 16μsec이므로 전체 latency가 이보다 적을 때 바로 뒤에 붙는 SIGNAL field의 latency time을 보장하게 된다. 위의 송신부에 대한 시뮬레이션 결과는 아래 그림 6과 같다.

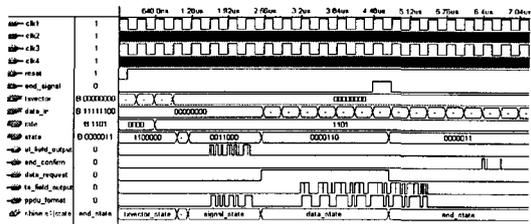


그림 6 PLCP 송신부 시뮬레이션 결과

위의 결과에서 데이터와 TXVECTOR를 통해 Serial한 PPDU의 형태를 만들고 전송이 끝난 후에 Symbol만큼의 pad bits들이 삽입되고 END signal을 전달하는 것을 알 수 있다.

### 3.2 수신부

PLCP Rx 알고리즘을 그림 7에 나타내었다.

