

**ZrO<sub>2</sub>와 Si의 계면층 조작에 따른 게이트용 캐퍼시터 특성 연구**  
**(Effects of interfacial layers between ZrO<sub>2</sub> and Si on capacitor characteristics for alternative gate dielectric application)**

국민대학교 공성호, 전창배, 김지영

최근 반도체 소자의 고집적화 및 대용량화 경향에 따라 gate oxide의 두께 또한 수 nm 정도 까지 얇아지는 추세이다. 그러나 현재 gate oxide로 사용중인 SiO<sub>2</sub>는 절연막의 두께가 감소함에 따라 문턱전압의 변화 및 터널링에 의한 누설전류의 증가 등의 문제점이 유발되어 SiO<sub>2</sub> 이외의 다른 물질로의 대체 절연막 개발이 필수적이다. 이러한 절연막이 가져야할 특성으로는 높은 유전상수, 낮은 누설전류, Si기판 위에서의 열적 안정성, 좋은 계면특성 등을 가져야 한다. 현재 가장 많이 연구되고 있는 물질로는 HfO<sub>2</sub>, ZrO<sub>2</sub> 그리고 silicate등이 있다. 그 중 ZrO<sub>2</sub>는 유전율은 높으나 산소투과성 또한 높은 것으로 보고되어지고 있으며 이러한 성질은 열처리시 ZrO<sub>2</sub>와 Si의 계면에서의 SiO<sub>2</sub>층을 형성시킨다. 계면에 형성된 SiO<sub>2</sub>는 낮은 유전율로 인해 전체적인 유전율을 저하시키는데 이러한 유전율 저하를 막기 위하여 buffer layer로 metal Al 증착, nitride 처리, Si 기판의 환원처리와 같은 계면처리를 통하여 SiO<sub>2</sub>의 형성을 최소화하여 유전율의 저하를 막을 수 있다.

본 연구에서는 (100)방향의 n-type Si wafer를 RCA 세정법을 이용하여 유기물 및 native oxide를 제거하고 계면처리를 한 후 RF-sputtering 를 이용하여 metal zirconium을 형성시키고 furnace로 산화시켜 MIS 구조의 소자를 제작, 계면 처리에 따른 박막의 특성을 평가하였다. 상부 전극은 shadow mask를 이용하여 Pt를  $2.1 \times 10^{-4} \text{cm}^2$ 크기의 패턴으로 형성한 후 forming gas annealing을 하였다. ohmic contact 을 위해 wafer 뒷면을 HF으로 처리한 후 silver paste를 사용하여 Cu plate를 부착하였다. 계면처리를 하고 ZrO<sub>2</sub>를 형성시킨 소자의 C-V 및 Leakage current는 각각 HP4284A 와 KEITHLEY 6717A를 통하여 측정하였고 박막의 물리적 특성은 RBS, XRD 등으로 분석하였다.