

ELTRAN SOI wafer 의 표면 결함에 대한 연구

Nature of Surface Defects on ELTRAN SOI Wafer

김 석 구, 팍 도 용, 정 재 경, 박 재 근, 백 운 규

1. 서 론

Epitaxial layer transfer(ELTRAN) wafer 는 기존의 실리콘 웨이퍼의 표면 위에 Epitaxy 공정을 거쳐 단결정 실리콘을 성장시킨 웨이퍼로 device 종류에 따라 다양한 구조로 제작 가능하고 웨이퍼 표면에 존재하는 미소결함을 제어함으로써 gate oxide 집적도 특성을 개선시킬 수 있는 등 많은 장점을 가지고 있다. 그러나 ULSI 소자에 적용하기 위해서는 표면에 나타나는 많은 결함들을 제거해야 하므로 이에 대해 연구하였다.

2. 실험 방법

ELTRAN SOI wafer 의 표면에 나타나는 결함을 분석하기 위하여 여러 가지 실험방법을 사용하였다. 표면에 대해 atomic force micro-scope(AFM)로 측정을 하였고 두께에 대해 Ellipsometer 로 측정을 하였다. 웨이퍼 상의 결함은 HF, Secco 방법을 통해서 실험을 하였고 산화막에 대해서는 direct surface oxide defect(DSOD) 방법을 사용하였다. HF, Secco, DSOD 에 의해 나타난 결함들은 scanning electronic micro-scope(SEM)로 관찰한 후 focused ion beam(FIB)으로 시료를 만들어 transmission electron micro-scope(TEM)로 분석하였다.

3. 실험결과

$2 \times 2 \mu\text{m}^2$ 와 $10 \times 10 \mu\text{m}^2$ 의 영역에 대해 AFM 으로 측정한 웨이퍼 표면의 roughness 는 실리콘은 각각 0.11~0.12nm, 0.14~0.15nm 값을 가지며 산화막은 0.11~0.17nm, 0.11~0.18nm 값을 가졌다. HF 결함의 밀도는 $0.01 \sim 0.04/\text{cm}^2$ 이며 Secco 결함 밀도는 $10^2 \sim 10^3/\text{cm}^2$ 의 값을 나타내었다. DSOD 실험은 표면에 oxidation 을 한 웨이퍼에서 결함 밀도가 높게 나타났다. 단계적으로 0~100V 전압을 인가하면 증가된 전압에 의해 결함의 밀도도 증가하였다. 그러나 결함의 크기는 감소함을 알 수 있었다. 100V 전압에서 oxidation 을 하지 않은 웨이퍼는 $0.35/\text{cm}^2$, oxidation 을 한 wafer 는 $2.55/\text{cm}^2$ 였다.

4. 결론

비슷한 두께의 실리콘막과 산화막을 갖는 기존의 SOI wafer 에 비해 ELTRAN SOI wafer 에서는 HF 와 Secco 결함이 적게 나타났고 실리콘막 두께에 대한 변화값은 높게 나타났다. 그리고 주된 결함은 ELTRAN SOI wafer 를 만드는 과정에서 유입된 미립자에 의한 square defect 이다.

D
H
J
C