

VHDL을 이용한 시스틀릭 어레이 정렬기의 설계 및 구현

이재진, 송호정, 송기용

{ceicarus, hjsong}@archi.chungbuk.ac.kr, gysong@chungbuk.ac.kr

충북대학교 컴퓨터공학과

충북 청주시 흥덕구 개신동 산48번지

TEL : 043-261-2452, FAX:043-262-2449

키워드 : VHDL, Systolic Array, Sorting, Synopsys, FPGA

요약 : 본 논문에서는 모듈성과 확장성을 갖는 시스틀릭 어레이 정렬기(Systolic Array Sorter)의 구현에 대하여 기술한다. 정규순환방정식으로 표현된 정렬(sorting)알고리즘으로부터 1차원 평면 시스틀릭 어레이를 유도한 후 유도된 정렬 시스틀릭 어레이를 RTL 수준에서 VHDL로 모델링 하여 동작을 검증하였다. 검증된 시스틀릭 어레이 정렬기는 synopsys hynix-0.35 μ m 셀 라이브러리와 FPGA s40pq240칩을 사용하여 합성 및 구현되었다.

1. 서론

정렬(sorting)은 데이터 처리의 가장 기본이 되는 연산으로 컴퓨터를 이용하는 응용분야에 널리 활용되고 있으며 성능향상을 위한 기본구조 설정 등을 포함하는 많은 연구가 진행되고 있다. 데이터 정렬방법에는 내부정렬(internal sorting)과 외부정렬(external sorting)이 있다. 내부정렬이란 정렬하고자 하는 데이터 집합을 한꺼번에 주기억장치에 불러들여 크기 순서대로 정렬하는 것이며 규모가 비교적 작은 데이터 집합을 빠른 속도로 정렬할 때 이용되는 방법이다.

VLSI 기술의 발전은 빠른 계산이 필요하지만, 처리속도가 부응하지 못하는 문제들에 대해 시스틀릭 어레이 형태로 병렬성을 적용하는 것을 실제로 구현 가능하게 하고 있다. 시스틀릭 어레이는, 동일한 기능을 가지는 계산처리들을 동일한 형태로 연결하여, 다수의 자료에 반복적인 계산을 하도록 만들어진 병렬처리기 이다. 초기 시스틀릭 어레이에 대한 연구는 휴리스틱한 방법으로 설계가 이루어 졌으며, 현재는 체계적인 방법에 대한 연구가 진행되고 있다.

본 논문에서는 모듈성과 확장성을 갖는 시스틀릭 어레이 정렬기(Systolic Array Sorter)의 구현에 대하여 기술한다. 정규순환방정식으로 표현된 정렬(sorting)알고리즘으로부터 1차원 평면 시스틀릭 어레이를 유도한 후 유도된 정렬 시스틀릭 어레이를 RTL 수준에서 VHDL로 모델링 하여 동작을 검증하였다. 검증된 시스틀릭 어레이 정렬기는 synopsys hynix-0.35 μ m 셀 라이브러리와 FPGA s40pq240칩을 사용하여 합성 및 구현되었다.