

SiC MOSFET 소자에서 금속 게이트 전극의 이용

Metal Gate Electrode in SiC MOSFET

방 옥, 송근호, 김남균, 김상철, 서길수, 김형우, 김은동
(W. Bahng, G. H. Song, N. K. Kim, S. C. Kim, K. S. Seo, H. W. Kim, E. D. Kim)

Abstract

Self-aligned MOSFETs using a polysilicon gate are widely fabricated in silicon technology. The polysilicon layer acts as a mask for the source and drain implants and does as gate electrode in the final product. However, the usage of polysilicon gate as a self-aligned mask is restricted in fabricating SiC MOSFETs since the following processes such as dopant activation, ohmic contacts are done at the very high temperature to attack the stability of the polysilicon layer. A metal instead of polysilicon can be used as a gate material and even can be used for ohmic contact to source region of SiC MOSFETs, which may reduce the number of the fabrication processes. Co-formation process of metal-source/drain ohmic contact and gate has been examined in the 4H-SiC based vertical power MOSFET. At low bias region (<20V), increment of leakage current after RTA was detected. However, the amount of leakage current increment was less than a few tens of pA. The interface trap densities calculated from high-low frequency C-V curves do not show any difference between w/ RTA and w/o RTA. From the C-V characteristic curves, equivalent oxide thickness was calculated. The calculated thickness was 55 and 62nm for w/o RTA and w/ RTA, respectively. During the annealing, oxidation and silicidation of Ni can be occurred. Even though refractory nature of Ni, 950°C is high enough to oxidize it. Ni reacts with silicon and oxygen from SiO₂ layer and form Ni-silicide and Ni-oxide, respectively. These extra layers result in the change of capacitance of whole oxide layer and the leakage current

Key Words : SiC, SiO₂, gate electrode, rapid thermal annealing, Breakdown Voltage

1. 서 론¹⁾

실리콘 MOSFET 소자의 경우, 게이트 전극막으로 다결정 실리콘을 사용하고 있다. 다결정 실리콘을 게이트 전극막으로 사용하게 되면, source 영역을 self-align 할 수 있는 장점이 있다[1]. 반면, 탄화규소 MOSFET의 경우에는, 불순물의 확산이 거의 일어나지 않기 때문에 이온 주입 및 고온 활성화 과정이 필요하고 따라서 다결정 실리콘 게이트

전극이 self-align mask로서의 역할을 할 수 없다. 게이트 전극막으로 금속을 사용할 수 있게 되면, 최종 금속화 공정에서 같이 증착하면 되므로 최소 2번의 사진공정(lithography)을 생략할 수 있게 된다. 이를 위해서는 source 영역과의 오믹접촉막으로 사용하는 물질과 같은 물질이 선정되어야 하며, 오믹접촉 형성공정에서도 특성의 열화가 일어나지 않아야 한다.

일반적으로 탄화규소에서 오믹접촉용 금속으로 Ni이 사용되며, N-type의 경우 오믹접촉을 위해 950°C 이상의 온도에서 1분 이상의 열처리를 거쳐야 한다[2,3]. MOSFET 소자에서 게이트 산화막의 열화는 소자특성에 있어 절대적으로 중요하며,

* : 한국전기연구원 전력반도체그룹
(창원시 성주동 28-1,
Fax: 055-280-1590
E-mail : bahng@keri.re.kr)

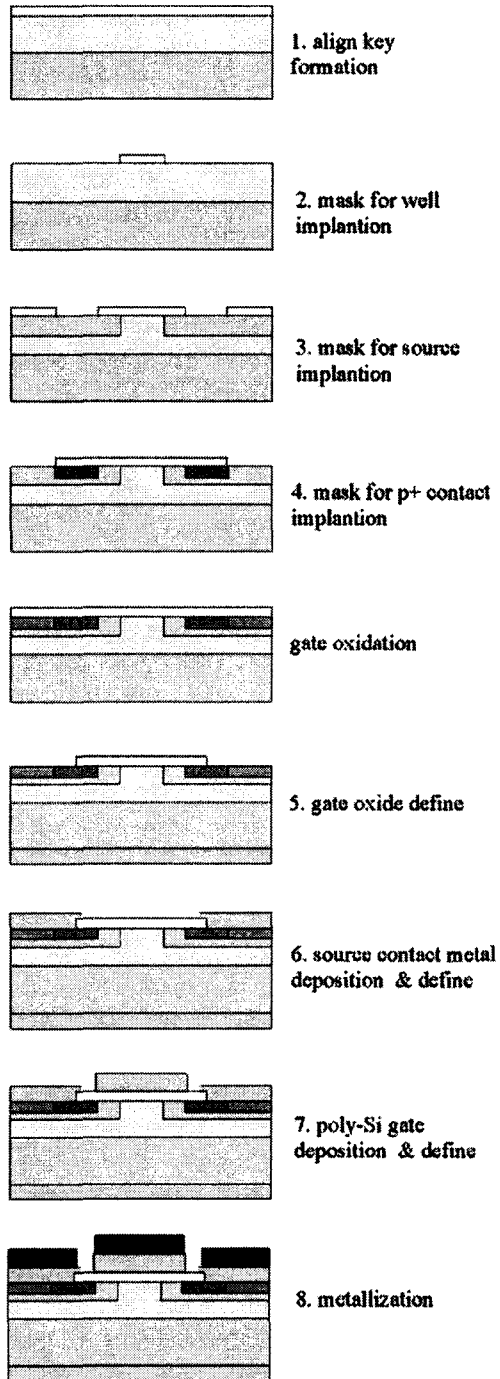


그림 1. 다결정 실리콘을 게이트 전극막으로 사용하였을 때의 공정 흐름도(앞의 수자는 mask #).

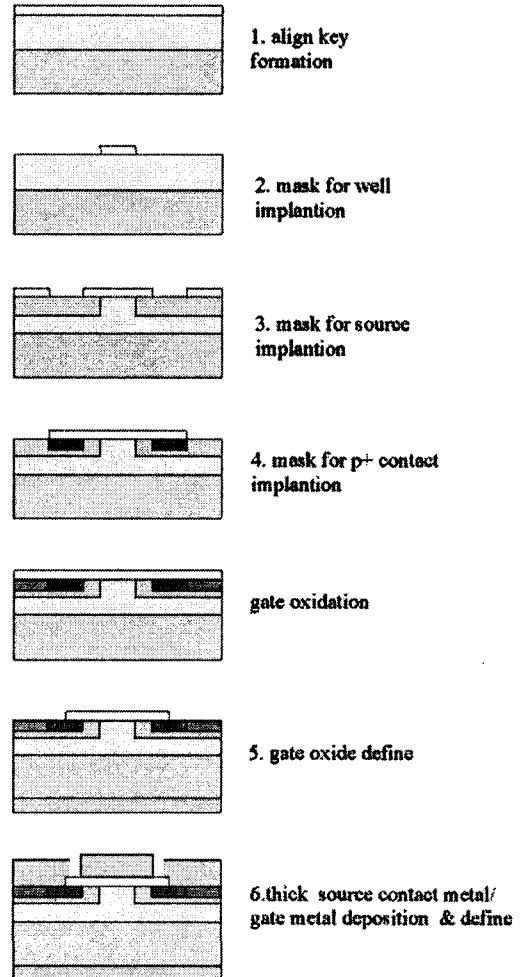


그림 2. Ni을 게이트 전극막으로 사용하였을 때의 MOSFET 공정흐름도. 게이트 전극, 소스와 오믹접촉 전극, 금속 pad등을 하나의 mask로 공정이 가능하다.

그 특성을 열화시킬 수 있는 공정은 사용하지 않는다. 또한 금속과 산화막이 접촉한 상태에서의 고온 열처리는 금속의 산화를 유발하기 때문에 일반적으로 사용되지 않고 있다.

본 연구에서는 고용점을 가지는 Ni의 특성을 이용하여, 탄화규소 MOSFET소자제조에서 공정을 단순화시키기 위해 Ni을 게이트 전극막으로 사용할 수 있는 가능성에 대하여 조사하였다.

2. 실험

본 실험에서 사용한 산화막은 1150℃에서 산소를 95℃로 유지되는 기포발생기를 통과시켜 반응로 내부로 주입시켜 성장시켰다. 산화막 성장시간은 3시간으로 하였으며, 성장된 산화막의 두께는 450~500Å 정도이었다. 성장된 산화막은 같은 온도에서 30분간 Ar분위기로 유지하여, 계면 및 산화막내에 존재할 수 있는 탄소를 제거할 수 있도록 하였다.

산화막을 성장시킨 후 뒷면의 산화막을 제거하고 Ni를 thermal evaporator로 증착하여, 오믹 접촉을 형성하기 위해 950℃에서 90초간 RTA (rapid thermal annealing)로 열처리하였다. RTA시 초기진공을 충분히 유지한 다음, Ar 가스를 흘려주면서 0.5Torr를 유지한 채 승온하였다. 뒷면의 오믹접촉 형성 후 같은 방법으로 산화막위에 Ni 전극을 형성시켰다. 샘플 #1,2는 Ni 전극이 증착된 상태로 두고, 샘플 #3,4는 다시 950℃에서 RTA과정을 거쳤다.

게이트 전극 형성 후 RTA과정이 전극 및 산화막의 특성에 미치는 영향을 알아보기 위해 HP4145B를 이용하여 I-V특성을 조사하였다.

했다. 이 때 Ar 및 산소가스의 유량은 5slm으로 통일하였다.

3. 결과 및 고찰

그림 1과 2는 기존의 탄화규소 MOSFET제조공정과 금속막을 게이트 전극막으로 사용하였을 때의 공정을 mask 수를 기준으로 개략적으로 도시한 것이다. 그림에서 보이는 바와 같이 동일 특성의 소자를 제조하는데 있어 게이트 전극막으로 금속막(Ni)을 사용하게 되면 lithography공정수(즉, mask수)가 2개 줄어들음을 알 수 있다. 전체공정에서 mask의 수를 줄일수록 소자의 수율은 크게 향상된다. 그리고 게이트 산화막 형성 후 여러 공정을 거치게 되면 게이트 산화막의 특성이 열화되기 쉬워 좋은 특성의 소자를 구현하기도 힘들어진다. 따라서 금속막을 게이트 전극막으로 사용할 수 있게 되면, 공정의 단순화 뿐만 아니라, 수율 향상 및 소자 특성 향상도 기대할 수 있다.

금속과 산화막이 접촉한 상태로 950℃의 고온 열처리 과정을 거치게 되므로 게이트의 누설전류의 증가 및 전극막의 산화로 인한 파괴등이 문제가 될 수 있다. 이러한 특성들을 전류-전압특성을

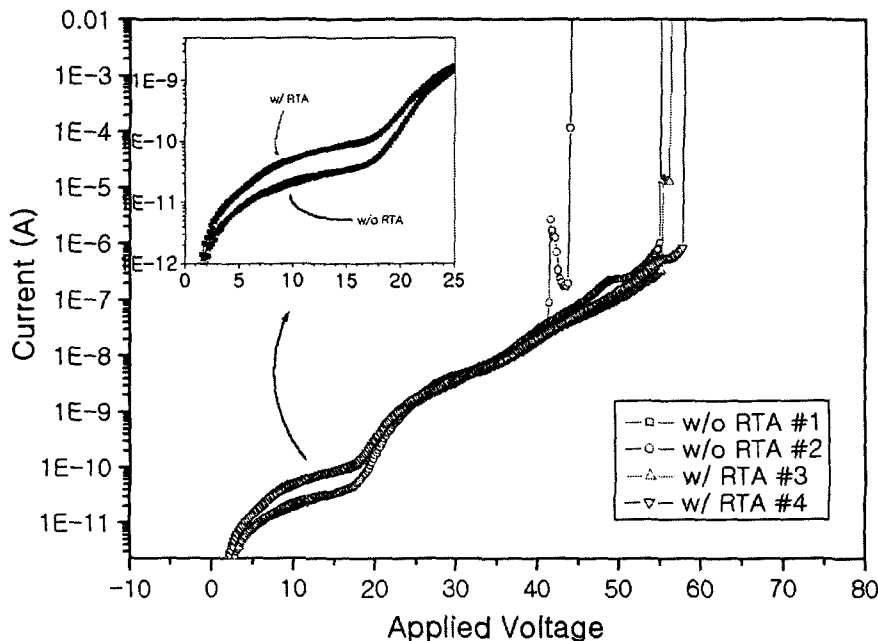


그림 3. Ni을 게이트 전극막으로 사용한 SiC MOS capacitor의 전류-전압 특성 곡선.

조사하였다. 그림 3에 게이트 전극막 형성 후 RTA공정을 거친 것과 거치지 않은 샘플의 전류-전압 특성을 보였다. 우선 절연파괴 전압을 살펴보면, RTA공정을 거치지 않은 경우 43V, 55V로 구해졌으며, RTA공정을 거친 경우에는 56V, 58V로 특성의 열화는 발견되지 않고 다소 증가하는 경향을 보이고 있다. 반면, 저전압 영역(<20V)에서는 RTA공정을 거친 후 다소 누설전류가 증가한 것을 보여주고 있다. 하지만 수십 pA의 누설전류만이 증가하였을 뿐이며, 고전압영역(>20V)에서는 오히려 줄어드는 경향을 보이고 있다. RTA과정중에 생성될 수 있는 금속산화막의 형성이 큰 영향을 주지 않고 있으며, 다른 불순물의 침투등은 거의 일어나지 않는 것으로 보인다. 실리콘 공정에서 사용되는 Al과는 달리 Ni이 고융점을 갖는 금속이기 때문에 RTA공정을 거쳐도 게이트 산화막의 특성을 열화시키지 않는 것으로 보인다. 따라서 게이트 전극으로 다결정 실리콘이 아닌 Ni을 사용할 수 있으며, 그 결과 공정의 단순화 및 특성 향상을 기대할 수 있게 되었다.

4. 결 론

탄화규소를 이용한 수직구조의 power MOSFET 제조시 gate 전극을 poly-실리콘이 아닌 Ni을 이용할 때의 특성에 대하여 고찰하였다. 게이트 전극으로 poly-실리콘이 아닌 Ni을 사용하게 되면, 두 번의 lithography 작업을 생략할 수 있어, 공정의 단순화 및 소자의 수율 향상에 크게 기여할 수 있다. 950℃에서의 열처리 공정 후에도 게이트 산화막의 특성이 열화되지 않음을 확인하였다. 열처리 후 게이트 산화막의 누설전류는 저전압에서 수십 pA정도 증가하였으나, 고전압영역에서는 큰 변화가 없었으며, 항복전압은 다소 증가하는 경향을 보였다. 본 결과로부터 탄화규소 MOSFET 제조시 게이트 산화막 특성의 열화 없이 Ni을 게이트 전극으로 사용할 수 있음을 확인하였으며, 소자 제조 공정을 단순화시킬 수 있었다.

감사의 글

본 연구는 산업자원부 차세대연구개발사업인 'SiC 반도체 기술개발 사업(SiCDDP)'의 지원으로 이루어진 것입니다.

참고 문헌

- [1] S. M. Sze, 'Semiconductor Devices' John Wiley and Sons, p484 (1985)
- [2] S. Y. Han, N. K. Kim, E. D. Kim and J. L. Lee, Mater. Sci. Forum 389-393, 897 (2002)
- [3] O. A. Agueev, A. M. Svetlichnyi and R. N. Razgonov, Mater. Sci. Forum 389-393, 901 (2002)