

## SiC 열산화막의 Electrode형성조건에 따른 C-V특성 변화

### The variation of C-V characteristics of thermal oxide grown on SiC wafer with the electrode formation condition

강민정, 방 욱, 송근호, 김남균, 김상철, 서길수, 김형우, 김은동  
(M.J.Kang, W.Bahng, G.H.Song, N.K.Kim, S.C.Kim, K.S.Seo, H.W.Kim, E.D.Kim)

#### Abstract

Thermally grown gate oxide on 4H-SiC wafer was investigated. The oxide layers were grown at 1150°C varying the carrier gas and post activation annealing conditions. Capacitance-Voltage(C-V) characteristic curves were obtained and compared using various gate electrode such as Al, Ni and poly-Si. The interface trap density can be reduced by using post oxidation annealing process in Ar atmosphere. All of the samples which were not performed a post oxidation annealing process show negative oxide effective charge. The negative oxide effective charges may come from oxygen radical. After the post oxidation annealing, the oxygen radicals fixed and the effective oxide charge become positive. The effective oxide charge is negative even in the annealed sample when we use poly silicon gate. Poly silicon layer was dope by POCl<sub>3</sub> process. The oxide layer may be affected by P ions in poly silicon layer due to the high temperature of the POCl<sub>3</sub> doping process.

**Key Words** : Capacitance-Voltage, SiC, SiO<sub>2</sub>, gate electrode, Dit

#### 1. 서 론

탄화규소 반도체를 MOSFET 제조에 사용하려는 시도는 탄화규소의 광대역 에너지갭(2.4-3.3eV)과 더불어 열산화막을 성장시킬 수 있다는 점 때문에 각광받고 있다. 하지만 현재까지 탄화규소에 성장시킨 열산화막의 질이 실리콘의 그것에 비해 떨어져 문제가 되어왔고, 탄화규소를 기반으로 한 전력용 소자의 신뢰성과 재현성에 제약을 주어왔

다. 이는 우선 탄화규소의 안정한 특성이 고품질의 열산화막을 성장시키기 어렵게 하기 때문이며, 또한 탄화규소와 산화막 사이의 계면에 탄소가 존재하여 특성을 열화시키기 때문으로 알려져 왔다[1]. 이러한 계면의 특성을 향상시키고자 희생 실리콘막을 증착하여 산화를 시키는 방법등도 제안되었다[2]. 최근에 들어 계면 에너지 농도가 실리콘의 그것에 근접하는 결과들이 보고되는 등 큰 발전을 보이고 있다[3].

최근의 이러한 결과들을 바탕으로 열산화막을 이용한 탄화규소 MOSFET 소자연구가 활발히 진행되고 있으나, 아직 신뢰성 높고 재현성이 큰 열산

\* : 한국전기연구원 전력반도체그룹  
(창원시 성주동 28-1,  
Fax: 055-280-1590  
E-mail : mj kang@keri.re.kr)

화막의 성장은 큰 과제로 남아 있다. 본 연구에서는 기존의 실리콘 열산화막 공정에서 얻어진 열산화막과 열산화막 형성 후 열처리를 통해 계면 및 산화막내의 탄소를 제거한 열산화막의 특성을 Capacitance-Voltage(C-V) 및 전류-전압(I-V) 특성을 측정하였다. 또한 기존의 탄화규소 MOSFET 소자 제조에서 채택되고 있는 poly-Silicon 게이트 전극뿐만 아니라 금속막을 게이트 전극으로 이용하여 산화막의 특성변화를 관찰하였다.

## 2. 실험

본 실험에서는 우선 산화막 성장 조건에 따른 품질을 알아보기 위하여 실리콘 공정에서 사용되는 산화조건과 탄화규소/산화막 계면에 존재하는 것으로 알려져 있는 탄소의 제거를 위한 후 열처리 공정을 거치는 3가지 방법으로 산화막을 성장시켜 비교하였다. 산화막 성장 온도는 1150°C로 고정하고 승온 및 냉각조건, 가스의 유량등도 고정하였다. 산화공정 I의 경우 모든 공정에서 산소를 사용하지 않고 질소를 사용하였으며, 1150°C로 승온 후 95°C로 유지된 기포발생기를 통해 질소를 흘려서 반응로 내로 수분이 공급되도록 하였다. 산화공정 II는 승온 및 냉각시에는 아르곤이나 질소를 사용하고, 산화시에는 산소와 H<sub>2</sub>O를 같이 공급하였다. 산화공정 III은 산화공정 II와 동일하며, 산화직후 같은 온도에서 아르곤 분위기로 후 열처리를 30분간 지속한 것이다. 모두 1150°C까지 승온될 때까지는 아르곤 또는 질소분위기에서 승온하며, 1150°C에 도달한 후 산소를 95°C로 유지되는 기포발생기를 통과시켜 반응로 내부로 주입시켰다. 이때 Ar 및 산소가스의 유량은 5 slm으로 통일하였다.

산화막을 성장시킨 후 뒷면의 산화막을 제거하고, Ni를 thermal evaporation으로 증착하여 950°C/90sec의 조건에서 RTA로 열처리하여 오믹 접촉을 형성하였다. 그 후 앞면에 다결정 실리콘, Ni, Al등을 전극으로 이용하기 위해 증착한 후 면적이  $1.39 \times 10^{-3} \text{cm}^2$ 인 pattern을 형성하였다. 다결정 실리콘막은 전극으로 사용하기 위해, 625°C에서 LPCVD로 5,000Å을 증착한 후, 950°C에서 POCl<sub>3</sub> 공정을 통해 P ion을 도핑하였다. 이렇게 증착된 다결정 실리콘 막의 면저항은  $11.8 \Omega/\square$ 로 측정되었다. 제작된 4H-SiC/SiO<sub>2</sub> MOS capacitor의 I-V 및 C-V특성을 측정하였다. I-V특성 측정을 위해서는 HP4156B를 이용하였고, C-V특성은 Keithley

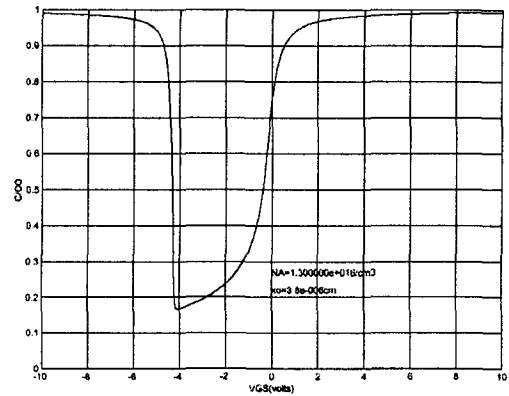


그림 1.  $1.3 \times 10^{16} \text{cm}^{-3}$ 의 농도를 가진 N-type 4H-SiC epi-layer 위에 성장된 두께 380 Å의 열산화막의 이상적 low-frequency C-V 곡선. 게이트 전극과 탄화규소 박막의 work function을 고려하지 않은 곡선으로  $C_{FB}$ 값은  $C/C_0=0.75$ 로 계산되었다.

WIN82 system을 이용하였다. C-V 특성 측정은 accumulation 영역에서 inversion 영역 방향으로 측정하였으며, dealy time 0.5초, step voltage는 50mV이었다.  $1 \times 10^{16} \text{cm}^{-3}$ 의 저농도 에피층이 존재하는 n-type 4H-SiC wafer를 사용하였다.

## 3. 결과 및 고찰

산화막의 게이트 전극에 따른 특성을 알아보고자 C-V특성을 측정하였다. 이를 위해 N-type, 4H-SiC기판위에 성장시킨 열산화막의 이상적인 C-V곡선을 그림 1에 도시 하였다. 이상적인 곡선에서는  $V_G < -4V$ 에서 strong inversion되어 C값이 Cox의 값과 일치하는 것을 볼 수 있다. 하지만 실제 측정된 것은 low frequency C-V에서  $V_G$ 값이 아주 큰 음의 값을 가져도 C값이 Cox값이 되지 못하였다. 이는 탄화규소의 에너지 갭이 커서 (3.26eV), 상온에서 electron-hole generation이 충분히 일어나지 못해 inversion현상이 관찰되지 않기 때문이다. 즉, 탄화규소의 경우 상온에서  $n_i = 6 \times 10^{-9} \text{cm}^{-3}$ 이기 때문에 C-V 곡선상에서 inversion 현상을 관찰하려면 500°C이상에서 측정하여야 한다. 본 연구에서는 상온에서의 특성 곡선으로 shallow donor level의 trap density등을 구하여 비

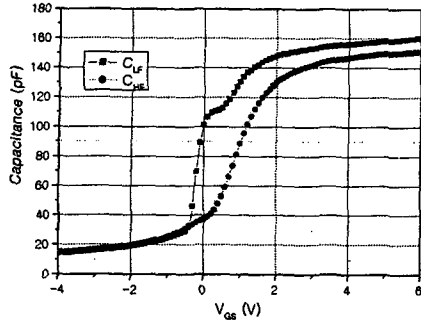


그림 2. N<sub>2</sub> 분위기에서 산화한 SiC의 CV 특성

교하였다.

그림 2의 경우 산화과정에서 H<sub>2</sub>O만이 질소를 통해 공급되었기 때문에 28nm두께의 산화막이 형성되었다. 산소와 H<sub>2</sub>O를 같이 공급한 경우에는 두가지 모두가 산화제로 작용하여 2배정도의 산화속도를 갖는 것으로 측정되었다(그림 3, 4). V<sub>FB</sub>값은 양의 값으로 이동하여 effective oxide charge가 음의 값을 갖는 것으로 구해졌다. 이는 후 열처리 공정을 따로 행하지 않는 경우에 일반적으로 나타나는 현상이다[4]. 후 열처리 공정을 하지 않은 경우에는 산화막내 여분의 산소가 음의 값을 띄게 되어 전체 effective charge가 음의 값을 갖게 되는 것으로 알려져 있다.

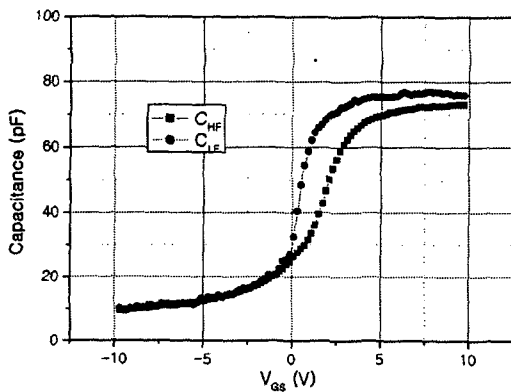


그림 3. 열산화막 성장 후 열처리를 하지 않은 경우의 C-V특성

산소와 H<sub>2</sub>O를 같이 공급한 경우에도 effective oxide charge가 음의 값을 갖는 것으로 나타났으며, 두께 외에는 질소와 H<sub>2</sub>O를 공급한 것과 큰 차

이를 보이지는 않았다(그림3).

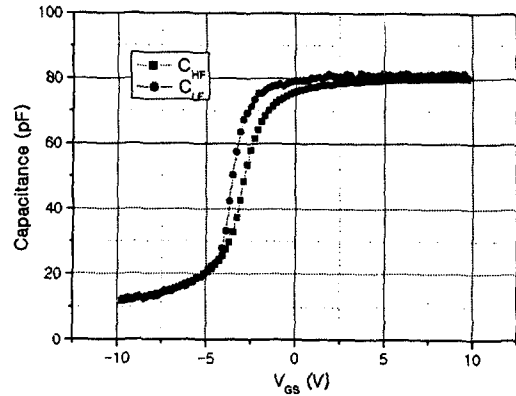


그림 4. 열산화막 성장 후 열처리를 거친 경우의 C-V 특성. Ni를 gate로 사용하여 측정하였다.

그림 4의 산소와 H<sub>2</sub>O를 같이 공급한 산화막을 30분간 후 열처리후 Ni전극을 게이트로 이용하여 측정된 C-V곡선을 살펴 보면, V<sub>FB</sub>값이 음의 값으로 이동하여 effective oxide charge가 양의 값으로 변화된 것을 알 수 있다. 같은 산화막에 대하여 게이트를 다결정 실리콘을 사용한 경우에는 V<sub>FB</sub>값이 다소 변화하였고 Ni 게이트와 큰 차이를 보이지 않았다. 다음 표1에 후열처리를 하지 않은 경우와 후 열처리후 gate 전극을 Ni, poly-Si을 사용한 경우에 대해 각각의 ΔV<sub>FB</sub>, effective oxide charge를 정리하였다. poly-Si을 gate로 사용한 경우에 oxide charge가 음의 값을 갖는 것은 다결정 실리콘을 증착할 때 고온(950℃)에서 POCl<sub>3</sub>도핑공정을 거치게 되므로 P 이온이 공정중에 산화막내로 침투하여 oxide charge에 영향을 준 것으로 보여진다.

그림 5는 위의 세가지 시편에 대하여 shallow donor level에서의 interface trap density (interface state density)를 도시한 것이다. 게이트 전극 종류에 따라 ΔV<sub>FB</sub> 및 effective oxide charge가 변화함에도 불구하고, Dit값은 거의 같은 값을

표 1. 전극 종류 및 열처리공정변화에 따른 oxide 특성 변화

전극	후열처리	V <sub>FB</sub> (V)	N <sub>eff</sub>
Ni	×	2.64	-4.2E11
Ni	○	-2.16	1.29E12
Poly-Si	○	2.90	-9.56E11

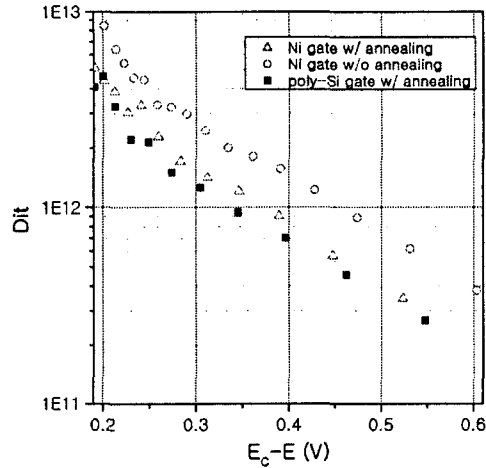


그림 5. 여러 가지 조건으로 성장된 산화막 및 gate 전극에 따른 Dit값의 변화 곡선

나타내었고, 후 열처리를 거치지 않은 경우에만 다소 높은 값을 나타내었다.  $E_c-E=0.6eV$ 에서의 Dit 값은 후 열처리를 하지 않은 경우  $4 \times 10^{11}$ , 후 열처리를 거친 경우에는  $2 \times 10^{11}$ 의 값을 나타내어 양질의 산화막 특성을 보여주었다.

#### 4. 결 론

본 연구에서 SiC MOSFET소자를 제조할 때 게이트 산화막으로 사용할 수 있는 고품질의 열산화막을 제조하였다. 반응가스로 산소와  $H_2O$ 를 같이 공급한 경우가  $H_2O$ 만을 주입한 경우보다 안정된 산화막 특성을 보였다.  $H_2O$ 만을 주입한 경우에는, low frequency C-V curve에서 ledge의 형성이 관찰되었다. 열산화 후 열처리 공정을 통해 계면에 존재할 것으로 예상되는 탄소를 제거한 경우 Dit값이  $2 \times 10^{11} cm^{-2} eV^{-1}$ 로 우수한 특성을 보였으며, 이는 게이트 전극재료와는 무관한 특성을 보였다. 또한 후 열처리를 하지 않은 경우 effective oxide charge가 음의 값을 보였으며, 후 열처리 후 양의 값으로 안정화됨을 확인하였다.

#### 감사의 글

본 연구는 산업자원부 차세대연구개발사업인 'SiC 반도체 기술개발 사업(SiCDDP)'의 지원으로 이루어진 것입니다.

#### 참고 문헌

- [1] V. V. Afanasev, A. Stesmans, and C. I. Harris, *Mat. Sci. Forum* 264-268, 857 (1998).
- [2] A. Koh, A. Kestle, P. R. Dunstan, M. Pritchard, S. P. Wilks, G. Pope, and P. A. Mawby, *Mat. Sci. Forum* 338-342, 1081 (2000).
- [3] L. A. Lipkin, D. B. Slater, Jr., and J. W. Palmour, *Mat. Sci. Forum* 264-268, 853 (1998).
- [4] K. Fukuda, J. Senzaki, M. Kushibe, K. Kojima, R. Kosugi, S. Suzuki, S. Harada, T. Suzuki, T. Tanaka and K. Arai, *Mat. Sci. Forum* 389-393, 1057 (2002).