

SiC 웨이퍼의 이온 주입 손상 회복을 통한 Macrostep 형성 억제

Suppression of Macrostep Formation Using Damage Relaxation Process in Implanted SiC Wafer

송근호, 김남균, 방 옥, 김상철, 서길수, 김은동

(G. H. Song, N. K. Kim, W. Bahng, S. C. Kim, K. S. Seo and E. D. Kim)

Abstract

High power and high dose ion implantation is essentially needed to make power MOSFET devices based on SiC wafers, because the diffusivities of the impurities such as Al, N, P, B in SiC crystal are very low. In addition, it is needed high temperature annealing for electrical activation of the implanted species. Due to the very high annealing temperature, the surface morphology after electrical activation annealing becomes very rough. We have found the different surface morphologies between implanted and unimplanted region. The unimplanted region showed smoother surface morphology. It implies that the damage induced by high energy ion implantation affects the roughening mechanism. Some parts of Si-C bonding are broken in the damaged layer, so the surface migration and sublimation become easy. Therefore the macrostep formation will be promoted. N-type 4H-SiC wafers, which were Al ion implanted at acceleration energy ranged from 30keV to 360keV, were activated at 1600°C for 30min. The pre-activation annealing for damage relaxation was performed at 1100-1500°C for 30min. The surface morphologies of pre-activation annealed and activation annealed were characterized by atomic force microscopy(AFM).

Key Words : SiC, Ion Implantation, Activation, Macrostep

1. 서 론

SiC는 1800°C 이하에서는 확산이 거의 일어나지 않는다. 따라서 단결정 성장이나 에피 박막 성장시 in-situ 도핑을 제외하고는 전자소자 제조 공정 중에서의 도핑은 불가능하다. 즉, SiC를 이용한 반도체 소자 제조에서는 이온주입 공정이 필수적이다. 이 경우에도 기존의 Si에 비해 고에너지로 이온주입을 하여야 하기 때문에 고온에서 공정하여야 하고,

또한 주입한 이온들의 활성화를 위한 열처리공정을 고온에서 하여야 한다. 특히 p-type 이온주입의 경우 일반적으로 1600°C 이상의 후 이온주입 열처리 공정이 필요한 것으로 알려져 있다. SiC는 용액으로 존재하지 않고 1400°C 이상에서는 Si, Si₂C, SiC₂ 등의 상으로 분해가 일어나기 시작한다. 이 경우 가장 큰 문제가 되는 것이 기판표면에 macrostep이 형성되는 것이다. 이는 SiC가 여러 가지 polytype이 존재하여 이의 조절을 위해 에피 박막 성장 시 off-axis 기판을 사용하는 step controlled epitaxy를 사용하기 때문이다. 즉, 7~8° off-axis 기판이 고온에 노출되면 표면 원자들의 surface migration이 활발해져, 그림 1에서와 같

한국전기연구원 전력반도체그룹
(창원시 성주동 28-1,
Fax: 055-280-1590
E-mail : ghsong69@hotmail.com)

이 커다란 고랑 형태의 step bunching을 유발하게 된다. 이는 온도와 시간 등의 실험 조건에 따라 그 크기가 달라지나, SiC 격자상수의 수배~수십 배까지 형성되는 것으로 알려져 있다. 이러한 macrostep들이 표면에 형성되면 전자소자, 특히 planar 구조의 소자에서 채널의 이동도를 급격히 저하시키게 된다[1]. 최근에 연구가 많이 진행되고 있는 4H-SiC의 경우 bulk 이동도는 6H에 비해 뛰어나지만 채널이동도가 낮은 결과를 보이고 있다 [2]. 따라서 4H-SiC를 이용한 소자제조에 있어서는 macrostep의 형성이 큰 문제가 되며, 이를 억제하는 것이 아주 중요하다.

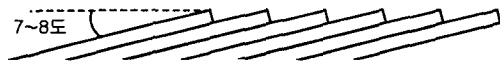


그림 1. Macrostep의 단면 개략도.
Fig. 1. Schematic diagram of macrostep.

또한 파워 MOSFETs에서는 게이트 산화막의 높은 breakdown 전압 특성을 요구하는데, 웨이퍼 표면의 형태에 따라 성장된 산화막의 두께와 품질에 영향을 주어 누설전류와 breakdown 전압에 영향을 미치는 것으로 보고되고 있다.

최근에 이에 대한 연구로 열처리 중 SiH₄를 주입하여 분위기를 Si-excess로 조절하려는 시도가 있었으나, 그 조절이 용이하지 않음을 보고하였다 [3]. Thomas등[4]이 최근 탄소마스크를 이용하여 macrostep 형성을 억제하는 연구를 보고한 바도 있다.

본 연구에서는 이러한 macrostep 형성을 억제하기 위하여 이온주입 시에 웨이퍼에 발생한 결함들을 activation 전에 회복시키기 위한 열처리 방법을 제안하였다. Activation 열처리(AA : Activation Annealing) 전에 pre-activation 열처리(PAA : Pre-Activation Annealing)를 수행함으로써 웨이퍼의 결함을 줄이고 macrostep 형성을 억제하였다.

2. 실험

실험에 사용한 탄화규소 기판은 Cree사로부터 구입한 상용 N형 4H-SiC 기판이며, off-axis 각은 8°이다. nMOSFET을 제작하기 위하여 N형 epi-layer에 p-well 형성을 위한 Al 이온주입은 표 1과 같은 5가지의 다른 에너지와 도즈량으로 미국

의 Kroko사에서 하였다. 표 1과 같은 이온주입을 수행하여 100% 활성화하였을 경우, 최종 Al profile은 그림 2에서처럼 깊이가 0.5μm이고 도핑 농도가 5×10¹⁹cm⁻³으로 TRIM 모의실험 결과 나타났다.

표 1. 이온주입 에너지와 도즈량.

Table 1. Implant energy and dose.

Energy (KeV)	30	70	140	230	360
Dose (10 ¹⁴ cm ²)	1.5	2.5	4	6	12

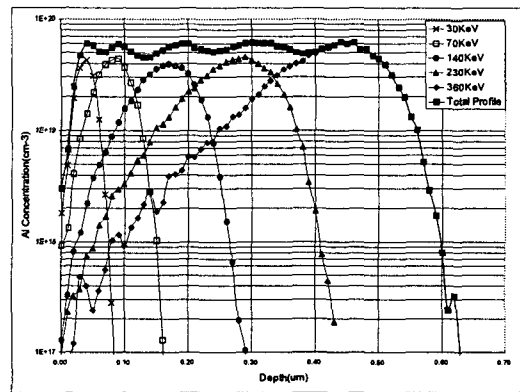


그림 2. Al 이온주입의 TRIM 시뮬레이션.

Fig. 2. TRIM simulation of Al ion implantation.

열처리 시 시편은 아래와 윗면이 SiC wafer로 구성된 내경 2" 크기의 graphite crucible 내에 장착되었으며, 이때 아래 위 wafer간의 거리는 10mm로 하였다. 아르곤 가스 분위기 650Torr에서 30분간의 열처리를 행하였다. 각 시편에 대한 열처리 조건은 표 2와 같이 PAA 과정을 1100℃에서 1500℃까지 각각 다르게 30분간 수행한 후, 모든 시편을 1600℃에서 activation을 위한 열처리를 수행하였다. 모든 시편은 atomic force microscope (AFM)을 이용하여 분석, 비교하였다.

표 2. 시편들의 열처리 조건.

Table 2. Annealing condition of samples.

시편	#1	#2	#3	#4	#5
PAA	1100℃	1200℃	1300℃	1400℃	1500℃
AA	1600℃				

Fig. 1. The cross sections of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter (a) The conventional LTIGBT (b) The conventional LTIGBT with p+ diverter (c) The proposed LTEIGBT with p+ diverter

3. 소자 시뮬레이션

그림 2에서 보여주고 있는 것은 순방향 전도 영역에서 각 소자들의 I-V 특성을 보여주고 있다. 기존의 LTIGBT인 경우, 1.25V의 애노드 전압과 $117 A/cm^2$ 의 전류밀도에서 래치 업이 발생하였으며, 기존의 LTIGBT에 p+ 다이버터를 추가한 p+ 다이버터를 갖는 LTIGBT와 같은 경우에는 비슷한 전류밀도에서 래치 업이 발생하였으나, 래치 업 전압은 3V로 조금 증가하였다. 래치 업을 일으키는 p 베이스 영역으로 주입되는 홀 전류가 감소하고, 반면에 p+ 다이버터 영역으로 주입되는 홀들이 증가하여 래칭 전류밀도도 증가할 것으로 예상되었다. 그러나 애노드 전압이 점진적으로 증가하면서, 이러한 p 베이스 영역을 지나는 홀 전류를 다이버터 영역으로 끌어들이는 것이 아니라 p+ 캐소드 영역으로 주입되는 홀들이 나누어서 주입되었기 때문에 래칭 전류밀도를 향상시키지 못할 것으로 판단된다. 그러나 본 논문에서 제안된 구조인 p+ 다이버터를 갖는 LTEIGBT와 같은 구조는 애노드 전압 9V에서 전류밀도 $1460.2 A/cm^2$ 의 높은 전류밀도에서 래치 업이 발생하였다. 이러한 높은 래칭 전류밀도 특성을 갖는 것은 LTEIGBT의 구조적인 특성 때문에 LTEIGBT의 전류밀도 특성을 그대로 가져오면서 오히려 캐소드 영역이 하나 더 추가된 구조를 갖게 되기 때문이다.

그림 3에서는 범용 LTIGBT, p+ 다이버터를 갖는 범용 LTIGBT 그리고 제안된 p+ 다이버터를 갖는 LTEIGBT의 순방향 저지 특성을 비교하고 있다. 그림에서 알 수 있듯이, 기존의 LTIGBT의 순방향 저지전압은 97.46V, p+ 다이버터를 가지는 범용 LTIGBT는 17.4V인데 비하여 제안된 구조는 약 140 V의 높은 순방향 저지전압을 나타내었다. 제안된 p+ 다이버터를 가지는 LTEIGBT의 순방향 저지전압이 기존 LTIGBT의 순방향 저지전압의 약 1.4배 향상되었음을 알 수 있으며, p+ 다이버터 영역을 포함한 범용 LTIGBT에 비해서는 8배 정도의 높은 항복전압을 가짐을 알 수 있다.

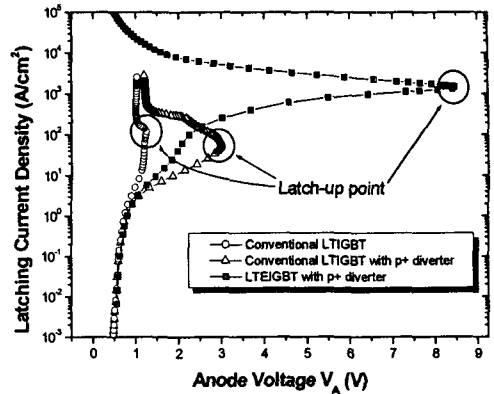


그림 2. 기존의 범용소자들과 제안된 p+ 다이버터 구조의 순방향 전도 특성

Fig. 2. The forward conduction characteristics of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter

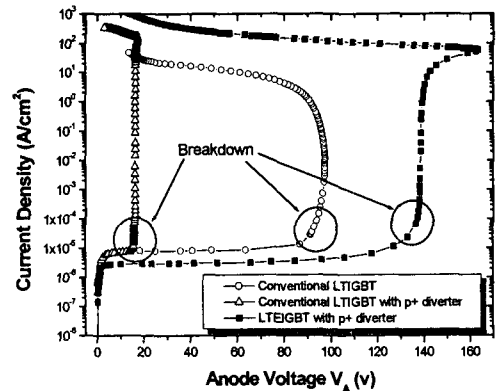


그림 3. 기존의 범용소자들과 제안된 p+ 다이버터 구조의 순방향 저지 특성

Fig. 3. The forward blocking characteristics of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter

앞에서 확인한 바와 같이 p+ 다이버터를 갖는 LTEIGBT는 기존의 LTIGBT 구조에서보다 래치 업 특성에서 12.5배, 항복 특성에서 1.4배 향상된 특성을 보인다.

0°C, Ar 분위기에서 30분간 activation 열처리를 하였다. 그림 5에는 1100°C와 1200°C에서 pre-activation 열처리한 시편의 영상이 없는데, 이 시편들은 1300°C의 경우와 거의 같은 결과를 나타내었다. 그림 5의 a), b), c)는 각각 1300°C, 1400°C, 1500°C에서 pre-activation을 거친 시편들이다. 그림에서 볼 수 있듯이 1300°C와 1500°C 시편의 경우 표면의 형태가 유사하며, macrostep이 형성된 것을 알 수 있다. 그러나 1400°C에서 pre-activation 한 시편의 경우 다른 시편과는 달리 표면이 다르게 나타남을 알 수 있다. 각 시편의 rms 값은 7.0, 4.5, 6.7nm로 a), c) 시편과 달리 1400°C에서 열처리한 시편이 적은 rms 값을 나타내었다. 그러므로 activation 전에 적당한 온도에서 pre-activation 열처리를 할 경우, 이온주입에 의한 손상을 회복시켜 macrostep 형성을 억제할 수 있을 것으로 사료된다.

4. 결 론

SiC 파워 MOSFETs 제작 시에 필수적으로 거쳐야 되는 고에너지의 이온주입과 고온의 activation 공정에 의해 macrostep이 발생하게 되며, 이 macrostep에 의해 디바이스의 특성이 영향을 받는다. 본 논문에서는 이러한 macrostep의 발생을 억제하기 위하여 고온의 activation 전에 이온주입에 의한 손상을 원래대로 회복하기 위한 pre-activation 열처리 방식을 제안하였다. 실험결과 다른 온도에 비하여 1400°C에서 열처리된 시편의 표면 편평도가 가장 뛰어났으며, macrostep의 발생이 억제된 것을 알 수 있었다.

앞으로 1400°C 근처에서 온도를 변화하면서 macrostep 발생을 억제하는 열처리 조건을 찾을 경우 좋은 특성을 가지는 디바이스를 제작할 수 있을 것으로 사료된다.

감사의 글

본 연구는 산업자원부 차세대연구개발사업인 'SiC 반도체 기술개발 사업(SiCDDP)'의 지원으로 이루어진 것입니다.

참고 문헌

[1] S. Scharnholz, E. Stein von Kamienski, A. Götz, C. Leonhard and H. Kurz, *Mat. Sci. Forum*, 264-268, 1001 (1998).

[2] M. V. Rao, J. B. Tucker, M. C. Ridgway, C. W. Holland, N. Papanicolaou and J. Mittereder, *J. Appl. Phys.*, 86(2), 752 (1999).
 [3] M. A. Capano, S. Ryu, M. R. Melloch, J. A. Cooper, Jr. and M. R. Buss, *J. Electron. Mater.*, 27, 370 (1998).
 [4] C. Thomas, C. Taylor, J. Griffin, W. L. Rose, M. G. Spencer, M. Capano, S. Rendakova and K. Kornegay, *Mat. Res. Soc. Symp. Proc.*, 572, 45 (1999).