

Ti-capped NiSi 형성 및 열적안정성에 관한 연구

A Study on the Formation of Ti-capped NiSi and it's Thermal Stability

박수진*, 이근우*, 김주연**, 배규식*

(Soo-Jin Park*, Keun-Woo Lee*, Ju Youn Kim**, and Kyoo-Sik Bae*)

Abstract

Application of metal silicides such as $TiSi_2$ and $CoSi_2$ as contacts and gate electrodes are being studied. However, $TiSi_2$ due to the linewidth-dependance, and $CoSi_2$ due to the excessive Si consumption during silicidation cannot be applied to the deep-submicron MOSFET device. NiSi shows no such problems and can be formed at the low temperature. But, NiSi shows thermal instability. In this investigation, NiSi was formed with a Ti-capping layer to improve the thermal stability.

Ni and Ti films were deposited by the thermal evaporator. The samples were then annealed in the N_2 ambient at 300-800°C in a RTA (rapid thermal annealing) system. Four point probe, FESEM, and AES were used to study the thermal properties of Ti-capped NiSi layers.

The Ti-capped NiSi was stable up to 700°C for 100 sec. RTA, while the uncapped NiSi layers showed high sheet resistance after 600°C. The AES results revealed that the Ni diffusion further into the Si substrate was retarded by the capping layer, resulting in the suppression of agglomeration of NiSi films.

Key Words : Ti-capped NiSi, Interface Roughness, Thermal Stability

1. 서론¹⁾

반도체소자의 초미세화에 따라 채널길이와 배선 선폭은 0.1 μ m 대로 줄어들고, 이에 따라 단채널 효과, 소스, 드레인에서의 기생저항 증가, 게이트에서의 RC 시간지연 증가 등의 문제가 야기되었다. 이를 해결하기 위하여 자기정렬 실리사이드화 공정을 통해 $TiSi_2$, $CoSi_2$ 같은 금속 실리사이드 접촉

및 게이트 전극으로 사용하려는 노력이 진행되고 있다. 그런데 $TiSi_2$ 는 면저항의 선폭의존성 때문에, 그리고 $CoSi_2$ 는 실리사이드 형성시 과도한 Si소모로 인해 차세대 MOSFET소자에 적용하기에는 한계가 있다.^[1] 반면 NiSi는 이러한 문제점을 나타내지 않고 저온공정이 가능한 재료다. 그러나, NiSi는 실리사이드 형성시 NiSi/Si 계면의 산화와 거침성(roughness) 때문에 높은 누설 전류와 면저항값, 그리고 열적불안정성을 나타낸다.^{[1]-[6]}

본 연구는 NiSi 형성시 산소친화력이 강한 Ti를 capping층으로 사용하여 NiSi의 열적불안정성 문제를 해결하고자 하였다.

* : 수원대학교 전자재료공학과

(화성시 봉담면 와우리 산2-2)

Fax: 031-220-2526

E-mail : ksbae@mail.suwon.ac.kr

** : 한양대학교 재료공학부

2. 실험

2.1 실험 방법

시편은 저항이 $5\sim 10\Omega\text{cm}$ 인 직경 4" N-type(100) Si 기판을 사용하였다. Si기판 표면에 생성된 자연 산화막은 10%HF수용액에 10분동안 담궈 제거하였으며 DI Water rinse 직후 Thermal 증발기로 $1.5\times 10^{-5}\text{torr}$ 에서 Ni(20nm) 및 Ti(20nm)/Ni(20nm)를 증착시켰다. 증착시 Ni는 99.9% Ti는 99.99% 순도의 source를 사용하였다.

증착된 시편은 $1\times 1\text{cm}$ 크기로 절단하여 각각 RTA(Rapid thermal annealing)장치를 사용하여 N_2 분위기에서 $300\sim 800^\circ\text{C}$ 에서 100sec.동안 급속열처리하였다.

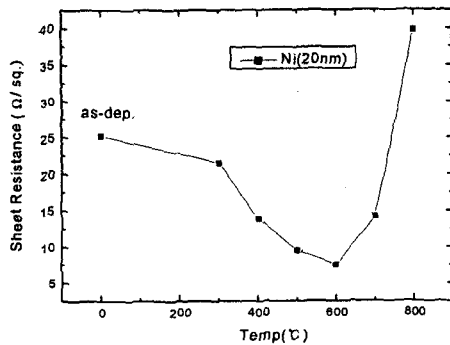
2.2 측정

급속열처리한 시편은 면저항측정기(Four point probe), FESEM, AES로 분석하였다.

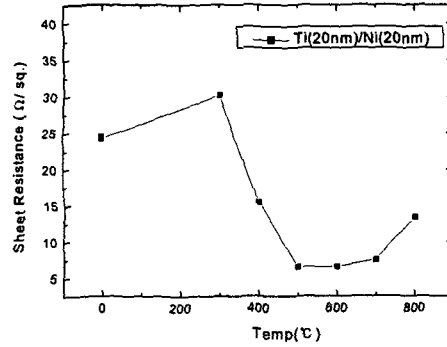
3. 결과 및 고찰

3.1 면저항의 변화

그림1은 급속열처리하기 전과 $500\sim 800^\circ\text{C}$ 에서 100sec. 급속열처리후의 면저항 변화이다. 두가지 시편 모두 500°C 에서 면저항의 감소를 보였다. 그러나 그림 1(a) Ni/Si은 600°C 에서 면저항의 증가를 나타냈고, 그림 1(b) Ti-capped Ni/Si은 700°C 까지 낮은 면저항을 유지하였다.



(a)



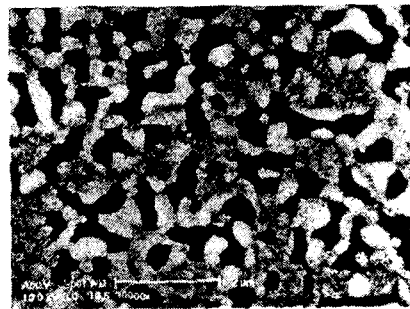
(b)

그림 1. 각 열처리 온도에 따른 면저항의 변화 (a)Ni/Si, (b)Ti/Ni/Si

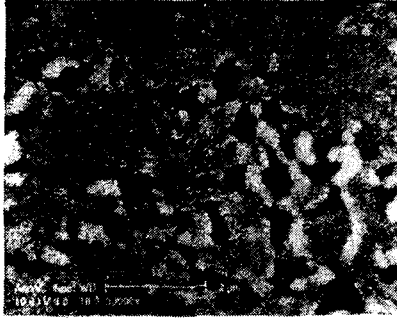
Fig. 1. Change of sheet resistance as a function of RTA temperature (a)Ni/Si, and (b)Ti/Ni/Si

3.2 표면 미세구조 관찰

그림2는 700°C 에서 100sec.동안 급속열처리한 시편의 표면 FESEM 사진이다. 그림 2(a) Ni/Si는 응집(agglomeration)현상이 그림 2(b) Ti/Ni/Si 보다 훨씬 넓게 분포하는 것을 관찰할 수 있다.



(a)



(b)

그림 2. 700°C에서 급속열처리한 FESEM 표면 사진(a)Ni/Si (b)Ti/Ni/Si

Fig. 2. Surficial FESEM of specimens RTAed at 700°C (a)Ni/Si, and (b)Ti/Ni/Si

3.3 AES 분석결과

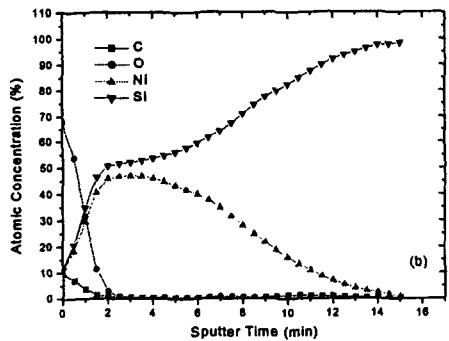
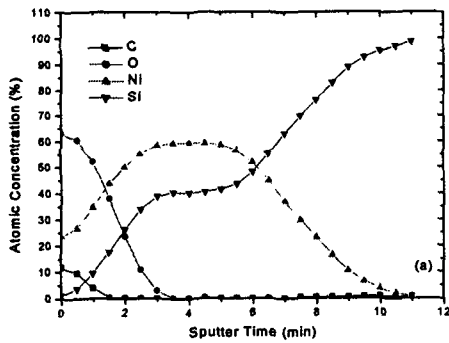


그림 3. Ni/Si 시편의 AES 분석결과

(a)500°C (b)700°C

Fig. 3. AES results of Ni/Si specimens (a)500°C, and (b)700°C

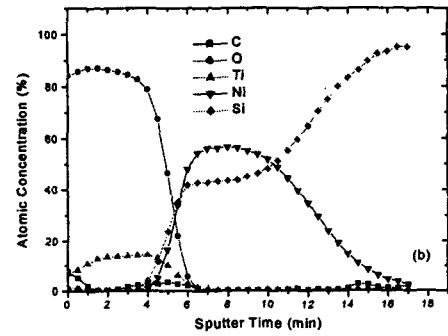
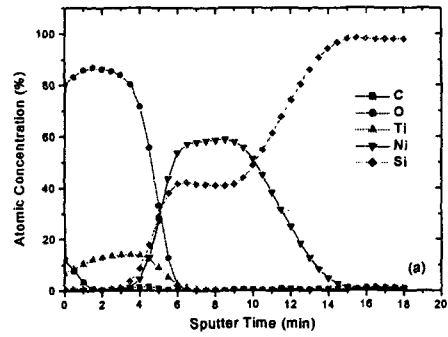


그림 4. Ti/Ni/Si 시편의 AES 분석결과 (a)500°C (b)700°C

Fig. 4. AES results of Ti/Ni/Si specimens (a)500°C, and (b)700°C

그림 3-(b)와 그림 4-(b)를 비교하였을 때, Ti capping 층이 있을 때 Ni의 Si층으로의 확산이 지연되어 그 결과 응집현상이 나타나지 않아 열적 안정성을 유지하였다.

4. 결론

Thermal 증발기를 사용하여 Ni/Si, Ti/Ni/Si을 증착시킨후 N₂분위기에서 300~800°C 온도에서 급속열처리장치로 annealing하여 니켈실리사이드를 형성하고 니켈실리사이드의 열적 안정성을 연구하였다.

Ti-capping층을 사용하지 않은 니켈실리사이드 막은 600℃에서 면저항의 증가를 보였으며, Ti-capping층을 사용하여 형성한 니켈실리사이드 막은 700℃에서 100 sec. 동안 열적안정성을 나타내었다. AES 분석결과 Ti-capping층이 Ni원자가 Si기판으로 확산을 지연시키는 것으로 나타났다.

감사의 글

본 연구는 한국과학재단 지역대학 우수과학자 지원연구(과제번호:R02-2000-00245)비로 수행되었으며 이에 감사드립니다.

참고 문헌

- [1] R. Mukai, S. Ozona, and H. Yagi, *Thin Solid Film*, 270, 567 (1995)
- [2] 안영숙, 송오성, 양철웅, *한국표면공학회지*, 32(6), 703, (1999)
- [3] T.H. Hou, T. F. Lei, and T. S. Chao, *IEEE Trans. Electron Device Letters*, EDL-20(11), 572(1999)
- [4] T. Ohguro, S. Nakamura, E. Morifuji, M. Ono, T. Yoshitomi, M. Saito, H.S. Momose, and H. Iwai, *IEDM-95*, 453 (1995)
- [5] 장진, *전기전자재료*, 12(2), 1 (1999)
- [6] G.T. Sarcona, M. Stewart, and M.K. Hatalis, *IEEE Trans. Electron Device Letters*, EDL-20(7), 332 (1999)