경계항복 억제를 위한 평판형 InP/InGaAs 애벌랜치 포토다이오드의 곡률 효과 분석

Investigation of Curvature Effect on Planar InP/InGaAs Avalanche Photodiodes for Edge Breakdown Suppression

이봉용, 정지훈, 윤일구*
(Bongyong Lee, Jihoun Jung, Ilgu Yun*)

Abstract

With the progress of semiconductor processing technology, avalanche photodiodes (APDs) based on InP/InGaAs are used for high-speed optical receiver modules. Planar-type APDs give higher reliability than mesa-type APDs. However, Planar-type APDs are struggled with a problem of intensed electric field at the junction curvature, which causes edge breakdown phenomena at the junction periphery. In this paper, we focused on studying the effects of junction curvature for APDs performances by different etching processes followed by single diffusion to form p-n junction. The performance of each process is characterized by observing electric field profiles and carrier generation rates. From the results, it can be understood to predict the optimum structure, which can minimize edge breakdown and improve the manufacturability.

Key Words : Avalanche Photodiode, Guard Ring, Edge Breakdown, and Optical Receiver

1. 서 론[1)]

광통신의 전송용량을 증가시키는 방법의 한 가지로 전송속도의 증대에 관한 연구개발이 진행되고 있다. 전송속도가 증가하여 Gb/s급 이상이 되면 수신부의 전치 증폭의 잡음이 급격히 증가한다. 이러한 수신부의 단점을 극복하기 위하여 내부이득을 갖는 항복 다이오드를 수광 소자로 사용하고자 하는 개발연구가 진행되어 왔다. Ⅲ-Ⅴ족 화합물 반도체 개발이 상당히 진척되고 반도체 공정 기술이 발달함에 따라 애벌랜치 포토다이오드 (avalanche photodiode : APD) 연구방향은 GaAs계 또는 InP 계의 화합물 반도체를 이용하여 밴드갭 공학(bandgap engineering)과 구조의 최적화를 통한 기존의 성능향상을 하는 방향으로 진행되고 있다 [1]. InP를 기반으로 한 Avalanche Photodiode (APD)는 2.5 Gb/s급 광통신 시스템의 광 검출기로 널리 이용되어지고 있으며, 현재 10Gb/s급도 개발되어져 있다. 이러한 평판형 (planar) APD 는 메사형(mesa) APD 보다 높은 신뢰성을 제공하나 접합 곡률(junction curvature)에서 집중되어지는 전기장(electric field)에 의해 소자의 활성영역(active region) 외부에서 avalanche breakdown에 의해 발생하는 경계항복 (edge breakdown) 현상이 발생하는 중요한 문제점

* : 연세대학교 전기전자공학공학과
(서울시 서대문구 신촌동 143,
Fax: 02-362-6444
E-mail : iyun@yonsei.ac.kr)

을 가지고 있다. 경계항복의 문제를 해결하기 위한 연구가 여러 사람에 의해 진행되어 왔다. Haralson 등은 InP/InGaAs standoff APD 라는 새로운 구조를 채택하여 Edge breakdown을 최적화 할 수 있는 구조에 관한 연구를 하였으며 C. Y. Park 등은 Floating Guard Ring (FGR) 을 적용하여 접합 주위에서 Avalanche 증폭의 억제에 대한 연구를 하였고, S. M. Sze 등은 반도체에서 접합 곡률이 항복전압 (breakdown voltage) 에 미치는 영향에 대하여 연구를 하였다 [2-3]. 이와 같은 연구는 APD의 성능뿐만 아니라 제작의 용이성 및 경제성을 고려하면서 경계항복을 최소화 할 수 있는 구조의 최적화를 위한 것이었다. 따라서 경계항복 현상을 최소화하여 큰 이득대역폭의 곱(Gain-Bandwidth product)을 얻기 위해서는 증폭 층의 두께(MLW) 그리고 접합의 곡률 등을 고려한 치밀한 APD의 설계가 요구되어진다. 본 논문에서는 접합 곡률이 전기장 또는 충돌 이온화 생성률 (Impact Ionization Generation Rate) 에 미치는 영향에 대하여 시뮬레이션을 통한 경향분석을 하고 경계항복을 최소화 할 수 있는 구조에 대한 분석을 하고자 한다.

2. 소자의 구조

본 연구에서 살펴보고자 하는 10Gb/s급 평판형 InP/InGaAs APD 구조는 그림 1과 같다. p-InP 형성을 위한 공정으로 식각 (etching) 공정을 수행하여 한 번의 확산 공정을 통하여 두 개의 접합 곡률과 가드링 영역을 생성하였다[4-5]. 특히 흡수층의 두께를 0.8 ㎛로 하여 소자의 응답시간 (response time) 을 줄였고, 증폭 층 영역에서 대부분의 충돌 이온화가 일어나게 하기 위하여 전하층 (charge plate) 의 전하 밀도를 $3.5\times10^{12}cm^{-3}$ 으로 하였다 [4]. 일반적으로 사용되어지고 있는 구조는 SAGCM (Separation Absorption, Grading , Charge and Multiplication) 이나, 시뮬레이션을 간편화 하기 위하여 grading 층을 제외한 SACM (Separation Absorption Charge and Multiplication) 구조를 이용하였다. 소자에 대한 구조 변수는 아래의 표 1에 요약 하였다. 그림 1에서 활성영역 (active region) 쪽을 cutline 1번 (C1) 으로 설정하고, 두 번째 곡률 부분을 cutline 2번 (C2) 그리고 가드링 쪽을 cutline 3번(C3) 으로 설정하였다.

표 1. APD 소자의 구조변수

Table 1. Structural Parameters of APD

층	두께	도핑농도
P+ -InP	2.5 ㎛	1×10^{15} cm^{-3}
N-InP (증폭층)	0.25㎛	2×10^{15} cm^{-3}
N+-InP (전하층)	0.15㎛	2×10^{17} cm^{-3}
N-InGaAs (흡수층)	0.8㎛	2×10^{15} cm^{-3}
N-InP	3.45㎛	1×10^{18} cm^{-3}

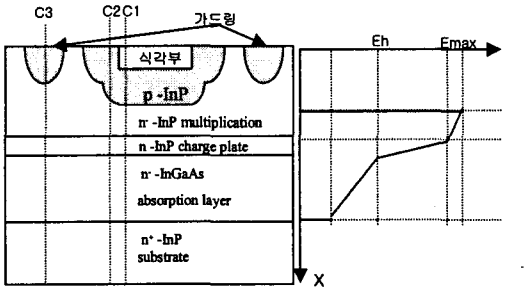


그림 1. InP/InGaAs APD의 개략도 및 전기장 분포

Fig. 1. InP/InGaAs APD Schematic diagram and electric field profile

위의 그림 1에서 두 번째 곡률의 결정요인은 식각 공정에 의하여 결정되어진다. 공정 중에 사용되어진 식각 기법은 습식 식각 (wet etching)을 사용하였다. 건식 식각 (dry etching) 대신 습식 식각 기법을 비교한 이유는 건식 식각의 이방성 (anisotropic) 한 성질보다는 건식 식각의 등방성 (isotropic) 성질이 접합 곡률을 향상시키기 때문이다 [4].

3. 시뮬레이션 방법론

건식 식각 과 습식 식각의 두 가지 방법을 이용하여 만들어 지는 소자를 ATLAS Device Simulator를 사용하여 구현한 후에 시뮬레이션을 수행하였다. 아래 순서도는 연구에 사용되어진 시뮬레이터의 전체적인 동작 순서를 나타내고 있다. 시뮬레이션을 하기 위하여 먼저 Device Edit 프로그램을 이용하여 시뮬레이션 하고자 하는 소자의 구조를 구현하고 구현되어진 구조를 바탕으로 명

령어를 이용하여 Command File 과 Structure File 을 작성하였다. 작성되어진 Command File 과 Structure File을 ATLAS Device Simulator에 입력시켜 시뮬레이션을 수행하였다. 시뮬레이션 수행 시 Blaze, GiGa, 그리고 Luminous Module이 적용되어졌다. 시뮬레이션을 수행함에 있어 Carrier Statistics model 로써는 Fermidirac model을 사용하였고, Impact Ionization model로 Selberherr model 을 사용하였다. Selberherr model 은 시뮬레이션에서 충돌 이온화 생성률을 알아보기 위하여 사용하였다. Selbherr model은 다음과 같은 식으로 주어진다.

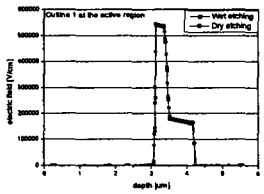
(1) Selberherr Model

$$a_n = a_A e^{[-(\frac{\beta_A}{E})]} \qquad a_p = a_B e^{[-(\frac{\beta_B}{E})]}$$

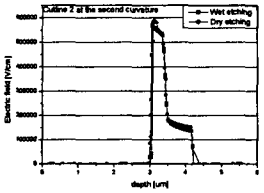
(1) 번 식에서 E 는 전기장을 의미한다. 충돌 이온화 생성률을 관찰하기 위하여 Selberherr 모델에 사용된 계수는 Cook 등이 쓴 논문의 계수를 이용하였다.[5]

4. 결과 및 토의

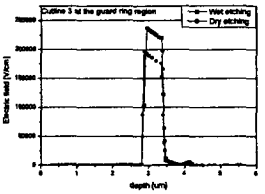
우선 각 Cutline 위치에 따른 전기장 (electric field) 분포를 역방향 바이어스가 30[V] 인 경우에 대하여 살펴 보았다. 아래의 그림 4-(a)는 활성 영역에서의 전기장의 분포를 나타낸 것으로써, 습식 식각 법을 이용하여 식각을 수행한 소자와 건식 식각 법을 이용하여 식각을 수행한 소자의 활성 영역에서의 필드의 세기는 두 번째 곡률과 가드 링의 영향을 받지 않음으로 서로 일치함을 알 수 있다. 그림 4-(b)는 두 번째 곡률 부분에서의 전기장의 분포를 나타낸 것으로써, 그래프의 결과를 보면 건식 식각을 한 경우가 곡률의 가장자리 부분에서 습식 식각 을 한 경우보다 전기장의 세기가 크게 나타남을 알 수 있다. 이는 건식 식각을 한 경우에 있어서 곡률의 가장자리 부분에 전기장이 집중되어지는 현상이 습식 식각을 한 경우보다 크게 나타남을 의미한다. 그림 4-(c)는 가드 링 부분에서의 전기장의 분포로서 전기장의 세기는 습식 식각을 이용한 경우가 건식 식각을 이용한 경우보다 세기가 큼을 알 수 있다. 이는 습식 식각을 통하여 형성 되어진 두 번째 곡률이 건식 식각 법을 통하여 생성된 곡률 보다 큼으로 인하여 전기장이 가드 링 쪽으로 확장되는 것이 용이하기 때문이다.



(a)



(b)



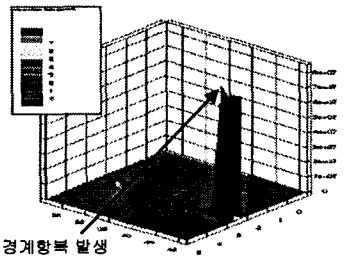
(c)

그림 4. 역방향 바이어스 = -30 V 인 경우 Cutline 위치에 따른 전기장 분포

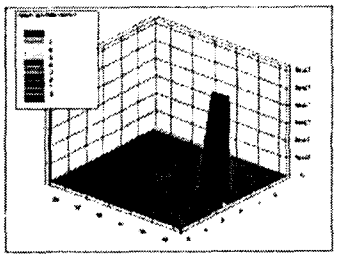
Fig. 4. Electric field profiles depending on cut -line position at -30 V

다음으로 같은 바이어스 조건 (-30 [V]) 에서 충돌 이온화 생성률 (Impact Ionization Generation Rate) 에 대하여 살펴 보았다. 그림 6-(a)에서 건식 식각 법으로 수광 영역을 식각한 소자의 경우 증폭 층에서 충돌 이온화 생성으로 인한 캐리어의 생성 현상이 일어나서 두 번째 곡률부분으로 전이되다가 두 번째 곡률이 시작되는 경계 부분에서 충돌 이온화 생성률이 급격히 증가하여 경계항복 현상이 일어남을 볼 수 있다. 그림 6-(b) 에서 습식 식각 법을 이용하여 수광 영역을 식각한 소자의 경우 증폭 층에서 충돌 이온화 생성률에 의한 캐리어의 생성 현상이 일어나더라도 두 번째 곡률부분으로 경계항복 현상 없이 일정하게 전이됨을 알 수 있다. 이러한 현상은 습식 식각 법으로 만들어 지는 두 번째 곡률부에 집중되어지는 전기장의 세기가 건식 식각 법으로 만들어지는 곡률보다 약하기 때문에 이로 인한 충돌 이온

화 생성률에 의한 캐리어의 생성 현상이 건식 식각 법을 적용하였을 때보다 낮기 때문이다.



(a)



(b)

그림 6. 30 V의 역방향 바이어스 조건 하에서의 충돌 이온화 생성률

Fig. 6. Impact Ionization Generation Rate a-30V

5. 결 론

본 연구에서는 APD의 수광 영역 부분을 식각하여 한 번의 확산 공정으로 두 개의 곡률을 형성하는 경우 식각 방법의 차이에 의한 전기장 분포 및 충돌 이온화 생성률을 살펴보았다. 앞 부분에 기술되어진 식각 후 확산의 결과를 참조하면, 습식 식각은 건식 식각과는 달리 화학 물질을 이용한 식각 용매의 등방성 성질에 의하여 두 번째 곡률을 형성하는데 있어서 건식 식각 보다 곡률의 크기를 크게 할 수 있다는 장점이 있음을 알 수 있었다. 건식 식각 방법으로 만들어진 두 번째 곡률 가장자리 부분에서는 강한 전기장이 집중되게 되어, 결과적으로 가장자리 부분에서 충돌 이온화 생성률에 의한 경계항복이 발생됨을 알 수 있었다. 이러한 결과를 바탕으로 습식 식각 방법이 건식 식각 방법보다 단일 확산 공정을 이용한 APD의 구조제작에 있어 두 번째 곡률을 증가시켜 경계항복을 억제하는데 더욱 효과적인 식각 방법임을 시뮬레이션을 통하여 확인하였다.

감사의 글

본 연구는 2001년 연세대학교 산학연 컨소시움의 지원아래 수행되었습니다.

참고 문헌

[1] Mark A. ltzerm C.S. Wang, Suzanne McCoy, Nick Codd and N. Komada, Planar bulk-InP Avalanche photodiode design for 2.5 and 10 Gb/s applications , ECOC 98, 20-24, pp. 89-90, Madrid, Spain, September 1998

[2] J. N. Haralson, K. F. Brennan, W. Clark and L. E. Tarof Numerical Simulation of Avalanche Breakdown with in InP-InGaAs SAGCM Standoff Avalanche Photodiodes , Journal of lightwave technology, Vol. 15, NO. 11. pp. 2137-2140, November 1997

[3] Kyung-Sook Hyun and Chan-Yong Park "Breakdown characteristics in InP/InGaAs avalanche photodiode with p-i-n multiplication layer structure", J. Appl. Phys, Vol. 81, No. 2, pp. 974-984, January 1997

[4] S. M. SZE and G. GIBBONS, Effect of junction curvature on breakdown voltage in semiconductors , Solid-State Electronics. Vol. 9, pp. 831-845, Pergamon Press 1966

[5] L.W. Cook, G. E. Bulman, and G.E. Stillman "Electron and hole impact ionization coefficients in InP determined by photomultiplication measurements" , Appl. Phys. Lett, Vol. 40, No. 7, pp 589-591, APRIL 1987