

이중 절연막 구조를 가진 플라스틱 유기 박막트랜지스터의 전기적 특성

Electrical Characteristics of Organic Thin Film Transistors with Dual Layer Insulator on Plastic Substrates

최승진*, 이인규*, 박성규**, 김원근**, 문대규**, 한정인**

(S. J. Choi*, I. G. Lee*, S. K. Park**, W. K. Kim**, D. G. Moon**, J. I. Han**)

Abstract

Applying dual layer insulator on plastic substrates improved electrical characteristics of organic thin film transistor(TFT). A high-quality silicon dioxide(SiO₂) suitable for a insulator was deposited on plastic substrates by e-beam evaporation at 110°C. The insulator film which was treated by N₂ annealing at 150°C showed excellent I-V, C-V characteristics. The dual layer insulator structure of polyimide-SiO₂ improved the roughness of SiO₂ surface and showed very low leakage current. In addition, the flat band voltage has been reduced from -2.5V to about 0.5V.

Key Words : Plastic Substrate, E-beam evaporation, Dual Layer Insulator, Organic TFT

1. 서론

최근 가볍고, 유연성을 가지며, 충격에 강한 장점을 지닌 플라스틱 기판을 사용한 평판 디스플레이 패널 제작에 많은 관심이 집중되고 있다. 하지만 플라스틱 기판은 유리 기판을 사용한 기존의 기술에 비해 저온에서(150°C이하) 공정이 이루어져야 하기 때문에 아직 해결해야 할 많은 문제점들이 남아 있다. 유기물을 이용한 박막트랜지스터는 플라스틱 기판을 이용한 저온 공정이 가능하고, 제작 공정이 용이하며 roll-to-roll 공정에 적용할 수 있

는 기술이기 때문에 기존의 Si 기반의 기술보다 가격이나 대면적화에서 이점을 가지고 있다[1-2].

SiO₂는 박막트랜지스터의 게이트 절연막으로 많이 사용되고 있으며, 절연막의 특성이 소자의 전기적 특성(flat band voltage, leakage current)에 많은 영향을 준다. 이번 연구에서는 고에너지의 이온 영향을 줄이고 trap density에 영향을 주는 Si-H, OH, 그리고 Si-OH결합을 피할 수 있는 e-beam evaporation으로 SiO₂ 절연막을 증착하였다[3]. 또한 polyimide를 buffer layer로 이용하여 SiO₂ surface roughness와 전기적 특성의 변화를 알아보았으며, N₂ 분위기에서의 annealing이 절연막의 화학적인 결합에 미치는 영향에 대해서도 알아보았다. 이런 특성 평가는 이중 절연막 구조를 가진 유기 박막 트랜지스터를 직접 제작하여 분석해 보았다.

* 한국항공대학교 항공재료공학과

** 전자부품연구원 디스플레이연구센터

(고양시 화전동 200-1,

Fax: 02-3158-3770

E-mail : sjchoi94@lycos.co.kr)

2. 실험

Polycarbonate(PC)재질의 플라스틱 필름을 기판으로 사용하여 유기 박막트랜지스터를 제작하였다. 플라스틱 기판은 저온에서만 공정이 가능하고, 열팽창계수가 유리기판에 비해 매우 크기 때문에 공정중에 열변형이 많이 일어난다. 따라서 소자를 제작하기 전에 플라스틱 기판을 150°C에서 충분히 열처리를 하여 열변형을 최소화하였으며, 모든 공정은 150°C이하에서 이루어졌다. 게이트 전극으로는 Al을 rf-magnetron sputter로 200nm의 두께로 증착하였고, 절연막은 PI(40nm)-SiO₂(210nm)의 이중구조로 형성하였다. PI막은 spin-coating을 이용하여 coating한 후 150°C에서 2시간 경화시켰으며, SiO₂는 수소원자의 문제점과 고에너지 이온의 영향을 줄일 수 있는 e-beam evaporator로 110°C에서 증착하였다. 초기 진공을 10⁻⁶torr로 유지하고 10⁻⁵torr에서 e-beam을 이용하여 SiO₂ 소스를 7.5kV, 40mA의 전력으로 경화된 PI막 위에 증착하였으며 증착속도는 10nm/min으로 유지하였다. 절연막을 증착한 후 N₂ 분위기에서 150°C, 2시간 유지하였다. 소스-드레인 전극은 e-beam evaporator로 증착한 Au를 사용하였으며, 패턴은 에칭액의 영향을 줄일 수 있는 lift-off 방법을 사용하였다. 채널은 고분자 반도체인 P3HT를 chloroform 용액에 녹여 용액 상태로 만든 후 contact printing 방법으로 인쇄하였다.

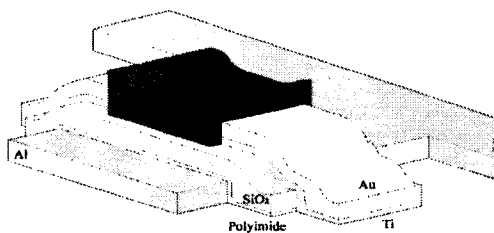


그림 1. 이중 절연막구조를 가진 플라스틱 유기 박막트랜지스터의 구조

Fig. 1. Schematic structure of organic TFT with dual layer insulator on the plastic substrate

게이트 절연막의 C-V특성을 알아보기 위해 MOS(metal-oxide-semiconductor)구조를 P형 실리콘 웨이퍼 위에 만들었다. 이중 구조를 가진 게이트 절연막은 PI와 SiO₂ 두께를 각각 40nm, 80nm로 고정시켰으며, 게이트 절연막으로 SiO₂만 사용한 경우에는 SiO₂를 120nm로 증착하였다. 전체 MOS capacitor의 크기는 480μm×680μm 이고 금속은 Al을 사용하였으며 하부전극으로 저온용 silver paste를 웨이퍼 뒷면에 coating해 60°C에서 2시간 경화시켰다. 게이트 절연막의 C-V특성과 유기박막 트랜지스터의 I-V특성은 각각 HP4280A, HP4145B semiconductor parameter analyzer로 측정하였다.

3. 결과 및 고찰

3.1 이중 절연막 구조의 물리적·전기적 특성

그림 2에서는 게이트 절연막으로 사용되는 SiO₂의 surface roughness를 측정된 AFM(atomic force microscope) 이미지를 나타내었다. 이 그림에서 (a)는 PI막이 없는 경우이며 (b)는 buffer layer로 PI막이 있는 경우이다. (a)와 (b)의 surface roughness(rms)를 보면 (a)는 10~20nm정도이며, (b)는 1~3nm정도로 나타났다. 따라서 buffer layer로 PI막을 형성한 경우가 surface roughness가 상당히 향상되므로 이중 절연막 구조를 가진 박막트랜지스터 소자를 만들었을 경우 절연막의 roughness가 상당히 우수하고 절연막과 유기 반도체사이의 계면 특성도 개선되었음을 알 수 있다.

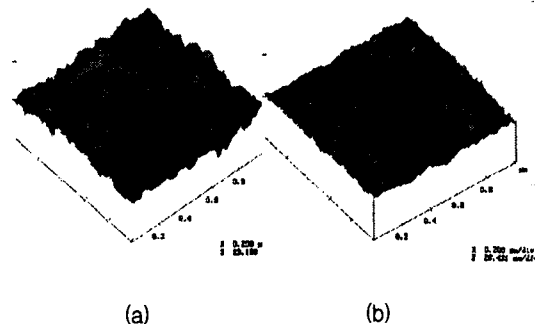


그림 2. SiO₂ 표면의 AFM 이미지 ; (a) PI막이 없는 경우, (b) PI막이 있는 경우

Fig. 2. AFM images of SiO₂ surface; (a)without polyimide layer, (b) with polyimide layer

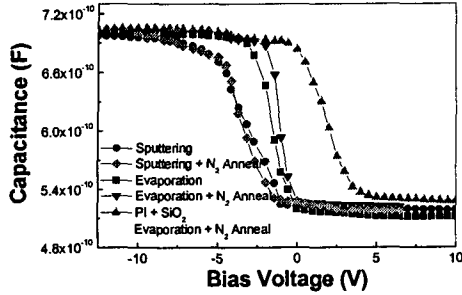


그림 3. MOS capacitors의 고주파수 C-V특성.
 Fig. 3. High frequency C-V characteristics of MOS capacitors.

그림 3에서는 e-beam evaporator와 sputter에 의해 증착된 게이트 절연막(SiO₂)의 고주파수(1MHz)에서의 C-V특성을 측정한 결과와 N₂ 분위기에서 150°C, 2시간 열처리한 후의 C-V특성을 나타내었다. Sputter와 e-beam evaporator로 증착된 게이트 절연막의 flat band voltage는 각각 -5V, -2.5V로 나타났다. E-beam evaporator로 증착된 SiO₂는 sputter 증착방법에 비해 고에너지 이온 영향을 줄일 수 있기 때문에 leakage current와 flat band voltage가 낮게 나타난다. 또한 절연막을 N₂ 분위기에서 150°C, 2시간 열처리한 경우 flat band voltage가 -2V로 줄어들었으며 PI막을 buffer layer로 사용한 이중 절연막의 경우 flat band voltage가 0.5V로 변화하였다.

그림 4에서는 게이트 절연막의 I-V 특성을 알 수 있다. N₂ 분위기에서 열처리한 경우 leakage

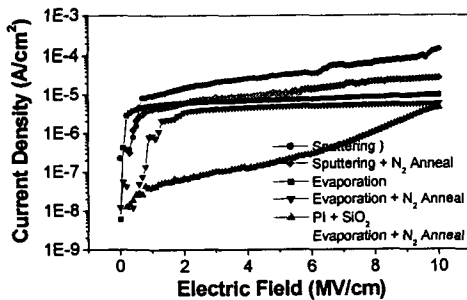


그림 4. 이중 절연막 구조의 I-V 특성.
 Fig. 4. I-V characteristics of dual layer insulator structure.

current가 줄어드는 것을 알 수 있으며, 특히 PI막을 형성한 이중 절연막 구조의 leakage current가 매우 낮게 측정되었다. 이와 같은 특성의 향상은 질소분위기에서의 annealing이 높은 에너지를 가진 nitrogen radicals을 형성하기 때문이다. 그리고 Si와 SiO₂계면에서 발생하는 양전하는 계면이 거칠수록 많이 발생하게 된다. PI막을 buffer layer로 사용하면 SiO₂의 surface roughness가 향상되고(그림 3), Si와 SiO₂계면에서 발생하는 양전하의 생성을 줄일 수 있으므로 leakage current가 매우 낮게 나타난다.

3.2 이중 절연막 구조가 소자에 미치는 영향

유기박막트랜지스터의 게이트 절연막에 PI가 있는 구조와 없는 구조를 제작하여 I_D-V_{DS}를 측정된 곡선을 그림 5,6에 나타내었다(W=500μm, L=25μm). 그림 5를 보면, PI막이 없는 경우에는 I_D-V_{DS}의 곡선이 매우 불안정하고 leakage current가 높게 나타났다. 그러나 PI가 있는 경우(그림 6)에는 게이트 절연막의 surface roughness가 매우 우수하기 때문에 박막트랜지스터 소자를 만들었을 경우 절연막과 유기 반도체사이의 계면 특성이 개선된다. 따라서 이중 절연막 구조는 안정한 I_D-V_{DS}곡선을 가지며, leakage current가 매우 낮은 특성을 가짐을 알 수 있었다.

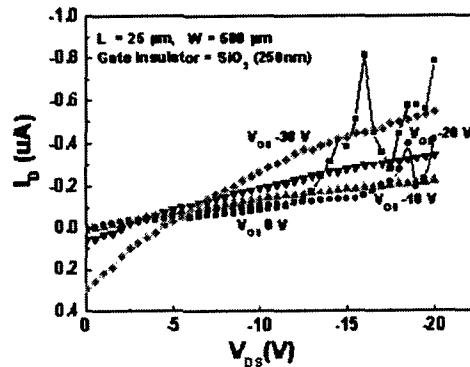


그림 5. 유기 박막트랜지스터의 전기적 특성(PI가 없는 경우)
 Fig. 5. Electrical characteristics of organic TFT (without PI)

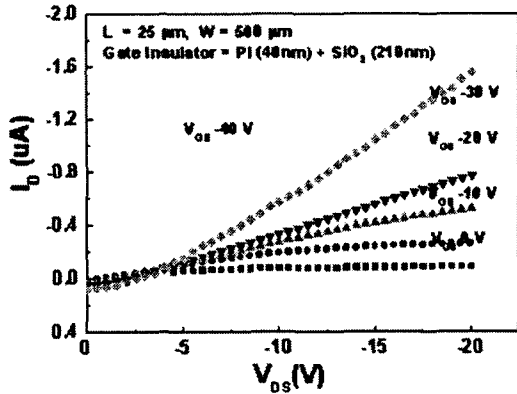


그림 6. PI buffer layer를 이용한 유기 박막트랜지스터의 전류-전압 곡선

Fig. 6. I-V curves of organic TFT with PI buffer layer

4. 결 론

이중 절연막 구조를 가진 유기 박막트랜지스터를 플라스틱 기판에 제작하여 전기적 특성을 분석하였다. 게이트 절연막(SiO_2)은 고에너지 이온의 영향을 받는 sputter 증착 방법에 비해 e-beam evaporation으로 증착한 방법이 flat band voltage와 leakage current가 낮게 나타났다. N_2 분위기에서 절연막을 annealing한 경우에도 flat band voltage와 leakage current가 향상됨을 알 수 있었다. 그리고 buffer layer로 PI막을 형성한 경우에는 반도체-절연막 계면사이에 발생하는 양전하의 생성을 줄여서 leakage current가 감소되는 특성을 나타냈으며, flat band voltage가 -2.5V 에서 0.5V 로 변화하였다.

참고 문헌

- [1] A. Tsumura, H. Koezuka, and T. Ando, "Macro-molecular electronic device: Field-effect transistor with a polythiophene thin film", *Appl. Phys. Lett.*, 49, 1201(1998)
- [2] A. Ullmann, J. Ficker, W. Fix, and H. Rost, "High Performance Organic Field-Effect Transistor and Integrated Inverters", *Mat. Res. Soc. Symp. Proc.* Vol.665(2001)

- [3] C.H. Kim, S.H. Jung, and M.K. Han, "Very Low Temperature E-gun Evaporated Gate Oxide of TFTs on Plastic Substrate", *Mat. Res. Soc. Symp. Proc.*, 685E, D.5.5.5 (2001)
- [4] J. Albohn, W. Fussel, and N.D. Sinh, "Capture cross sections of defect states at the Si-SiO₂ interface", *J. Appl. Phys.* Vol.88, No.2 (2000)
- [5] K. Sekine, Y. Saito, and M. Hirayama, "Highly Reliable Ultrathin Silicon Oxide Film Formation at Low Temperature by Oxygen Radical Generated in High-Density Krypton Plasma" *IEEE Transactions on Electron Devices.* Vol.48, No.8 (2001)