

저온 소성 유전체 재료를 이용한 초소형 VCO (Voltage Controlled Oscillator) 제작에 관한 연구

A study on the fabrication of Miniatured VCO using LTCC(Low Temperature Cofired Ceramic)

유찬세, 이영신, 이우성, 강남기, 박종철
(Joshua Yoo, Y.S. Lee, W.S. Lee, N.K. Kang, J.C. Park)

Abstract

VCO(Voltage Controlled Oscillator) is one of the main components governing the size, performance and power consumption of telecommunication devices. As the devices become much smaller, VCO need to have much smaller size with better characteristics.

Buried type passive components of L,C,R were developed previously and the structure of these components are good for minimizing the size of VCO. Our own library of passive components is used in simulation and fabrication of VCO circuit, and surface mounted components like varactor diode are analyzed using the measurement circuit designed by ourselves.

Two-Dimensional simulation of VCO circuit and local three-Dimensional structure simulation are performed and their relation is obtained.

In structure of multi-layered VCO, some components governing the characteristics of VCO are selected and placed on the top of oscillator for the good tuning process.

In resonator part, the stripline structure and low loss glass/ceramic material are used to get higher Q value.

In our research, a VCO oscillates in the 2.3~2.36 GHz band is developed.

Key words: VCO, buried type passive components, low loss glass/ceramic material, high Q

1. 서 론

최근들어 저온 소성 유전체를 이용한 부품 및 모듈에 관한 연구가 진행되고 있다. VCO는 송수진 단말기의 RF, IF 간의 주파수 변환에 있어서 없어서는 안될 소자중의 하나이다. 단말기가 소형화됨에 VCO의 크기도 작아지게 되었고 여기에 저온 소성 유전체를 이용한 적층 세라믹 기술이 접목됨으로써 3차원 회로 배열이 가능해졌고 그 크기가 더 작아질 수 있게 되었다. 본 연구에서는 저손실값을 갖는 유

전자부품연구원 고주파재료 연구센터
평택시 진위면 마산리
Fax : 031)610-4126
e-mail : ychs@keti.re.kr

전체 재료를 사용하고 적층공정을 최적화하여 4x4 mm 의 크기를 갖는 초소형 VCO를 제작하였다.

2. 실험

본 연구에서 유전체 재료는 유전율이 7.8, $Q \cdot f$ 값이 2200, 그리고 τ_r 가 7 ppm 정도 되는 boro-silicate계 glass ceramic material(Dupont 9599)을 사용하였고 도체는 metal content가 80 % 인 Ag paste(Dupont 6142D)를 사용하였다. 모든 시편을 제작함에 있어서 적층공정(Multilayer process)을 적용하였는데 그 흐름도는 그림1과 같다.

특히 테잎 캐스팅 공정에서는 20~25 μ m 두께의 박형 테잎을 제작함으로써 소자들의 크기를 줄일 수

있었고 패턴 형성시 고정밀 스크린 프린팅 공정을 통해 100 μm 선폭까지 안정적으로 구현하였다.

제작한 수동소자의 전기적 특성을 측정하기 위하여 probe station(Cascade microtech)과 Network analyzer(HP 8753D)를 이용하였고, VCO 측정에는 Spectrum Analyzer(HP 8561E)를 사용하였다.

이들을 모델링하여 특성을 예측하는데는 ADS 1.3(Agilent) 와 HFSS 5.3(Agilent)를 이용하였다.

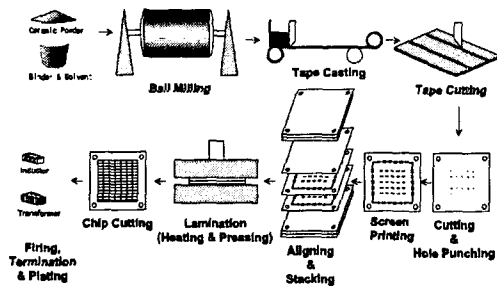


그림 1. 적층 공정 흐름도

Fig. 1. Flow chart of multilayer process

3. 결과 및 고찰

3.1 재료 시스템 평가

본 연구에서 적용한 유전체과 도체(Ag) 시스템을 기존의 PCB(FR-4), Cu 시스템과 비교하기 위하여 μ -stripline을 제작하여 고주파수에서의 손실값을 비교하였는데 그 결과는 아래와 같다.

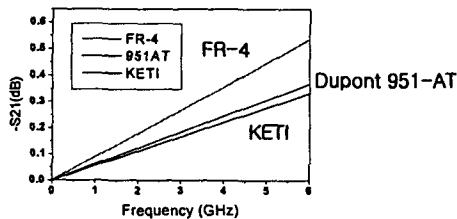


그림 2. 재료 시스템에 따른 선손실값 비교

Fig. 2. Comparison of attenuation between material systems

직접 제작한 태잎의 특성이 FR-4 와 Dupont 사의 951 AT 에 비해 우수하여 손실값이 작게 나타났다. 실제적인 RF 설계에서 더 중요한 의미를 갖는 단위 파장당의 손실값 비교는 다음과 같다.

표 1. 단위 파장당의 손실값 비교

Table 1. Comparison of attenuation per unit wave length

	FR-4	951-AT	KETI
loss(dB/ λ)	0.479	0.258	0.234

이러한 저손실 특성은 VCO 공진부 내에서 높은 Q 값을 갖는 공진기 제작이 가능하기 때문에 phase noise 특성을 향상시킨다.

3.2 내층용 저항의 구현

VCO 회로내에 DC 공급을 위한 바이어스 회로에 저항을 사용하였는데 기존의 칩 저항 대신 저항체 페이스트를 이용한 내층용 저항을 구현하였다. 스크린 프린팅을 통해 형성된 저항체는 그 단면이 직육면체가 되지 못하고 중앙 부분에 홈이 파인 사다리꼴 형태가 되기 때문에 저항값을 정량적으로 계산하기 어려운 점이 있다. 이 때문에 프린팅 조건을 최적화하는 가운데 아래와 같은 쿠폰을 형성하여 library를 구축하였다.

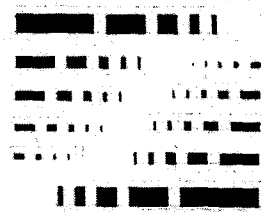


그림 3. 내층용 저항의 test 쿠폰

Fig. 3. Test coupon of embedded resistor

사용한 저항 페이스트는 RuO_2 를 기본 조성으로 하였고 비저항값은 10, 100, 1000, 10000 Ω/sq . 이었다. 위의 실험을 통해 2~12 k Ω 의 내층용 저항을 구현하였다. 다만 tolerance 가 10 % 정도로 비교적 컸기 때문에 모듈 적용 후에는 드릴로 튜닝하는 작업을 병행하였다. 아래 그림에는 내층용 저항 샘플과 그 단면이 나타나있다.

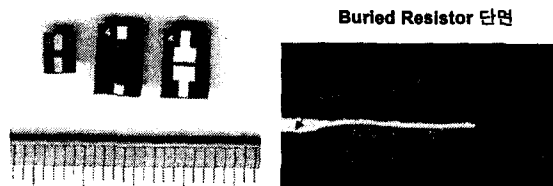
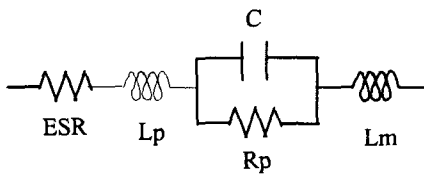


그림 4 내층형 저항의 형태와 단면 사진

Fig. 4 Shape and cross-section of resistor

3.3 내층용 캐패시터의 구현

캐패시터는 VCO 회로내에 가장 많이 사용되는 소자이기 때문에 그 전기적 특성을 향상시킬 뿐 아니라 공정면에서도 안정적으로 제작될 수 있도록 하였다. 25 μm 의 박형 테일을 사용하여 캐패시터 전극의 면적을 최소화하였고 박형 테일에서도 동시 소성시 전극 확산에 의한 short 발생을 막기 위해 소성 조건을 최적화하였다. 0.5~20 pF의 용량을 갖는 캐패시터를 구현하였으며 고주파 특성 분석에 사용된 등가회로가 아래에 제시되어있다.



ESR : 등가 직렬 저항, Lp : 기생 인덕턴스
Rp : 기생 병렬 저항, Lm : via 의 인덕턴스

그림 5 내층용 캐패시터의 등가회로
Fig. 5 Equivalent circuit of embedded cap.

3.4 스트립라인 레조네이터 구현

스트립라인 구조는 외부환경에 의한 영향이 작고 손실이 작은 재료를 사용할 경우 인덕터에 비해 높은 Q 값을 얻을 수 있는 장점이 있다. 본 연구에 사용된 스트립라인 레조네이터의 형태는 아래와 같다.

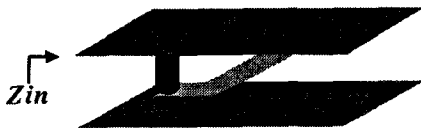


그림 6 스트립라인 레조네이터 형태
Fig. 6 Shape of Stripline Resonator

스트립라인을 설계함에 있어서 유전체와 도체의 유효 물성치를 추출하였는데 Ag 전극의 경우 일반적으로 6.173×10^7 S/m 의 전기전도도를 갖는 것으로 알려져 있으나 Ag의 페이스트의 유효 전기전도도는 4×10^7 S/m 이었고, 유전체의 손실은 $\tan \delta = 0.003$ (6 GHz) 이었다. 스트립라인 레조네이터의 측정 결과가 아래에 나타나있고 공진기 Q값은 60~70 정도되었다.

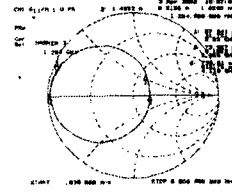


그림 7 스트립라인 측정 결과
Fig. 7. Measurement data of stripline resonator

3.5 회로구성

세라믹 VCO 제작에 사용된 회로도가 그림 8에 나타나있다. 전압 튜닝을 위해 공진단에 바랙터 다이오드를 사용하였고 발진부에는 안정성을 위해 발진 트랜지스터외에 buffer 트랜지스터를 첨가하였다. 모두 21개의 소자를 사용하였는데 이중 76%에 해당하는 16 개의 소자를 세라믹 기판 내부로 embedding하였다. 회로의 3차원 배열에서는 발진 주파수 튜닝을 위해 스트립라인의 끝부분을 top 층으로 올렸고 tolerance가 다른 소자보다 큰 저항은 기계적인 튜닝을 위해 top 층에 가깝게 위치시켰다. 대략적인 3차원 구성과 샘플 사진이 그림 9에 나타나있다.

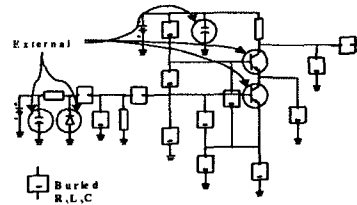


그림 8. VCO 회로도
Fig. 8. Circuit of VCO

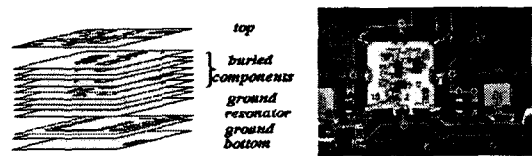
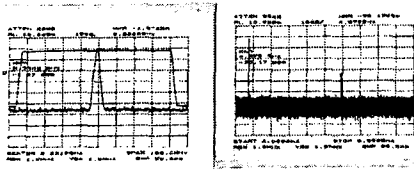


그림 9. 3차원 개략도와 샘플사진
Fig. 9. Schematic diagram and photograph of miniaturized VCO

3.6 측정결과

Output power level은 -1.67 dBm 이고 바이어스 0.5~2.5 V에 대한 sweep 범위는 80 MHz 정도되었다. Phase noise 특성은 100 kHz offset에서 -122 dBc/Hz 로 우수하게 나타났는데 이는 세라믹 재료

의 손실 특성이 FR-4 보다 우수하기 때문인 것으로
생각된다. 그 밖의 측정결과들이 제시되어 있다.



(a) output power (b) harmonics

그림 10. VCO 측정 결과

Fig. 10. Characteristics of VCO

표 2. VCO 측정 결과

Table 2. Characteristics of Miniatured VCO

Item	Value
power supply	3.0 ± 0.1 V
control voltage range	0.5 ~ 2.5 V
output power level	0 ± 2 dBm
tuning sensitivity	40 MHz/V
current consumption	9.3 mA (typ. 8 mA)
pulling figure	±0.2 MHz (VSWR=2)
pushing figure	±0.45 MHz @±0.15V
harmonics	≥ -28 dBc
phase noise	-92dBc/Hz(10KHz offset)
	-102dBc/Hz(25KHz offset)
	-122dBc/Hz(100KHz offset)
size	0.024 cc (4×4×1.8)

4. 결 론

저손실값을 갖는 유전체와 Ag 페이스트를 이용하여 각각의 수동소자들을 제작하여 특성을 평가하였고 특히 RuO₂ 기본으로 하는 저항 페이스트를 이용하여 내충용 저항을 구현하였다. 유전체의 저손실 특성을 활용한 스트립라인 레조네이터를 이용해 VCO의 특성을 향상시킬 수 있었으며 회로의 최적화를 통해 4×4×1.8 mm 의 크기를 갖는 초소형 VCO를 구현하였다.

참고 문헌

[1] Pozar, "Microwave engineering", WILEY, p153-165.
 [2] HARLAN HOWE, JR. "STRIPLINE CIRCUIT DESIGN", ARTECH HOUSE, INC. p33, 1973
 [3] Brian C. Wadell, " Transmission Line Design Handbook" ARTECH HOUSE, p45 1991
 [4] Kristof Vasen, Chip-Package Co-Design of a 4.7GHz VCO, The international Journal of

Microelectronics and Electric Package, Vol. 23, Number 3, Third Quarter 2000.

[5] Varactor SPICE Models for RF VCO Application. APN1004, Alpha Industries, 1998.