

## 2 GHz대 이동 통신용 MLC 칩 90° 하이브리드 설계

### Design of MLC chip quadrature hybrid for 2 GHz band mobile communications

심성훈<sup>\*\*\*</sup>, 강종윤<sup>\*</sup>, 윤석진<sup>\*</sup>, 신현용<sup>\*\*</sup>, 윤영중<sup>\*\*</sup>, 김현재<sup>\*</sup>

(S. H. Sim<sup>\*\*\*</sup>, C. Y. Kang<sup>\*</sup>, S. J. Yoon<sup>\*</sup>, H. Y. Shin<sup>\*\*</sup>, Y. J. Yoon<sup>\*\*</sup>, H. J. Kim<sup>\*</sup>)

#### Abstract

This paper presents the design method and performance characteristics of a chip-type quadrature hybrid using LTCC-MLC technology. The design method for a chip-type quadrature hybrid is based on lumped element equivalent circuit of quarter-wave transformer. The chip-type quadrature hybrid was miniaturized to a greater extent using multilayer structure and lumped element. The proposed design method can also reduce the undesirable parasitic effects of the chip-type quadrature hybrid. The proposed chip-type quadrature hybrid was designed and fabricated using the proposed design method and the equivalent circuit model of a quarter-wave transformer. Fabrication and measurement of designed chip-type quadrature hybrid show much smaller size than a conventional distributed quadrature hybrid and a good agreement with simulated results.

**Key Words :** chip-type, quadrature hybrid, lumped element, quarter-wave transformer, multilayer

#### 1. 서 론<sup>[1]</sup>

최근 이동 통신 산업의 급속한 발전에 따라 이동 통신 가입자의 수요가 급증하고 있으며, 가입자들은 통화 품질 향상 이외에 단말기의 소형화 및 다기능화를 크게 요구하므로 가능한 한 모든 RF 부품을 소형화하기 위해 하나의 칩 형태로 제작되어져야 한다. 따라서 RF front-end 단에서 많은 공간을 차지하는 필터, 안테나, 하이브리드 등의 RF 수동 소자들을 소형화하기 위해서 고유전 세라믹 재료( $5 < \epsilon_r < 40$ ) 및 적층 구조를 이용한 연구가 활발히 이루어지고 있다. [1-3]

하이브리드는 입출력 단 정합, 전력 결합 및 분

기, 그리고 포트간의 아이솔레이션을 항상시키기 위해서 평형계 앰프 및 mixer 등의 설계에 자주 이용되고 있다. 또한, 안테나의 임피던스 매칭 및 특성 향상을 위해서도 하이브리드 및 balun을 적용하는 연구가 진행되고 있다. [4] 하지만, 가장 널리 사용되는 branch line 및 Lange coupler 등의 90° 하이브리드 구조는 다수의  $\lambda/4$  결합 선으로 구성되기 때문에 그 크기가 커서 RF 시스템의 소형화에 큰 장애가 되고 있다. [5, 6]  
본 논문에서는 종래 분산 소자에 의해 구현된 branch line 90° 하이브리드의  $\lambda/4$  결합 선으로를 ABCD 파라미터에 의해 L, C 집중 소자로 변환시켜 초소형 MLC 칩 하이브리드를 구현하였다. 또한, MLC 칩 90° 하이브리드 내에 inductor과 capacitor의 불필요한 상호 결합 성분을 줄이고, 작은 공간에서도 충분한 캐패시턴스 값을 얻을 수 있도록 이중 parallel plate 구조의 캐패시터를 제안하였으며, inductor 구조는 좁은 공간 내에 구현이 가능하도록 helical 구조의 inductor를 적용하였다.

\* 한국과학기술연구원 박막기술연구센터  
(서울특별시 성북구 하월곡동 39-1)  
Fax : 02-958-6722  
E-mail : sim74@kist.re.kr  
\*\* 남서울대학교 전자정보통신공학부  
\*\*\* 연세대학교 전기전자공학과

## 2. MLC 칩 90° 하이브리드의 설계

2.1 집중 소자형 하이브리드 등가 회로 설계  
종래 90° 하이브리드는 그림 1(a)처럼 마이크로 스트립 또는 스트립라인 형태의 branch-line 하이브리드가 널리 이용되었다. 하지만, 2GHz 대역에 사용하기 위해 FR4 ( $\epsilon_r=4.6$ ) 기판에 구현할 경우 그 크기는 약  $20 \times 20 \text{ mm}^2$  가 된다. 하지만, 분산 소자를 집중 소자로 변환하여 하이브리드를 소형화 할 경우 그 크기를  $4.5 \times 3.2 \times 1.5 \text{ mm}^3$  이하로 줄일 수 있다. 90° 하이브리드는 port1에 신호가 인가되면 port2와 port3로 동일한 크기로 신호가 분배되고, 각 신호는 90°의 위상차를 가지며, port4로 전달되는 신호의 흐름은 아이솔레이션된다. 그림 1(a)에 나타낸 하이브리드의 [S] 매트릭스는 다음과 같다.

$$[S] = \frac{-1}{\sqrt{2}} \begin{bmatrix} 0 & j & 1 & 0 \\ j & 0 & 0 & 1 \\ 1 & 0 & 0 & j \\ 0 & 1 & j & 0 \end{bmatrix} \quad (1)$$

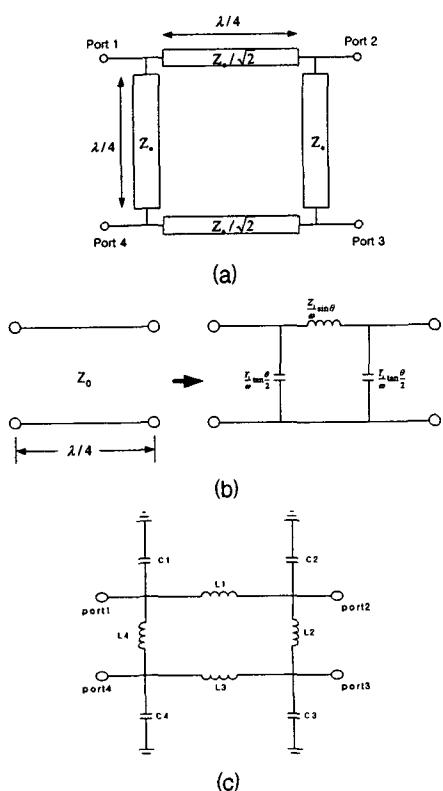


그림 1. 집중 소자형 등가 회로로의 변환  
Fig. 1. Transformation of distributed element to lumped element equivalent circuit

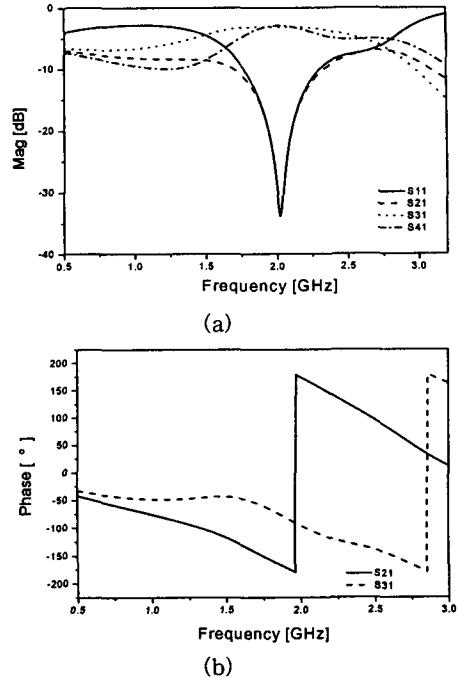


그림 2. 회로 시뮬레이션 결과  
Fig. 2. The simulated results of the equivalent circuit

$\lambda/4$  전송선로에 의해 구현된 branch-line 하이브리드는 그림 1(b)처럼 ABCD 파라미터에 의해 분산 소자를 L, C 집중소자로 변환시킴으로써, 그림 1(c)와 같은 집중 소자형 등가회로로 설계된다. 다음 L, C 소자값들은 중심 주파수 2 GHz대에서 설계되었다.

$$\begin{aligned} L1 &= L3 = 3.88 \text{ nH} \\ L2 &= L4 = 2.71 \text{ nH} \\ C1 &= C2 = C3 = C4 = 3.9 \text{ pF} \end{aligned}$$

그림 2는 그림 1(c) 등가회로에 2GHz 주파수대에서 설계된 상기 L, C 소자값들을 적용한 시뮬레이션 결과를 나타낸 것이다. 주파수 1.88~2.17 GHz 대역에서 S11은  $-15 \text{ dB}$  이하, S21과 S31은  $-3 \text{ dB} \pm 0.4$ , S41은  $-15 \text{ dB}$  이하의 시뮬레이션 결과를 얻었다. 그리고, S21과 S31의 위상차는 그림 2(b)에서 보이는 것처럼  $90 \pm 1^\circ$  의 결과를 나타내었다.

## 2.2 MLC 칩 90° 하이브리드의 3D 구조 설계

그림 3은 2.1절에서 설계된 하이브리드의 등가회로를 L, C 집중 소자에 의한 3D 구조로 설계한 것

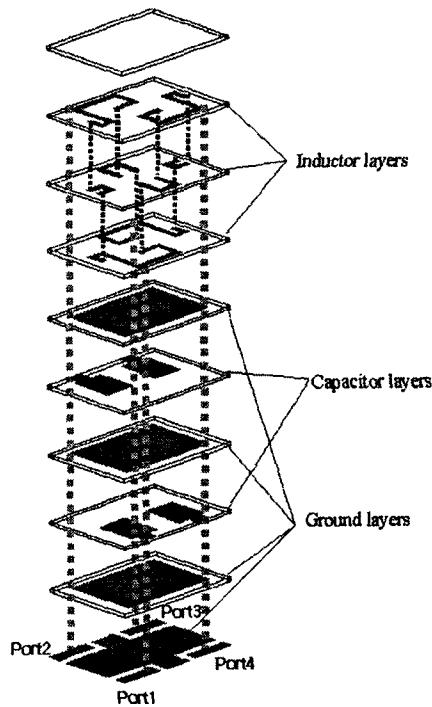


그림 3. MLC 칩 90° 하이브리드 구조  
Fig. 3. Schematic diagram of MLC chip quadrature hybrid

이다. 제안된 MLC 칩 90° 하이브리드의 크기는  $4.5 \times 3.2 \times 1.5$  mm<sup>3</sup>이며, 유전 상수 7.8, 유전손실 0.0043의 특성을 갖는 유전체를 이용하였다. MLC 칩 하이브리드는 유전체 위층에 square helix 구조의 inductor층을 구현하였고, 아래층에 parallel-plate 구조를 갖는 capacitor층으로 구성되어 있다. 특히, capacitor 전극층의 양방향으로 ground 층을 삽입하였는데, 이는 좁은 공간 내에서 설계시 요구되는 capacitance 값을 구현할 수 있도록 double parallel-plate 구조로 capacitor를 설계한 것이다. 또한, ground 층은 inductor 층과 capacitor 층과의 불필요한 전자기적 결합을 차폐하는 역할도 동시에 한다.

그림 3에과 같이 제안된 MLC 칩 90° 하이브리드의 3D 구조는 Ansoft HFSS에 의해 구조 시뮬레이션되었고, 그림 4는 시뮬레이션 결과를 나타낸 것이다. 주파수 1.92-2.17 GHz 대역에서 S11은 -15 dB 이하, S21과 S31은  $-3 \text{ dB} \pm 0.5$ , S41은 -15 dB 이하의 시뮬레이션 결과를 얻었다. 그리고, S21과 S31의 위상차는 그림 4(b)처럼  $90 \pm 3^\circ$  의 결과

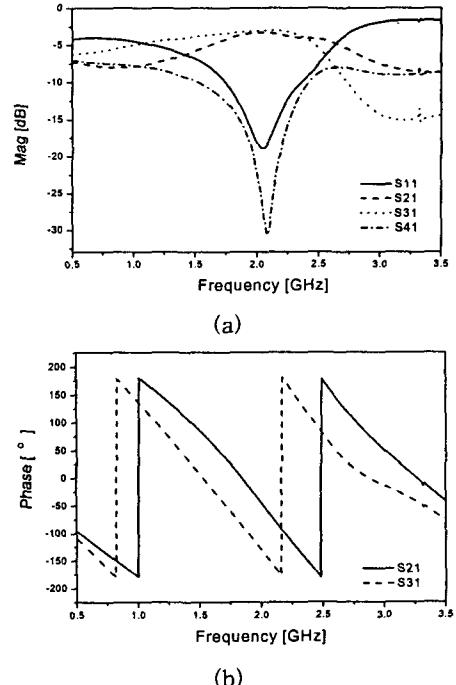


그림 4. 3D 구조 시뮬레이션 결과  
Fig. 4. The simulated results of 3D structure of MLC chip quadrature hybrid

를 보였다. 회로 시뮬레이션과 구조 시뮬레이션 결과는 무시될 정도의 오차를 가지며, 우수한 90° 하이브리드 주파수 특성을 보였다. 결과적으로 그림 1(a)의 branch line 하이브리드는 그림 3처럼 정방형 helical inductor, double parallel-plate capacitor와 같은 집중 소자로 구현됨으로써 소형화되었다.

### 3. 실험 및 결과

그림 3처럼 설계된 MLC 칩 하이브리드의 3D 구조는 LTCC-MLC 공정에 의해 제작되었다. 그림 5는 제작된 MLC 칩 하이브리드를 주파수 특성을 측정하기 위해 FR4 기판위에 표면 실장시킨 사진이다. 각 port에서 입력 임피던스의 변화가 없도록 하기 위해서 각 port의 마이크로스트립 선로의 길이는  $\lambda/2$ 로 하였다. MLC 칩 90° 하이브리드의 주파수 응답 특성은 network analyzer(HP 8720C)에 의해 측정되었고, 그 결과는 그림 6과 같다. 주파수 2.13-2.24 GHz 대역에서 S11은 -15 dB 이하, S21은  $-3 \text{ dB} \pm 0.6$ , S31은  $-3 \text{ dB} \pm 1.1$ , S41은 -15 dB 이하의 시뮬레이션 결과를 얻었다. 그리고, S21과 S31의 위상차는  $\Delta\theta > 100^\circ$ 의 결과를 나타내었

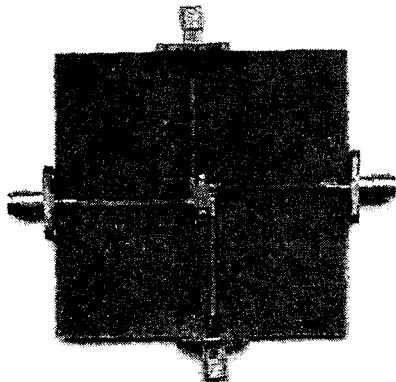
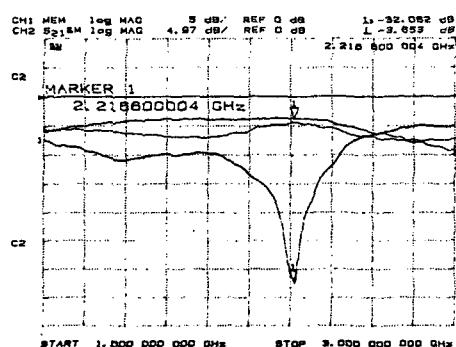
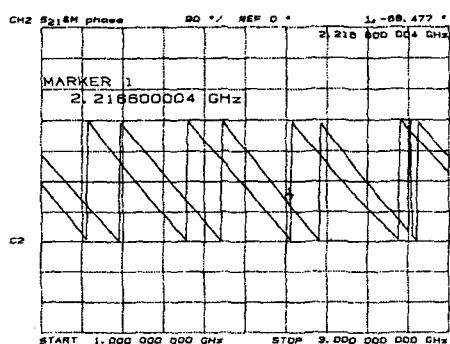


그림 5. 제작된 MLC 칩 90° 하이브리드의 실장된 사진

Fig. 5. The photograph of the surface-mounted MLC chip quadrature hybrid



(a)



(b)

그림 6. MLC 칩 90° 하이브리드의 측정 결과

Fig. 6. The measured results of MLC chip quadrature hybrid

다. 구조 시뮬레이션 결과와 측정 결과가 다소 오차를 가지지만 향후 tuning 과정을 거쳐 spec에 부합되는 특성을 갖는 MLC 칩 90° 하이브리드를 구현할 수 있을 것이다.

#### 4. 결 론

본 논문에서는 종래 분산 소자에 의해 구현되어 부피가 큰 branch line 구조의 하이브리드를 L, C 집중 소자로 변환하여 설계함으로써  $4.5 \times 3.2 \times 1.5$  mm<sup>3</sup>의 크기를 갖는 MLC 칩 90° 하이브리드를 구현하였다. 그리고, 집중 소자값을 헬리컬 inductor 및 parallel-plate capacitor 구조로 구현할 수 있는 L, C library를 구축하였다. Double parallel-plate 구조의 capacitor는 좁은 공간에서 capacitance 값을 충분히 구현할 수 있었으며, 또한 각 유전체층마다 ground층이 삽입됨으로써 capacitor층과 inductor층의 불필요한 결합 성분을 억제할 수 있었다.

#### 참고 문헌

- [1] 강종윤, 최지원, 심성훈, 박용욱, 윤석진, 김현재, “CAD에 의한 초소형 적층형 대역 통파칩 필터 설계,” 전기전자재료학회논문지, 15권, 1호, p. 56, 2002
- [2] 심성훈, 강종윤, 박용욱, 윤석진, 윤영중, 김현재, “IMT-2000 단말기용 적층형 세라믹 칩 안테나의 설계,” 13권, 3호, p. 301, 2002
- [3] D. W. Lew, J. S. Park, D. Ahn, N. K. Kang, C. S. Yoo, and J. B. Lim, “A Design of the Ceramic Chip Balun Using the Multilayer Configuration,” *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 1, pp. 220-224, 2001
- [4] Y. Koyanagi, K. Ogawa, T. Asahina, and K. Ito, “An analysis of the normal mode helical antenna close to the human abdomen in the VHF-band,” *IEEE MTT-s*, pp. 354-357, 2000
- [5] D. M. Pozar, “Microwave engineering,” John Wiley & Sons, Inc., pp. 379-383, 1998
- [6] J. Lange, “Interdigitated stripline quadrature hybrid,” *IEEE Trans. Microwave Theory Tech.*, vol. 17, no. 12, pp. 1150-1151, 1969