AttPSM을 사용하는 Metal Layer 리토그라피공정의 Overlay와 Side-lobe현상 방지

Overlay And Side-lobe Suppression in AttPSM Lithography Process for An Metal Layer

이미영, 이홍주
(Mi-Young Lee and Hoong-Joo Lee)

Abstract

As the mask design rules get smaller, the probability of the process failure becomes higher due to the narrow overlay margin between the contact and metal interconnect layers. To obtain the minimum process margin, a tabbing and cutting method is applied with the rule based optical proximity correction to the metal layer, so that the protection to bridge problems caused by the insufficient space margin between the metal layers can be accomplished. The side-lobe phenomenon from the attenuated phase shift mask with the tight design rule is analyzed through the aerial image simulation for test patterns with variation of the process parameters such as numerical aperture, transmission rate, and partial coherence. The corrected patterns are finally generated by the rules extracted from the side-lobe simulation.

Key Words : Side-lobe, Overlay, AttPSM, OPC

1. 서 론

반도체 산업은 다른 산업과는 달리 기술과 과학의 발전으로 인해 급속도로 성장하여 chip의 size는 점점 감소하고 소자의 기능은 향상되고 있다. 하지만 chip size의 감소는 feature의 미세화를 가져와 resolution을 저하시켜 미세한 선폭을 구현하기가 어렵게 한다. 이런 문제를 해결하기 위해 광원을 변경하는 것은 기술적인 측면에서 쉬운 일이 아니므로 광원을 고정한 상태에서 resolution을 향상시키기 위한 다양한 분해능향상기술(RET, resolution enhancement technology)이 사용되고 있다.

상명대학교 컴퓨터시스템공학과
(충남 천안시 안서동 상명대학교
Fax : 041-550-5362
E-mail : hjlee@smuc.ac.kr)

RET기술 중에 하나인 attenuated phase shift mask(attPSM)은 resolution과 DOF(depth of focus)를 향상시키는 기술로 metal layer와 contact hole에 주로 사용이 된다. 이 기술은 mask 제작이 용이하고, 큰 process margin을 확보할 수 있게 하지만, 원하지 않는 pattern이 생성되는 side-lobe현상이 문제로 발생한다. 이런 side-lobe현상을 방지하기 위한 가장 기본적인 방법은 side-lobe가 발생하는 영역을 예측하여 그 위치에 Cr(chrome) pattern을 남기는 것이다[1]. 하지만, 이 방법은 side-lobe 발생 여부를 engineer의 경험에 의존해야하기 때문에 side-lobe 방지에 많은 시간을 소비된다. 또 다른 방법은 partial coherence를 증가시켜 side-lobe현상을 억제하는 것이나, DOF가 떨어지는 문제가 있다[2]. 앞에 두 방법과 같이 mask와 optics를 통해 side-lobe현상을 억제하는 방법 이외에 resist의 pre-treatment로 side-lobe현상을 방지하는 시도가 있었다[3]. 그러나, 이 방법은 iso

pattern에서는 효과적이지만 dense pattern에서는 효과적이지 않다.

고집적 회로를 설계하기 위해 design rule은 감소하고, lithography 공정에서 구현해야 하는 미세한 선폭은 proximity effect의 영향으로 구현이 어려워지고 있다. Proximity effect으로 인해 나타나는 line-edge narrowing, line-end shortening, corner rounding현상과 design rule 감소에 따른 contact과 metal layer의 overlap margin 부족은 overlay error와 pattern bridge와 같은 문제를 발생시킨다. 그러므로, overlay, proximity effect에 의한 문제들은 OPC(optical proximity correction)를 이용하여 pattern간의 충분한 space margin을 확보하므로써 해결되고 있다[4-5].

Design rule의 감소로 인해 나타나는 overlay error와, attPSM을 사용함에 따라 나타나는 side-lobe현상을 해결하기 위해 다양한 연구가 이루어지고 있다. 하지만, 지금까지 위에서 언급한바와 같이, metal과 contact layer에 대하여 두 가지 문제를 동시에 해결하려는 시도는 없었다. 본 논문에서는 두 문제를 동시에 해결하면서, iso와 dense pattern 모두에 효과적인 방법을 제시한다. Aerial image simulation을 통해 추출한 rule을 rule-based OPC에 적용하여 DOF를 향상시키면서, overlap 불량과 side-lobe현상을 방지한다.

2. 실 험

미세 pattern은 proximity effect의 영향을 크게 받아 Fig. 1과 같이 line-end shortening과 lithography 시스템의 overlay의 영향으로 contact resistance가 증가하게 된다. 따라서 충분한 margin을 확보하기 위해 metal과 contact이 만나는 line-end 부분에 100nm 크기의 tab을 삽입하였다. 그리고, space에 대한 design rule check를 통해 margin이 부족한 영역에 대해 cutting하여 최소한의 margin을 확보하였다. Cutting 후 Fig. 2와 같이 min jog의 발생을 방지하기 위해 jog filtering을 수행하였다.

AttPSM으로 인한 side-lobe현상을 억제하기 위한 simulation을 수행하기에 앞서, ITRS (International Technology Roadmap for Semiconductors)[6]을 참고하여 design rule을 결정하고 simulation을 위한 test pattern(dense line, elbow, T, T&pad, line&pad, dense pad)을 Fig. 3과 같이 생성한다. 그리고, Fig. 4와 같이 aerial image simulation을 위한 optics 조건을 측정 데이터에 fitting하였다. Rule 추출을 위하여 test pattern에 대한 aerial image simulation 수행하였다. Dense pattern에 대해서는 표 1과 같이 metal의 width와 pitch에 따른 side-lobe 발생여부를 확인하였으며, T자형 metal에 근접해있는 metal pad에 대해서는 convex corner간의 거리에 따라 side-lobe 발생여부를 확인하였다. T형 pattern의 convex corner로부터 metal pad의 x축으로 200nm 이상, y축으로 50nm를 초과하면 side-lobe가 발생하지 않았다. 또한, 단일 T형 test pattern의 pad edge의 길이가 80nm이하일 때에도 side-lobe는 발생하지 않았다. Simulation을 통해 추출한 rule을 이용하여 rule-based correction 하였다.

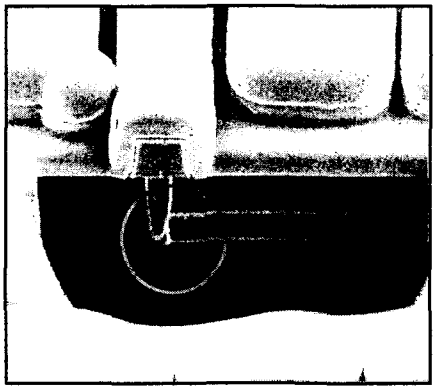

그림 1. Overlap 부족으로 인한 metal migration.
Fig. 1. Metal migration due to the insufficient overlap[5].

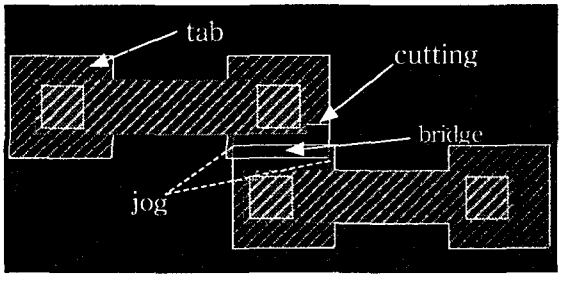

그림 2. Overlay margin 확보를 위한 rule-based correction.
Fig. 2. Rule-based correction for overlay margin.

3. 결과 및 고찰

Aerial image simulation을 통해 추출한 rule을 rule-based correction에 적용함으로 Fig. 5와 같은 결과를 얻었다. Tabbing과 cutting 그리고 mask design rule만을 적용했을 때, Fig. 5(a)에서와 같이 metal pattern 주변에 side-lobe가 발생하였다. Fig. 5(b)는 side-lobe 발생위치에 대한 rule을 추가적으로 적용하였을 경우 aerial image contour이다. 따라서, Tabbing과 cutting, 그리고 side-lobe 발생에 관련된 rule을 함께 사용함으로써, attPSM을 사용하는 metal layer lithography 공정 마진을 확보 할 수 있었다.

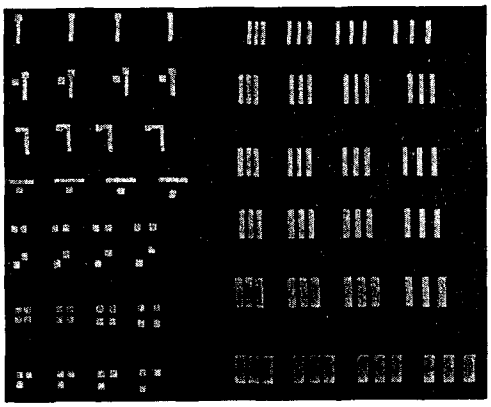

그림 3. Metal test pattern.

Fig. 3. Metal test pattern.

표 1. Dense pattern에서 side-lobe 발생여부.

Table 1. Side-lobe generation for dense patterns.

space / width	180nm	270nm	360nm	540nm
180nm	×	○	×	×
200nm	△	○	○	×
240nm	△	○	○	×
270nm	△	△	○	×
360nm	△	○	○	×
540nm	△	×	×	×

○ : side-lobe 발생.

△ : bridge 발생.

× : side-lobe 발생 안 함.

4. 결 론

Design rule의 감소로 인한 metal과 contact layer의 overlay error와, attPSM을 사용함에 따라 나타나는 side-lobe현상의 두 가지 문제를 동시에 해결하기 위한 rule-based correction 방법을 제안하였다. Side-lobe 발생여부를 판단하기 위한 rule을 정의하기 위해 test pattern에 대하여 aerial image simulation을 수행하였다. Metal line-end에 design rule에 위배되지 않는 tabbing과 cutting을 통하여 overlap 불량과 side-lobe현상을 방지할 수 있었다.

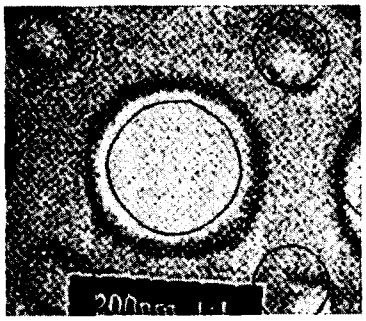

그림 4. Side-lobe 현상을 보여주는 200nm pattern의 SEM 사진[7].

Fig. 4. Side-lobe image of a 200nm pattern.

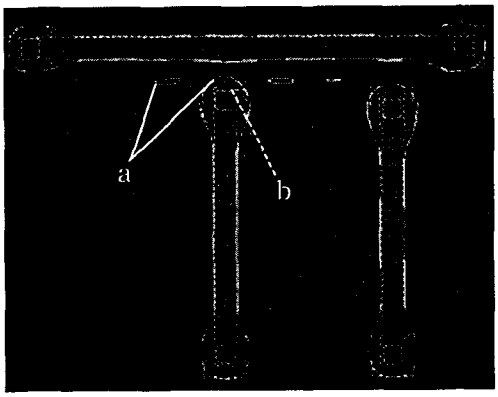

그림 5. Side-lobe suppression rule을 적용하였을 때와 하지 않았을 때의 aerial image 비교.

Fig. 5. Aerial image comparison between the simulation with and without side-lobe suppression rules.

감사의 글

본 연구는 한국과학재단 목적기초연구(과제번호 R02-2000-00229)지원으로 수행되었음.

참고 문헌

[1] Christoph Dolainsky et al., "Simulation based method for sidelobe suppression", Proc. SPIE Vol. 4000, pp. 1156-1162, 2000.

[2] Zhijian G. Lu et al., "Selection of Attenuated Phase Shift Mask Compatible Contact Hole Resists for KrF Optical Lithography", SPIE Vol. 3678, pp. 923-934, 1999.

[3] Yung-Tin Chen, Ya-Chi Wang, Ron Chu, "Optimization of attenuated phase shift mask for contact hole printing", SPIE Vol. 3679, pp. 812-820, 1999.

[4] 김동현 외. "0.18㎛급 이하 System LSI 제품의 메탈 층에 대한 개선된 OPC와 검증 방법", 한국반도체학술대회, pp. 375-376, 2002.

[5] Ji-Soong Park et al., "A robust and fase OPC approach for metal interconnects of 0.13 ㎛ logic devices", Proc SPIE BACUS Vol. 4256-124, 2001.

[6] 2001 ITRS, SEMATECH.

[7] Navab Shingh, Moitreyee Mukherjee-Roy, "Effect of feature size, pitch and resist sensitivity on side-lobe and ring formation for via hole patterning in attenuated phase shift masks", 2002 SPIE Microlithography Vol. 4091- 110, 2002.