

초고집적 환경에서의 반도체 수율 분석에 관한 연구

이윤식

호서대학교 벤처전문대학원

yslee@office.hoseo.ac.kr

Yield Analysis System in the Very Deep Submicron Design

Yun-Sik Lee

School of Venture, Hoseo University

요 약

반도체 CAD기술과 제조기술의 발전으로 인하여 반도체 집적도가 2001년 2002년 각각 0.35, 0.25마이크론 등으로 급속도로 증가하게 되었으며 이러한 집적도의 향상은 기대치 이상의 시스템 성능 향상을 이룩할 수가 있었다. 그러나 피할 수 없는 제조 공정의 변화와 불완전성으로 인하여 칩 크기에 제한이 따르게 되며 그 이상의 크기에서는 상용화가 불가능할 정도로 수율(Yield)이 현저하게 감소하게 된다. 기존의 대부분 연구가 반도체의 생산 공정의 관점에서 준비되어 활용되는 통계 자료에 근거한 경험의 축적이었다. 그런 연유로, 단지 반도체 생산 부분의 자료에만 치중하다 보니 실지 반도체 수율에 가장 큰 영향의 요소인 랜덤 디펙트(random defect) 수율을 고려하지 못하는 치명적인 결점이 있다. 본 연구는 반도체 수율 분석과 수율을 증진시키기 위하여, 설계된 도면 중 레이아웃에 해당하는 도면을 입력으로 하여, 반도체 생산 설비 즉 공정의 상태나 변수를 모델링하여 이를 수율 예측을 위한 기본 자료로 사용한다. 즉, 설계 단계에서 수율을 예측함으로써 과거 64M DRAM의 초기 단계에서의 수율과 같은 문제점을 해결할 수 있는 방안을 제시할 뿐 아니라, 비 메모리 칩의 수율을 설계 단계에서 제공하는 역할을 한다.

1. 서 론

반도체 CAD기술과 제조기술의 발전으로 인하여 반도체 집적도가 1998년, 1999년 각각 0.35, 0.25마이크론 등으로 급속도로 증가하게 되었으며 이러한 집적도의 향상은 기대치 이상의 시스템 성능 향상을 이룩할 수가 있었다. 그러나 피할 수 없는 제조 공정의 변화와 불완전성으로 인하여 칩 크기에 제한이 따르게 되며 그 이상의 크기에서는 상용화가 불가능할 정도로 수율(Yield)이 현저하게 감소하게 된다. 이러한 공정의 불완전성은 크린룸(Clean Room)의 먼지나 원치 않는 환경입자, 화학물질, Bulk가스, 이온화되지 않은 물, 제조 장비 등으로부터 발생하게 된다. 이와 같은 결함(Defect)들로 인하여 패턴이 소실되어 회로가 단락 되거나 여분의 패턴이 생성되어 회로가 연결되는 등의 문제가 발생하게 된다. 64MD램이나 MPEG과 같은 초 고 집적 칩들이 속속 등장하면서 수율은 반도체 사업의 성패를 좌우할 수 있는 요소가 되고 있다. 그러한 수율 개선은 제조 공정의 개선만으로는 한계가 있을 뿐만 아니라 비용이 매우 많이 들게 되며, 따라서 설계 단계에서 수율을 고려하여 회로 설계를 한다면 수율 향상은 물론 상당한 비용 절감 효과가 예상되며 국가 경쟁력 향상에 기여하리라고 본다. 반도체의 수율에 영향을 미치는 요인은 3가지로 나눌 수 있다. 첫째는 웨이퍼의 불량, 절단, 반도체 공정의 불량으로 인한 것이다. 둘째는 세분화된 공정의 결함을 고려하는 부분이다. 마지막으로 패키지와 관

련된 부분으로 나누어진다. 첫째와 셋째 부분에서 발생하는 수율의 문제는 각각 생산 공정의 정확도와 wire-bonding의 정확도와 매우 밀접한 관계를 가진다. 또한, 특성상 그 원인을 공정의 통계에 의하여 쉽사리 예측하여 정정할 수 있다. 따라서 두 번째 부분의 수율은 결함의 분석, 이 결함이 전자 소자에 미치는 영향, 또한 이 결함이 칩에 분산되는 성향에 따라 결정이 된다. 따라서, 두 번째 부분의 수율이 실제의 생산에 가장 큰 영향을 미치게 되며, 이는 전자 소자의 배치, 설계에 따른 결함의 마진(margin)에 따라 반도체 칩의 수율에 결정적 영향을 미친다. 기존의 대부분 연구가 반도체의 생산 공정의 관점에서 준비되어 자체에서 활용되는 자동화용 소프트웨어이다. 그런 연유로, 단지 반도체 생산 부분만 고려하다 보니 실지 반도체 수율에 가장 큰 영향의 요소인 랜덤 디펙트(random defect) 수율을 고려하지 못하는 치명적인 결점이 있다. 본 과제는 반도체 수율 분석과 수율을 증진시키기 위하여, 기 설계된 도면 중 레이아웃에 해당하는 도면을 입력으로 하여, 반도체 생산 설비 즉 공정의 상태나 변수를 모델링하여 이를 수율 예측을 위한 기본 자료로 사용한다. 0.25 마이크론이하의 반도체 생산, 설계 환경에서 수율의 가장 큰 요소로 작용하는 랜덤 디펙트를 고려하기 위해서는 공정상의 통계적인 문제의 해결로는 불가능하고, 칩의 설계 단계에서부터 이를 고려하여 설계하거나 이를 피하기 위한 조치를 하여야 한다. 즉, 랜덤 디펙트를 제거 하거나 피하기 위한 목적이 수율 분석의 목적이라 하겠다.

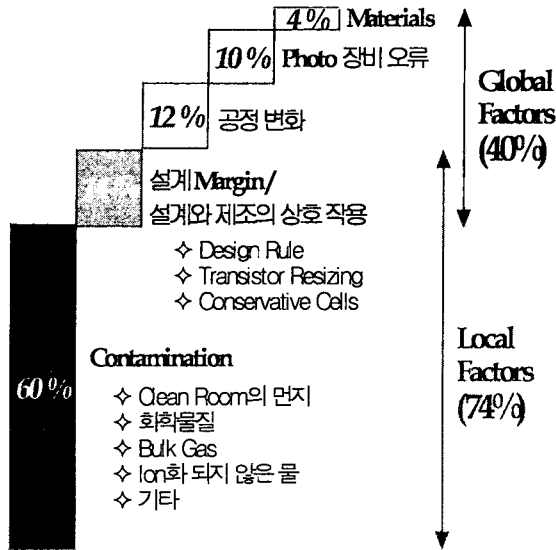


그림 1. 설계에서의 수율에 영향을 미치는 요인

2. 반도체 수율 연구의 새로운 시도

본 과제는 반도체 수율 분석과 수율을 증진시키기 위하여, 기 설계된 도면 중 레이아웃에 해당하는 도면을 입력으로 하여, 반도체 생산 설비 즉 공정의 상태나 변수를 모델링하여 이를 수율 예측을 위한 기본 자료로 사용한다. 최근 몇 년 동안 수율 향상을 위한 많은 기초 연구와 설계 기법들이 제안되었다. 수율 향상을 위한 일반적인 기법은 여분의 회로가 추가되는 Defect-tolerance 기법이 있으며, 메모리, PLA (Programmable Logic Array), 웨이퍼 수준의 집적 시스템 설계의 수율 향상을 위하여 다양한 Fault-Tolerant 기법들이 제안되었다. Fault-Tolerant 기법은 메모리와 같은 특정 칩에는 매우 효율적인 반면 칩 면적의 증가와 여분의 회로 설계 노력이 필요하다는 단점이 있으며 랜덤 논리회로에의 적용은 비효율적이다. 반도체 소자 파라미터는 제조 공정의 변화에 매우 민감하며 회로 성능을 보장하기 위하여 특정 범위의 값으로 유지되어야 하는 것은 매우 중요하다. 이러한 소자 파라미터에 의한 수율 최적화를 위하여 통계적 설계 기법(Statistical Design Techniques)들이 개발되었으며, 그 목적은 제조 공정 파라미터에 관한 회로의 수율을 극대화하는데 있다. 레이아웃 설계 단계에서는 시작부터 설계규칙(Design Rule)과 변적 최소화를 통하여 수율을 고려한 설계 기법이 적용되며, 이러한 설계 규칙은 공정 변화에 따른 수율 감소(Yield Loss)를 최소화하기 위하여 최적화된다. 그러나 제조 공정이 안정되면 Random Point Defect가 수율 감소에 주요 요인이 되며 이러한 결함은 위치에 따라 미치는 영향이 달라진다. 향후 수 백만 개 이상의 소자로

구성된 초 고 집적 반도체 회로에 대해서는 Point Defect의 분포도와 설계에 미치는 민감도(Design Sensitivity)가 레이아웃 설계에 반영될 경우 수율이 상당히 향상될 수 있다는 연구 결과가 제기되었다. 또한 지금까지 상당히 정확한 수율 예측을 위한 수학적 모델들이 이미 제안되었고, 최근에는 레이아웃 데이터로부터의 수율 예측을 위한 다양한 분석적 기법, 통계적 기법(statistical method: Monte Carlo Simulation과 같은)등이 제안되고 있지만, 실용화 단계에서는 아직 많은 문제점이 있다. 특히 고집적과 다기능의 설계가 하나의 칩으로 구현 되가는 환경에서 대형의 레이아웃 설계 DB를 빠른 시간에 처리 할 수 있는 알고리즘의 연구와 정확도를 위한 알고리즘의 두 가지 방식의 연구로 진행 할 계획이다. 첫번째는 통계적 기법으로, 정확도를 위한 방식의 연구이며, Monte-Carlo 시뮬레이션을 이용하여 결함(defect)의 크기, 배치를 무작위로 계산하여 이것과 fault의 상관관계를 CPU-Intensive하게 계산하는 방식이다. 둘째의 수율 분석을 위한 연구 방식은, 위의 통계적 기법과 대응되는 분석적 기법을 설계의 레이아웃을 입력으로 분석하고, 주로 레이아웃의 패턴을 기본으로 하여 분석하는 방법이다. 이는 대형의 설계를 빠르게 처리 할 수 있는 장점이 있어 앞으로 반도체의 Full-Chip의 수율 분석에 적용될 가능성이 매우 높다. 이 연구의 기본 개념과 개략적인 흐름과 기본 알고리즘은 다음의 그림과 같다.

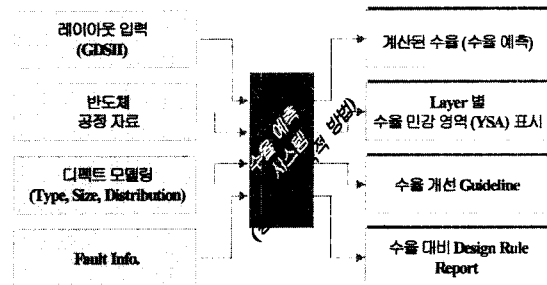


그림 2. 수율 분석기의 전체 구성도

3. 통계적 수율 분석 방법

수학적 수율의 표현은 포아송(Poisson) 분포와 음수의 바이노미알 분포(Negative Binomial Distribution)이다. 포아송 분포는 생산라인에 일정하게 분포하는 랜덤 분포를 기술하는 데 사용되며, 음수의 바이노미알 분포는 웨이퍼와 웨이퍼 간의 평균 디펙트 밀도나 로트와 로트간의 평균 디펙트 밀도를 기술하는 데 사용된다. 평균 디펙트 모델링 뿐 아니라, 디펙트의 크기 분포도 함께 분석되고 있다. 그림4의 흐름도에서, "결함 생성/배치"는 디펙트에서 발생하는 회로의 기능 장애에 대한 분석을 수행하며, "Monte Carlo 루프"는 디펙트의 위치와 크기를 임의의

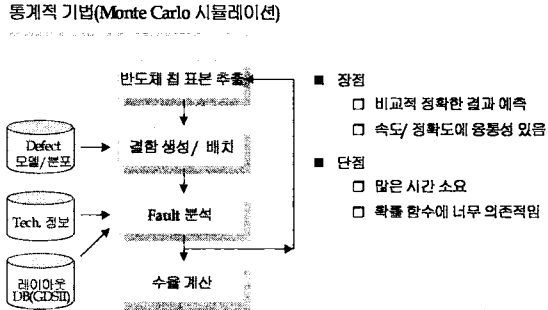


그림 4. 통계적 분석 방법/ 흐름도

발생한(Random Number Generation) 방법에 의하여 회로상에 위치하여 그 현상을 시뮬레이션한다. 이미 설명하였듯이 디펙트의 분포와 위치는 포이슨이나 네가티브 바이노미알에 의한 분포 함수를 가지고 임의의 수를 발생하여 디펙트와 그에 따른 기능 결과를 수행하였다. 포이슨 분포는 평균값이 12이하인 경우와 이상의 경우로 분리하여, 12이하인 경우는 지수 함수의 확률 분포 함수를 사용하고, 12이상의 경우는 방출 방법(rejection method)[2,3]을 사용하였다.

3.1 통계 수율 분석 결과

수율 분석의 수행 결과는 레이아웃 도면에서 레이어 별로 각 레이어의 결과를 디렉토리별로 저장하여 사용자가 분석 할 수 있도록 되어 있으며, 총제적인 사용자로 하여금 그 결과를 볼 수 있도록 풀 칩을 배경으로 그 영역을 표시하고 있다. 그림 5는 레이어별로 수율 분석후의 그림을 보여주고 있으며, 그림 6은 사용자를 위한 인터페이스를 보여 주고 있다. 분석 결과는 통계적인 방법에 의한 결과를 각각의 레이어 별(메탈, Via, 폴리, diff,)로 분리하여 저장하며, 그 형식은 입력과 같은 형식인 GDS를 이용하여 저장한다. 저장된 레이아웃은 사용자 인터페이스를 위하여 GDS를 읽을 수 있는 레이아웃 편집기를 이용하여 각각의 레이아웃을 읽거나 모든 레이아웃 읽어서 각각을 별도의 색으로 분리 표현 할 수 있다.

4. 향후 연구와 결론

수율 연구를 위한 시도는 학문적인 추진이 되어 있으나, 실제로의 적용은 아직 미흡한 형태이다. 그 원인은 반도체 공정의 폐쇄성과 보안상의 이유, 또한 공정 분야에 대한 자동화 분야의 인식 부족으로 인함이 크다 하겠다. 그러나, 자동화의 작업은 생산의 효율과 생산성에 직결되는 연유로 그 응용과 적용이 늦어질수록 도태될 수밖에 없는 실정이고, Time-To-Market, Time-To-Profit을 외치는 가전분야의 요구를 외면할 수 없을 것이다. 본 연구는 반도체 생산성에 지대한 영향을 미치는 수율

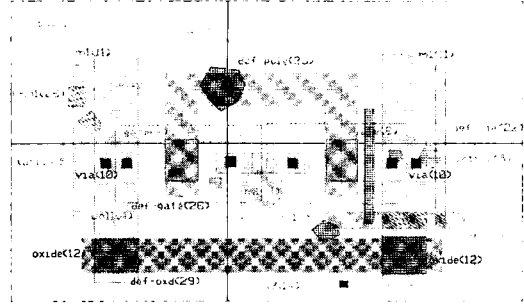


그림 5. 레이아웃 도면의 디펙트(def-레이어 명)

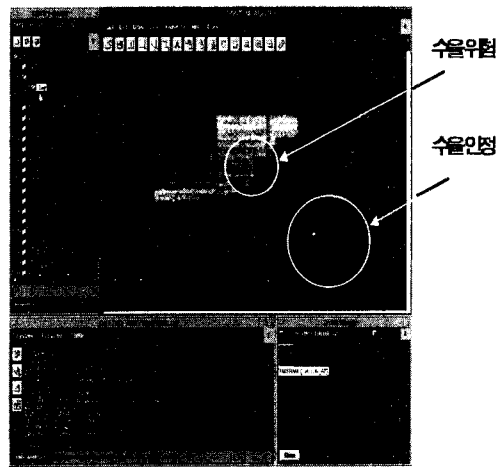


그림 6. 수율 분석 결과의 사용자 인터페이스

을 위한 기본 연구를 진행하였으며, 제안서에서 설명하였듯이 통계적 방법과 분석적 방법을 제안하였다. 각각의 장단점과 가능성은 제안서에서 부각하였으나, 시간적 인력 등의 연유로 통계적인 분석은 그 가능성을 보여주고 있으나, 분석적 방법에 대한 시도는 시행하지 못하였다. 향후에 분석적 연구를 수행하여 두 가지에 대한 보완적인 연구를 진행하여 실무에서 활용할 수 있도록 할 예정이다. 장기적으로, 수율에 대한 분석으로 종료되는 것이 아니라, 배치 배선기와 연결하여 수율 증진을 자동으로 교정할 수 있는 교정기가 완성되어야 만이 공히 자동화의 역할을 담당 할 수 있을 뿐 아니라, 궁극적인 산업의 생산성과 효율성이 달성되리라 생각한다.

5. 참고 문헌

[1] Bruno Ciciani, "Manufacturing Yield Evaluation of VLSI/WSI Systems," IEEE Computer Society Press, 1995

[2] Numerical Recipes, The Art of Scientific Computing, 2nd Edition, Cambridge. 1995.

[3] Seminumerical Algorithms, 3rd Edition, Addison Wesley. 1998