

μ BGA 장기신뢰성에 미치는 언더필 영향 (Effect of Underfill on μ BGA Reliability)

고영욱, 신영의, 김종민
중앙대학교 기계공학부

Abstract

There are continuous efforts in the electronics industry to a reduced electronic package size. Reducing the size of electronic packages can be achieved by a variety of means, and for ball grid array(BGA) packages an effective method is to decrease the pitch between the individual balls. Chip scale package(CSP) and BGA are now one of the major package types. However, a reduced package size has the negative effect of reducing board-level reliability. The reliability concern is for the different thermal expansion rates of the two-substrate materials and how that coefficient CTE mismatch creates added stress to the BGA solder joint when thermal cycled. The point of thermal fatigue in a solder joint is an important factor of BGA packages and knowing at how many thermal cycles can be ran before failure in the solder BGA joint is a must for designing a reliable BGA package. Reliability of the package was one of main issues and underfill was required to improve board-level reliability. By filling between die and substrate, the underfill could enhance the reliability of the device. The effect of underfill on various thermomechanical reliability issues in μ BGA packages is studied in this paper.

1. Introduction

전자산업계에서 고성능, 초소형, 고입출력단자에 대한 필요성이 증가함에 따라 많은 응용분야에 있어서 Ball Grid Array(BGA)와 Chip-Scale Package(CSP), Flip Chip과 같은 더욱 발전된 고집적, 고신뢰성의 패키징 체제의 요구가 급증하고 있다. 근래 사용되기 시작한 BGA와 Flip Chip기술은 미세 피치 패키징이 가능하며 고집적의 접합이 가능하여 이와 같은 요구에 부합하는 기술이라 할 수 있다. 이에 따라, 이런 고집적 패키지에 관한 연구가 다양한 관점에서 진행되어지고 있고, 그 연구의 핵심이 되는 솔더 접합부는 전자부품의 수명에 가장 큰 비중을 차지하고 있기 때문에 현재 솔더 접합부 신뢰성에 대한 관심과 연구가 활발히 이루어지고 있다¹⁾.

BGA/CSP 패키지 적용에 있어서 가장 큰 관심사 중의 하나는 보드 레벨 신뢰성(Board Level Reliability)이며, 이 신뢰성 문제는 셀룰러폰과 같은 휴대용 전자제품에 있어서 더 명확히 부각된다. 강한 충격, 제품 내·외부의 진동, 굽힘과 같은 기계적 자극뿐만 아니라 규칙적 온도사이클 동안에도 솔더 접합부에 변형이 발생하게 된다. 열팽창과 칩·보드의 수축으로 인한 변형에 대비한 보드 레벨 신뢰성의 향상은 최근 몇 년간 두드러진 발전을 보이게 되었으나, BGA/CSP 접속부는 또 다른 기계적 응력에 따른 결점을 나타내게 되었다. 언더필(underfill)은 이러한 응력으로부터 솔

더 접합부를 보호할 목적으로 필요성이 대두되었고, 초기에는 단지 flip chip 접속기술시에 주로 쓰이게 되었으나, 최근에 들어 특히 셀룰러폰에 쓰이는 BGA/CSP의 경우에는 언더필을 적용하게 되었다²⁻³⁾. 본 실험에 사용된 시편에 적용된 언더필 형상은 Fig.1 과 같다.

BGA 탑재 패키지의 보드 레벨 신뢰성에 영향을 미치는 주요원인인 Standoff height은 보드와 패키지간의 거리를 말하는데, 이 간격이 점차 줄어드는 추세에 따라 보드와 패키지간의 솔더 접합부 수명 역시 감소하고 있다. 지금까지 연구결과에 따르면 언더필이 적용된 BGA 보드 레벨 신뢰성에 있어서 두드러진 증가를 보이고 있으며⁴⁾, 본 연구에선 BGA 솔더 접합부의 온도 사이클 수명에 있어서의 언더필 영향을 실험을 통해 검토하고자 한다.

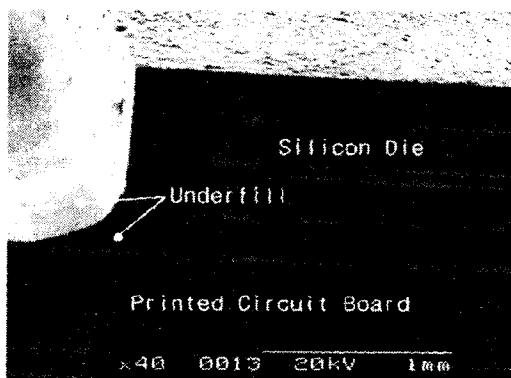


Fig.1 Cross sectional view of underfilled board assembly

2. Experimental

본 실험에 사용된 48μ BGA는 Sn-37Pb 공정 솔더가 적용된 패키지로써 현재 NOKIA 셀룰러폰에 실제로 사용되고 있는 것으로 이 시편은 패키지면적 대비 칩면적이 큰 CSP계열이며, 초박·소형의 휴대제품에 이상적인 패키지이다.

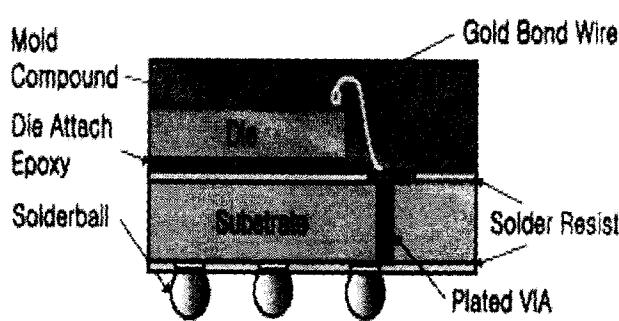


Fig.2 Cross sectional view of 48μ BGA package

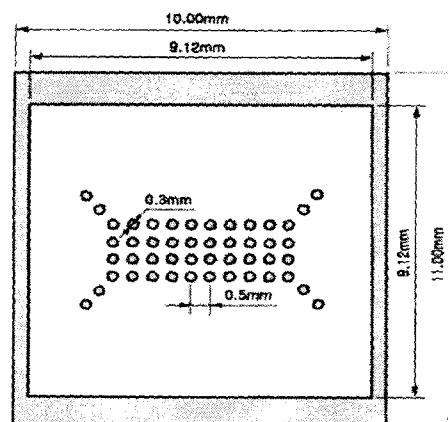


Fig.3 Package outline

Fig.2에 패키지 구성요소를 나타내었으며, Fig.3에는 실험에 사용된 패키지의 각 구성요소에 대한 크기와 치수를 나타내었다. 본 시편의 솔더 범프 재질은 Sn-37Pb 공정 솔더이며, active ball 40개와 nonactive ball 8개로 구성되어 있으며, 실제 온도 사이클 실험 후 검토될 대상은 active ball이다.

온도 사이클 실험을 위해 언더필이 적용된 시편과 그렇지 않은 시편 모두 air-to-air temperature cycling 챔버(chamber)에 넣었다. 48μ BGA 시편에 적용된 온도범위는 $-65^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 이며 최고/최저온도에서 주어지는 dwell time은 각각 5분씩으로, 한 사이클이 수행되는데 소요되는 시간은 총 30분으로 설정하였다(Fig.4). 양쪽 시편 모두 매 200 사이클마다 꺼내서 광학현미경과 Scanning Electron Microscopy(SEM)을 통해 솔더 접합부 조직 변화 및 파로파괴 정도를 관찰하여 열피로 수명을 검토하였다.

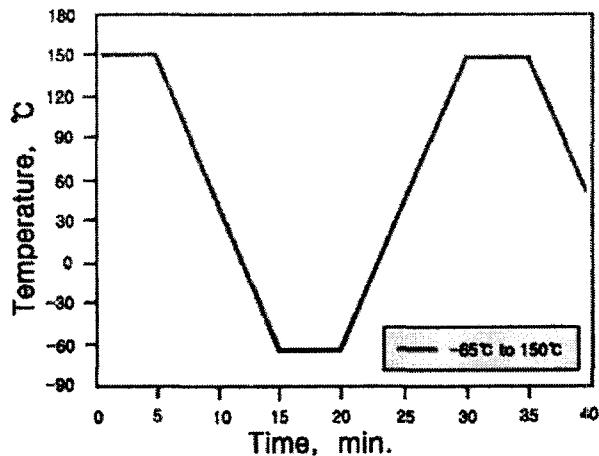


Fig.4 Temperature profile of thermal cycle test

3. Results and Discussion

언더필이 공급되지 않은 48μ BGA 시편의 경우 Fig.5의 (a)에서 보는 것과 같이 500 사이클이 지나서 initial 크랙이 나타났고, 700 사이클이 지난 후 살펴보면 (b)에 나타난 것처럼 크랙이 솔더 상단 계면을 따라 50% 이상 상당히 진행됐음을 알 수 있었다. 하지만 같은 조건에서 온도사이클을 실행한 언더필이 공급된 시편의 경우 (c), (d)에서 보는 것과 같이 1700, 1900 사이클이 경과된 후에도 솔더 접합부에 별다른 열피로 수명의 저하에 따른 파괴 징후가 나타내지 않는 것을 볼 수 있었다. 언더필이 공급된 시편의 경우 계속 온도사이클 실험이 진행중에 있으며, 향후 연구를 통해 언더필 적용 유무에 따른 솔더 접합부 장기신뢰성에 대한 검토를 할 예정이다. 언더필이 적용된 BGA 계열 패키지는 실험결과에서도 알 수 있듯이 두드러진 보드 레벨 신뢰성의 증가를 나타내었고, 이런 신뢰성 향상의 주요인자는 언더필 재료인 에폭시의 낮은 CTE에 기인한 것으로 보인다.

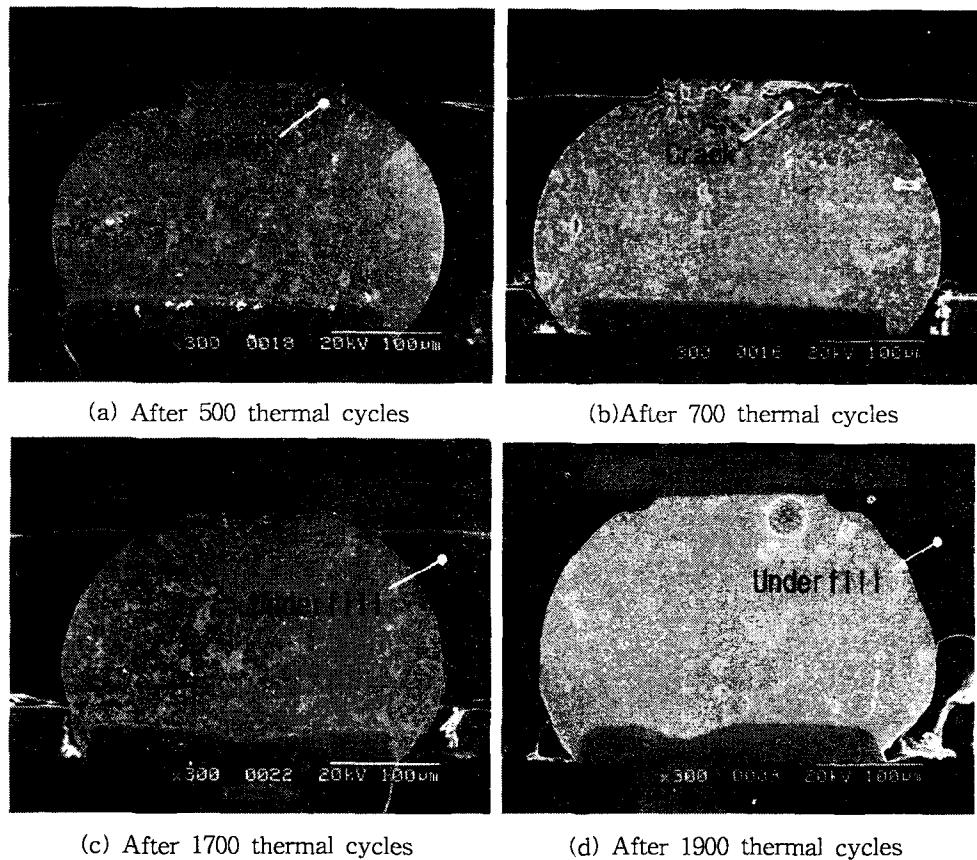


Fig.5 Cross-sections of Sn-37Pb solder joint subjected to thermal cycling between -65 °C and 150°C ((a)(b) without underfill, (c)(d) with underfill)

Acknowledgments

본 논문은 한국과학재단(특정기초연구, 과제번호 : R01-2000-00227)의 지원 하에 이루어진 것으로 관계자 여러분께 감사 드립니다.

References

- [1] T. Chung, G. Haskell, Trends in Microelectronics Packaging and Interconnection, Semiconductor Electronics, p.A1~A5 (1996)
 - [2] T. Doba, Current Underfills for CSP and BGA, IEEE Int'l Symp on Electronic Materials & Packaging, p.240~p.242 (2000)
 - [3] L. Fan, Z. Zhang, C. P. Wong, Effect of Filler of Underfill Encapsulant on Reliability Performance, IEEE Int'l Symp on Advanced Packaging Materials, p.218~p.223 (2001)
 - [4] T. Burnette, Z. John, T. Koschmieder, and W. Oyler, Underfilled BGAs for Ceramic BGA Packages and Board-Level Reliability, IEEE Electronic Components and Technology Conference, p.1221~p.1226 (2000)